

**Circuits  
from the Lab™**  
Reference Circuits  
実用回路集

テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0269> をご覧ください。

使用したリファレンス・デバイス

AD7984	MSOP/QFN パッケージ採用の 1.33 MSPS、10.5 mW、18 ビット PulSARADC
AD8475	ゲイン選択可能な高精度フル差動減衰アンプ
AD8065	高性能 145MHzFast FET™ オペアンプ
ADG5208	高電圧、耐ラッチアップ機能付き 8 チャンネル・マルチプレクサ
ADG5236	高電圧、耐ラッチアップ機能付きデュアル SPDT スイッチ
ADR444	電流シンク/ソース機能付き、超低ノイズ、4.096V、LDO XFET®電圧リファレンス

18 ビット、1.33MSPS、16 チャンネルデータ・アキュイジション・システム

評価および設計サポート環境

回路評価ボード

CN-0269 評価用ボード (EVAL-CN0269-SDPZ)

システム・デモンストレーション・プラットフォーム (EVAL-SDP-CB1Z)

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図 1 に示す回路は、高速チャンネル間の切替え用に最適化された高性能の工業用信号レベル・マルチチャンネル・データ・アキュイジション回路です。この回路は、最大 18 ビットの分解能で 16 チャンネルのシングルエンド入力または 8 チャンネルの差動入力を処理できます。

1 つのチャンネルは、18 ビットの分解能で最大 1.33MSPS のサンプリングを行うことができます。250kHz のスイッチング・レートですべての入力チャンネル間の切替えを行う場合は、16 ビットの性能が得られます。

シンプルな 4 ビットのアップダウン・バイナリ・カウンタと組み合わせられたこの信号処理回路は、FPGA や CPLD あるいは高速プロセッサなしでチャンネル間の切替えを実現する、シンプルでコスト効果の高い方法を提供します。カウンタは、複数チャンネルをシーケンシャルにサンプリングするためにカウントアップまたはカウントダウンするようにプログラムしたり、1 つのチャンネルをサンプリングするために固定バイナリ・ワードをロードしたりすることができます。

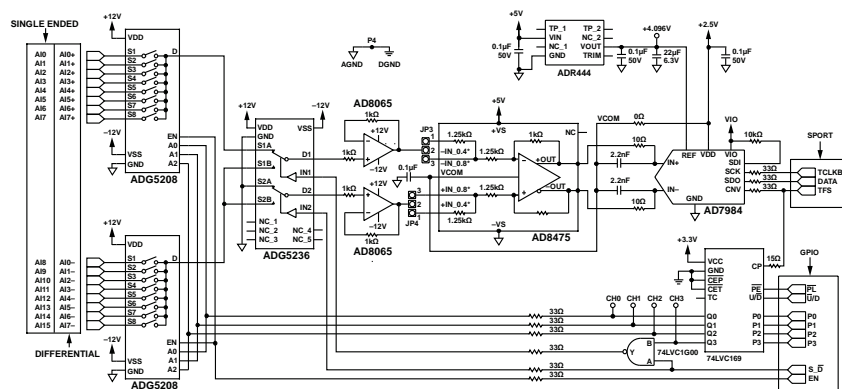


図 1. マルチチャンネル・データ・アキュイジション回路 (簡略回路図: 全接続の一部およびデカップリングは省略されています)

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

この回路は、プロセス制御や電源ライン監視を含む数多くの工業用アプリケーションのマルチチャンネル・データ・アキュイジション・カード用の最適なソリューションです。

## 回路説明

図1に示す回路は、マルチプレクサ、アンプ、ADCで構成された、標準的なマルチチャンネル非同期データ・アキュイジション・シグナル・チェーンです。

このアーキテクチャでは1つのADCを使用して複数チャンネルの高速サンプリングを行うことができ、低コストで優れたチャンネル間マッチングが可能です。

マルチプレクサは後段のアンプとADCにフルスケールのステップ電圧を出力することができるので、チャンネル間の切替え速度は、シグナル・チェーン内のマルチプレクサの後に続くさまざまなコンポーネントのセトリング・タイムによって制限されます。この回路コンポーネントは、セトリング・タイムを最小限に抑え、チャンネル切替え速度を最大限まで高めるように選ばれたものです。

## 部品の選択

ADG5208 マルチプレクサは、3ビット・バイナリ・アドレス・ラインの指定に従い、8つの入力の中の1つを共通出力に接続します。ADG5236は、2つの独立した選択式単極/双投 (SPDT) スイッチを内蔵しています。2個のADG5208スイッチを1個のADG5236と結合することで、4ビットのデジタル制御信号を使用して、16個のシングルエンド・チャンネルまたは8個の真の差動チャンネルを残りのシグナル・チェーンに接続することができます。

4ビットのデジタル信号は4ビットのアップダウン・カウンタによって生成されますが、このカウンタは、18ビット、1.33MSPSのAD7984 ADCへの変換 (CNV) 入力に使われる信号と同じ信号によってトリガされます。

AD8065 JFET 入力オペアンプは、帯域幅が145MHzで、優れたセトリング・タイム性能と極めて高い入力インピーダンスを提供する、ユニティゲイン・バッファとして構成されています。AD8065は、AD8475 ファンネル・アンプの減衰段を駆動するための極めて低インピーダンスの出力も供給します。

完全差動シグナル・チェーンの利点は、同相ノイズ除去に優れていることと、2次歪み成分が減少することです。最新の低電圧差動入力ADCによって±10Vの工業用レベル信号を処

理するには、減衰およびレベル・シフトのための段が必要で

す。高精度な利得設定抵抗を内蔵した完全差動型のAD8475減衰 (ファンネル) アンプは、入力過電圧保護機能とともに、高精度の減衰機能 (0.4×または0.8×)、同相レベル・シフト機能、シングルエンド/差動変換機能を備えています。セトリング・タイムが短く (0.001%で50ns) 低ノイズ性能 (10nV/√Hz) を実現するAD8475は、サンプリング・レート4MSPSまでの18ビット差動入力ADCの駆動に最適です。

この回路に使われているAD7984 18ビットPulSAR® ADCは、1つのチャンネルをサンプリングする場合、1.33MSPSで18ビットの分解能を実現します。しかし、シーケンシャルなチャンネル間切替えを行う場合は、シグナル・チェーン内のさまざまなコンポーネントのセトリング・タイムによって全体的な精度が制限されます。たとえば、250kHzのスイッチング・レートでチャンネル間の切替えを行う場合は、16ビットの性能が得られます。

## タイミング解析

図1に示す回路が連続切替えモードで動作する時は、16チャンネルのシングルエンド信号または8チャンネルの差動信号のストリームすべてが、ADG5208とADG5236で構成される2段マルチプレクサにより時分割多重信号として結合されます。多重化された信号は、バッファ回路 (AD8065) と減衰およびレベル・シフト回路 (AD8475) を駆動します。AD8475の出力信号は、RCフィルタ (2.2nF、10Ω) を通じて差動入力ADCを駆動します。

チャンネル間の切替えの場合、通常、多重化された入力信号は大きな電圧ステップで構成されています。最悪の場合は、1つのチャンネルが負のフルスケールで、次のチャンネルが正のフルスケールになることがあります。したがって、ステップは入力信号のフルスケールに及ぶことがあり、この場合は20Vです。このように大きなステップ信号レベルから、アナログ・シグナル・チェーンを短時間のうちに高い精度でセトリングさせることは、非常に難しい課題です。さまざまなサンプリング・レートで使用できるセトリング・タイムの長さ、シグナル・チェーン内の回路が必要とするセトリング・タイムを決定するには、回路のタイミングを注意深く検討する必要があります。

図2はシステムの基本的なタイミング図です。解析はここから開始します。

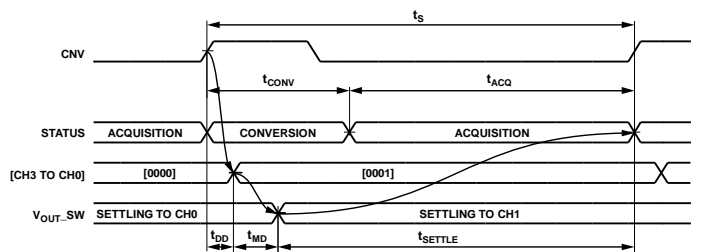


図2. マルチチャンネル・データ・アキュイジション回路のタイミング

## デジタル信号遅延

図1の回路において、ADCとマルチプレクサはともに、デジタル・コントローラからのCNV信号の立ち上がりエッジによってトリガされます。SAR ADCはこの時点でサンプルの取り込みを完了して、変換サイクルをスタートさせます。

理想的には、シグナル・チェーンは1つのサンプリング周期すべてを次のチャネルのセトリングに使用できますが、デジタル回路には遅延があるので使用できるセトリング・タイムはもっと少なくなります。図2において  $t_{DD}$  は、NANDゲートにおける遅延と、カウンタのCLK-OUT遅延の合計です。デジタル遅延は各コンポーネントのデータシートから知ることができ、合計で約8nsです。

図2に  $t_{MD}$  で示されている時間は2段マルチプレクサにおける遅延で、デジタル入力の50%点から、アナログ出力信号がセトリングを開始する点までの間で測定されます。

この回路ではADG5208とADG5236が同時に切替えられるので、図2にマークされている  $t_{MD}$  は遅い方のデバイスによって生成される遅延に等しくなります。この場合はADG5208です。

マルチプレクサの遷移遅延時間はデータシートに記載されています。ただし、データシートに記載されている遷移遅延は、図3に示すように、デジタル入力の50%点からデジタル出力の90%点までの遅延時間です。

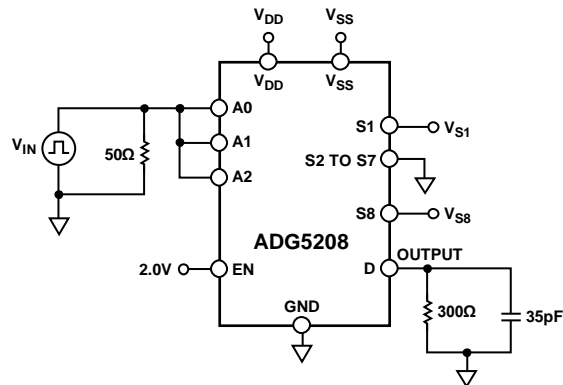
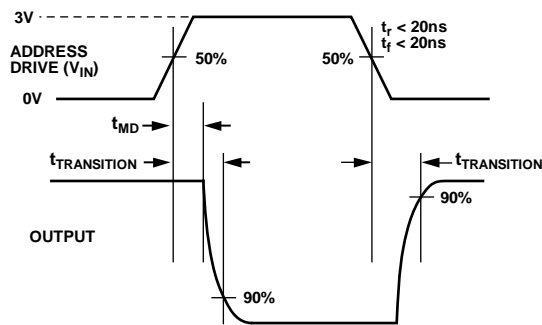


図3. ADG5208の遷移遅延テスト回路

したがって、 $t_{MD}$  は次式で求められます。

$$t_{MD} = t_{TRANSITION} - t_{SETTLE(90\%)} \quad (1)$$

サンプリング・レート  $f_s$  におけるアナログ・シグナル・チェーンの最大セトリング・タイムは、次式で予測できます。

$$t_{SETTLE(f_s)} = 1/f_s - t_{DD} - t_{MD} \quad (2)$$

マルチプレクサのセトリング・タイムを予測するのに適した1次近似は、オン状態のマルチプレクサを、時定数  $R_{ON} \times C_D$  の単純なRC回路として扱うことです。

数%の誤差の範囲内でスイッチをセトリングさせるための時間は、下式で得られます。詳細については、アプリケーション・ノート AN-1024「マルチプレクサのセトリング・タイムとサンプリング・レートの計算方法」を参照してください。

300  $\Omega$  || 35 pF の負荷での遷移遅延を測定するためのテスト回路を図3に示します。このテスト構成でのセトリング・タイムは式3で予測できます。

$$t_{SETTLE} = -\ln\left(\frac{\% \text{ error}}{100}\right) \left( \frac{R_{ON} R_L}{R_{ON} + R_L} \right) (C_D + C_L) \quad (3)$$

ADG5208 の場合、 $R_{ON}$  は  $160\ \Omega$ 、 $C_D$  は  $52\text{pF}$  です。ADG5208 の遷移遅延は  $160\text{ns}$  なので、ADG5208 の 90%セトリング・タイムは次のように求められます。

$$t_{SETTLE(90\%)} = -\ln\left(\frac{10}{100}\right)(160\ \parallel\ 300\ \Omega)(52\ \text{pF} + 35\ \text{pF}) = 21\ \text{ns}$$

式 1 から、

$$t_{MD} = t_{TRANSITION} - t_{SETTLE(90\%)} = 160\text{ns} - 21\text{ns} = 139\text{ns}$$

したがって、ADG5208 と ADG5236 を使用したこの回路構成においてデジタル回路が原因で追加される遅延の合計時間は次のようになります。

$$t_{DD} + t_{MD} = 8\text{ns} + 139\text{ns} = 147\text{ns}$$

実際のところ、デジタル制御回路が原因で生じるこの  $147\text{ns}$  のデジタル遅延と、マルチプレクサによる遷移遅延の一部は、マルチプレクサのアップデート信号を基準に、 $t_{DD} + t_{MD}$  に等しい時間だけ変換信号の立上がりエッジを遅らせることによって補正できます。しかし、 $t_{DD}$  と  $t_{MD}$  はともに、温度と電源電圧、およびデバイスの正常範囲内のばらつきに依存します。時間マージンは、このばらつきとドリフトを吸収するのに十分なものでなければなりません。たとえば、 $147\text{ns}$  のデジタル遅延を伴うこの構成において、ADC 変換信号 ( $t_{AHEAD}$ ) の手前  $100\sim 120\text{ns}$  でマルチプレクサを切替えると、使用可能なセトリング・タイムが同じ量だけ増えます。

最適化されたタイミングを図 4 に示しますが、複雑さを最小限に抑えるために、これは実際の回路には実装されていません。

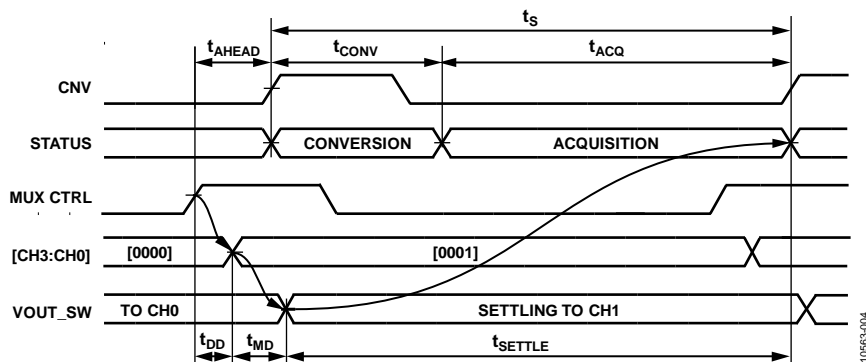


図 4. マルチチャンネル・データ・アキュイジション回路の最適化されたタイミング

セトリング・タイム解析

図1に示す回路が連続切替えモードで動作する時は、16チャンネルのシングルエンド信号または8チャンネルの差動信号のストリームすべてが、2段マルチプレクサ ADG5208 と ADG5236 によって、時分割多重信号として結合されます。次いでこの信号は、高インピーダンス、低容量の入力を備えた AD8065 によってバッファされます。

さらに、AD8065 バッファの低インピーダンス出力が、減衰、レベル・シフト、およびシングルエンドから差動への変換を行う AD8475 段を駆動します。帯域外ノイズを制限して、ADC のスイッチド・キャパシタ入力からのキックバックを減衰させるために、AD7984 ADC の入力には RC フィルタ (10Ω, 2.2nF) が置かれます。フィルタの-3dB 帯域幅は 7.2MHz です (2012年12月の Analog Dialogue 46-12、「*Front-End Amplifier and RC Filter Design for a Precision SAR Analog-to-Digital Converters*」を参照。

セトリング・タイムを計算するためには、図5に示すように回路を4つの部分に分割できます。

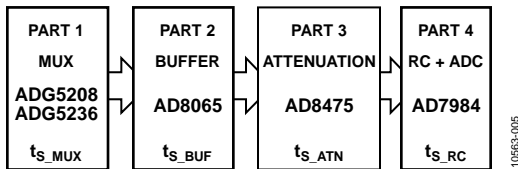


図5. セトリング・タイム解析のための段内ブロック図

以上から合計セトリング・タイムは、各段のセトリング・タイムの二乗和平方根 (RSS) になると予測されます。

$$t_{S\_ALL} = \sqrt{t_{S\_MUX}^2 + t_{S\_BUF}^2 + t_{S\_ATN}^2 + t_{S\_RC}^2}$$

サンプリング・レート  $f_s$  における特定の誤差帯域内でセトリングさせるには、以下の関係を満たす必要があります。

$$t_{S\_ALL} + t_{DD} + t_{MD} < 1/f_s$$

$$\text{または、} s < 1/(t_{S\_ALL} + t_{DD} + t_{MD})$$

マルチプレクサ段のセトリング・タイム

CMOS スイッチの等価回路は、抵抗 ( $R_{ON}$ ) と直列の2個のコンデンサ ( $C_S$ ,  $C_D$ ) からなる、並列の理想スイッチとして近似できます。したがって、マルチプレクサ段とそれに対応するフィルタは、図6に示すようにモデル化できます。

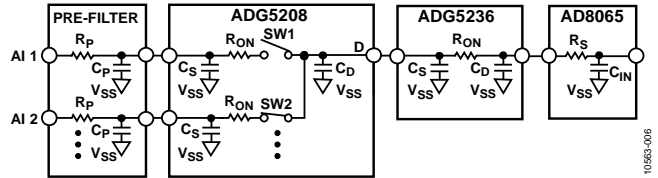


図6. 入力プレフィルタ、マルチプレクサ、AD8065 入力の1次モデル

ADG5236 のモデルには直列スイッチは示されていません。これは、シングルエンド・モード入力から差動モード入力への変更時のみ動作するためです。

マルチプレクサ前のプレフィルタは図1には示されていません。このプレフィルタはノイズ抑制に使用します。また、保護ダイオードおよび TVS と組み合わせられた  $R_P$  抵抗は、過酷な環境下における過渡現象や過電圧に対する保護機能を提供します。保護コンポーネントは、[CN-0269 Design Support Package](#) に含まれている回路図に示されています。

$R_S$  は AD8065 の非反転入力に直列に接続された  $1k\Omega$  の抵抗で、 $C_{IN}$  は AD8065 の入力容量です。AD8065 の入力インピーダンスは  $1G\Omega || 2.2pF$  で、 $1G\Omega$  の抵抗は無視できます。

図6に示す回路は、NI Multisim™ を使用して図7の要領でシミュレーションされています。シミュレーション時の各コンポーネントの値は以下のとおりです。

プレフィルタ :  $R_P = 300\Omega$ ,  $AC_P = 120pF$ ,

ADG5208 :  $R_{ON} = 160\Omega$ ,  $AC_S = 5.5pF$ ,  $C_D = 52pF$ ,

ADG5236 :  $R_{ON} = 160\Omega$ ,  $AC_S = 2.5pF$ ,  $C_D = 12pF$ ,

AD8065 :  $R_S = 1k\Omega$ ,  $C_{IN} = 2.2pF$ ,

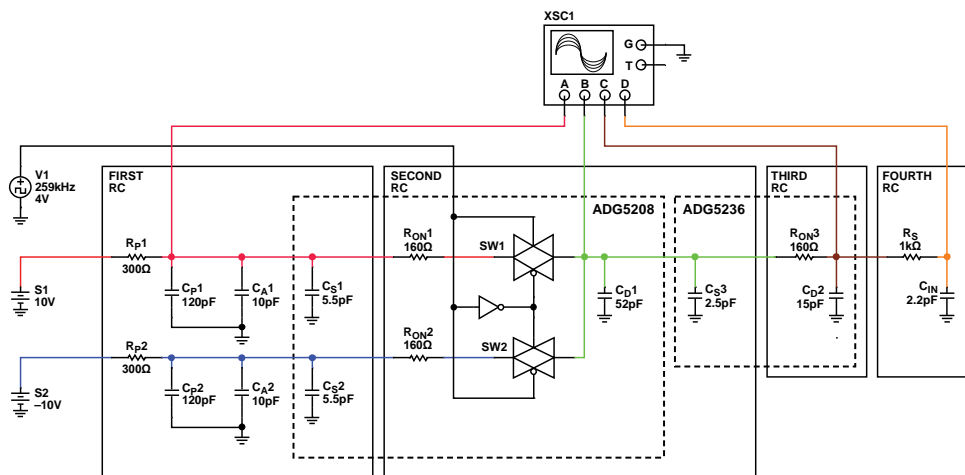


図7. プレフィルタ、マルチプレクサ、AD8065 入力用の NI Multisim シミュレーション回路

シミュレーション結果を図8に示します。この結果から、図7に示す回路のセトリング・タイムは次のようになります。

$$t_{s\_MUX} = 10.1300 - 8.0011 = 2.129\mu s$$

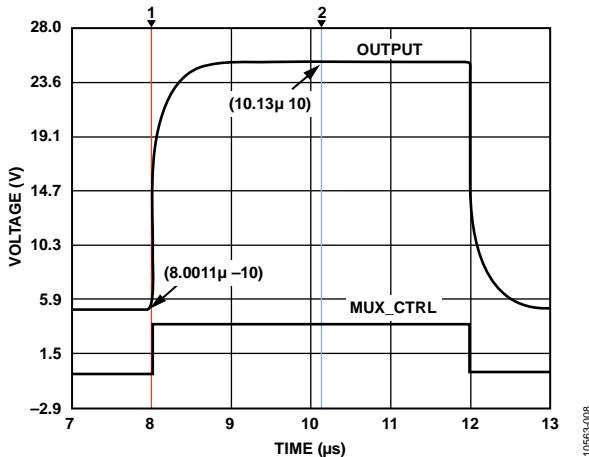


図8. プレフィルタ、マルチプレクサ、AD8065 入力  
のセトリング・タイム・シミュレーション

マルチプレクサのセトリング・タイムが  $2.1\mu s$  なので、チャンネルあたりの最大スループット・レートは  $476kSPS$  ( $1/2.1\mu s$ ) に制限されます。これは、マルチプレクサがシグナル・チェーン内の唯一の要素であったとしても変わりません。各段がセトリング・タイムに及ぼす影響は RSS ベースで加算されていくので、セトリング・タイムが約  $2.1\mu s \div 3 = 700ns$  未満の段は、合計セトリング・タイムに最小限の影響しか及ぼしません。

### AD8065 バッファ段と AD8475 減衰段のセトリング・タイム

アンプのセトリング・タイムは、図9に示すように、時間測定の基準点を入力パルスの 50%点としたときに、出力が入力のステップ変化に応答し、定められた誤差帯域に入ってその中に維持されるようになるまでの時間として定義されます。

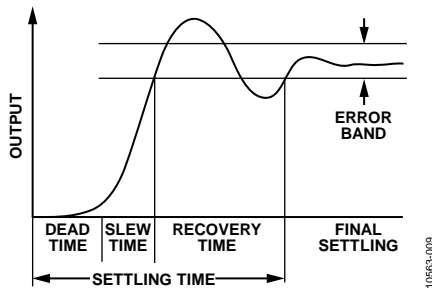


図9. オペアンプのセトリング・タイム

通常この誤差帯域は、0.1%、0.01%、0.001% というように、ステップの特定のパーセント値で定義されます。図9に示すように、合計セトリング・タイムはデッド・タイム、スルー・タイム、およびリカバリ・タイムで構成されます。

AD8065 のように高速でセトリング・タイムの短いオペアンプでは、デッド・タイムが合計セトリング・タイムに占める割合は小さく、通常は無視できます。

オペアンプのセトリング・タイムは非線形で、0.01%の帯域内にセトリングさせるには、0.1%帯域の場合の30倍の時間を要することもあります。また、オペアンプ内に熱の影響がある

と、0.1%セトリングに要する時間が  $100ns$  未満の場合でも、0.01%帯域内にセトリングするまでに数百マイクロ秒を要することがあります。セトリング・タイムが0.1%に指定されているオペアンプでは、低振幅リングや長時間にわたる熱の影響のために、0.01%または0.001%の帯域内にセトリングしないことがあります。

セトリング・タイムは、オペアンプの閉ループ利得と帰還ネットワーク、および補償容量の関数でもあります。また、セトリング・タイムは出力電圧ステップの振幅に依存します。一般に、出力ステップが大きい場合は、小さい場合よりセトリング・タイムが長くなります。

10V または 20V の出力ステップに対する 0.01%あるいは0.001%セトリング・タイムの測定は極めて困難です。これは、オシロスコープのオーバードライブや感度の他、必要な精度内にセトリングする入力パルスの生成が困難なことに由来します。

AD8065 オペアンプの 10V 出力ステップ時の 0.1%セトリング・タイム仕様は  $250ns$  で、スルーレートは  $180V/\mu s$  です。出力が 10V でスイングする場合のスルー・タイムは約  $55ns$  で、20V 出力ステップの場合のスルー・タイムは約  $110ns$  です。20V ステップ時の 0.1%セトリング・タイムは、10V ステップ時の仕様値に追加的なスルー・タイムを加えることによって予測できます。この場合はおよそ  $250ns + 55ns = 305ns$  となります。実験データに基づき、20V 出力ステップの場合の 0.01%セトリング・タイムを約  $600ns$  と仮定します。

AD8475 差動減衰アンプのセトリング・タイム仕様は、2V 出力ステップで 0.0001%まで  $50ns$ 、スルーレートは  $50V/\mu s$  です。回路内での出力は 8V なので、セトリング・タイムが出力電圧ステップに比例すると仮定すると、8V 時のセトリング・タイムは約  $200ns$  です。

### ノイズ・フィルタと AD7984 ADC のセトリング・タイム

AD7984 は PulSAR®ファミリーに属する ADC で、電荷再配分型 D/A コンバータ (容量性 DAC) がベースになっています。出力コードは 2 段階で決定されます。第 1 段階はアキュジション段階です。内部の容量性 DAC は、信号を取り込むために ADC 入力ピンに切替えられます。ADC 入力を駆動している外部サポート回路は、アキュジション段階の終了時に必要電圧にセトリングできなければなりません。次いで ADC はコンバージョンの段階に入り、容量性 DAC が入力から切り離されます。変換は、SAR 変換アルゴリズムを使用してこの段階で行われます。

外付けの RC フィルタと組み合わせた等価アナログ入力回路を図10に示します。REXTとCEXTはADC前段の外付けフィルタで、この回路では  $10\Omega$  と  $2.2nF$  です。CEXTが大きいので、数 pF のピン容量 (CPIN) は無視できます。RINの標準値は  $400\Omega$  で、CINの標準値は  $30pF$  です。

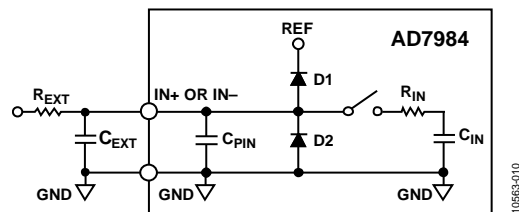


図10. AD7984 入力等価回路

変換の段階ではスイッチが開かれ、 $R_{EXT}$  と  $C_{EXT}$  の時定数が入力セトリング・タイムを決定します。

スイッチが閉じて ADC がアキュイジション段階に入ると、内部の  $R_{IN}$  と  $C_{IN}$  が外付け回路と並列に接続されて、過渡電荷を入力に加えることができます。

利得 0.4 倍の AD8475 と 20V シングルエンド入力ステップからなるこの回路では、AD7984 に加わる電圧ステップはシングルエンドで 4V、差動で 8V です。

最初にステップ電圧が加わる時の AD8475 は変換モードで、スイッチは開いています。 $R_{EXT}$  と  $C_{EXT}$  の時定数は 22ns で、時定数の数が 12.48 の場合は 275ns です (表 1 に示す 18 ビットへのセトリングに要する時間)。これは、1MSPS でサンプリングを行うときの許容変換時間 500ns を下回っています。

この 500ns 間隔の終了時に AD7984 はアキュイジション・モードに入り、スイッチが閉じます。この時点で RC フィルタ入力電圧が正のフルスケール、 $C_{IN}$  の電圧が負のフルスケール (もしくはその逆の組み合わせ) に成り得ます。したがって、 $C_{IN}$  にかかる電圧のセトリング・タイムは、 $R_{EXT}$ 、 $C_{EXT}$ 、 $R_{IN}$ 、 $C_{IN}$  の関数となります。

この回路のセトリング・タイムは Multisim によってシミュレーションできます。その結果を図 11 に示します。SIN は Multisim のコンポーネントで PULSE\_VOLTAGE と呼ばれ、50% のデューティ・サイクルで 4V のステップ入力を供給します。図 11 におけるもう 1 つの PULSE\_VOLTAGE は SW\_ADC です。理想スイッチ A1 と組み合わせられたこの PULSE\_VOLTAGE は、SAR ADC の変換サイクルとアキュイジション・サイクルのタイミングを制御します。パルス幅は 500ns で、AD7984 の変換 (CONVERSION) 時間と同じです。5 $\mu$ s は入力スイッチング信号の半周期です。SIN と SW\_ADC はクロックの同じ位相によって制御されます。SIN が切替えられた後、スイッチ A1 は 500ns にわたって開いた状態になります。次いで A1 が閉じ、容量性 DAC が、外部 RC フィルタからの入力信号を取り込めるようになります。

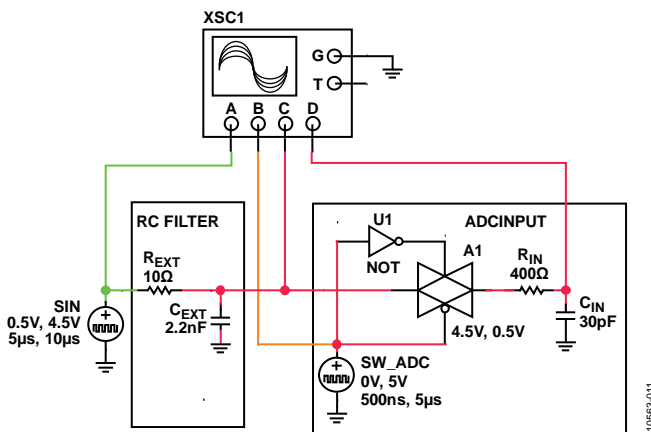


図 11. AD7984 フロントエンドの Multisim セトリング・タイム・モデル

シミュレーション結果を図 12 に示します。青のラベルは、入力ステップ信号の 469ns 後に、 $C_{IN}$  の電圧が 18 ビットの精度で 4V にセトリングすることを示しています。

したがって、AD7984 のフロントエンドの合計セトリング・タイムは  $t_{SRC} = 469ns$  です。

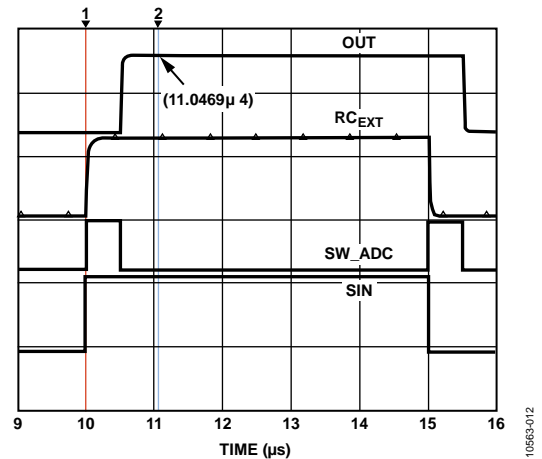


図 12. AD7984 フロントエンド・シミュレーション・モデルのセトリング・タイム波形

表 1 は便利な表で、単純な RC 回路を指定精度でセトリングさせるために必要な時定数の数を示しています。

表 1. 単純な RC 回路を指定精度にセトリングするために必要な時定数の数

分解能、ビット数	LSB (%FS)	時定数の数 = $-\ln(\%誤差/100)$
6	1.563	4.16
8	0.391	5.55
10	0.0977	6.93
12	0.0244	8.32
14	0.0061	9.70
16	0.00153	11.09
18	0.00038	12.48
20	0.000095	13.86
22	0.000024	15.25

図 1 に示す回路全体の合計セトリング・タイムは、次式で求めることができます。

$$t_{S\_ALL} = \sqrt{t_{S\_MUX}^2 + t_{S\_BUF}^2 + t_{S\_ATN}^2 + t_{S\_RC}^2}$$

$$= \sqrt{2129^2 + 600^2 + 200^2 + 469^2} = 2270 \text{ ns}$$

したがって 18 ビットにセトリングさせる場合、この回路の最大スイッチング・レートは次のようになります。

$$f_s < 1/(2270 \text{ ns} + 147\text{ns}) = 414\text{kHz}$$

## ノイズ解析

### AD8065 バッファ段のノイズ

この回路のシグナル・チェーンのノイズ源は、抵抗の熱ノイズと、AD8065 および AD8475 の電圧と電流によるノイズです。2 つのスイッチのオン抵抗は十分に小さく、無視できます。

AD8065 回路の簡略化されたノイズ解析モデルを図 13 に示します。

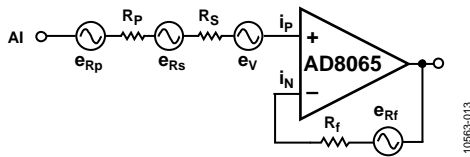


図 13. AD8065 のノイズ・モデル

図 13 に示すノイズ源は、ノイズ利得を乗じることによって出力に変換する必要があります。ユニティゲイン・バッファの場合、利得は 1 です。

$$e_{AD8065\_RTO} = \sqrt{e_{RP}^2 + e_{RS}^2 + e_{Rf}^2 + e_V^2 + (R_P + R_S)^2 i_p^2 + R_f^2 i_p^2}$$

抵抗によるノイズは次式で得られます。

$$e_R = 4 \times \sqrt{\frac{R}{1000}} \text{ nV}/\sqrt{\text{Hz}} \quad (25^\circ\text{C の場合})$$

ここで、R の単位は Ω です。

- $e_{RP} = 2.2 \text{ nV}/\sqrt{\text{Hz}}$
- $e_{RS} = e_{Rf} = 4 \text{ nV}/\sqrt{\text{Hz}}$
- $e_V = 7 \text{ nV}/\sqrt{\text{Hz}}$
- $i_p = i_n = 1 \text{ pA}/\sqrt{\text{Hz}}$
- $e_{VAD8065} = 10 \text{ nV}/\sqrt{\text{Hz}}$

### AD8475 減衰段のノイズ

$e_{AD8065\_RTO}$  項は、入力回路から AD8475 段までのノイズです。このノイズは、図 14 に示すように AD8475 段の信号利得 (0.4) を乗じることによって AD8475 の出力に反映されます。

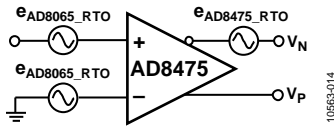


図 14. AD8475 のノイズ・モデル

AD8475 の出力電圧ノイズも  $10 \text{ nV}/\sqrt{\text{Hz}}$  あり、これにはアンプの電圧と電流によるノイズ、および内部抵抗のノイズが含まれています。

ADC の前のシグナル・チェーン全体でのノイズ密度は次の通りです。

$$e_{TOTAL\_GAIN} = \sqrt{2 \times (GAIN_{AD8475} \times e_{AD8475\_RTO})^2 + e_{AD8475\_RTO}^2}$$

入力範囲が  $\pm 10\text{V}$  の場合は  $GAIN_{AD8475} = 0.4$  です。

$$e_{TOTAL\_0.4} = 11.5 \text{ nV}/\sqrt{\text{Hz}}$$

入力範囲が  $\pm 5\text{V}$  の場合は  $GAIN_{AD8475} = 0.8$  です。

$$e_{TOTAL\_0.8} = 15.1 \text{ nV}/\sqrt{\text{Hz}}$$

AD8475 の合計出力ノイズは、帯域幅  $7.23 \text{ MHz}$  の RC フィルタ ( $10\Omega$ ,  $2.2 \text{ nF}$ ) に加わります。AD8065 の帯域幅は  $145 \text{ MHz}$  で、AD8475 の帯域幅は  $150 \text{ MHz}$  です。AD7984 ADC の入力帯域幅は  $10 \text{ MHz}$  なので、AD7984 の入力におけるノイズは RC ノイズ・フィルタによって  $7.23 \text{ MHz}$  に制限されます。

したがって、AD8475 が利得 0.8 (最悪ノイズ条件) で動作している場合、ADC への入力 RMS ノイズは次のようになります。

$$V_{TOTAL\_RMS} = 15.1 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{1.57 \times 7.23 \text{ MHz}} = 51 \mu\text{V}$$

$$V_{TOTAL\_PP} = 6.6 \times 51 \mu\text{V} = 337 \mu\text{V}$$

リファレンス電圧が  $4.096 \text{ V}$ 、18 ビットの AD7984 の場合、差動入力スパンは  $8.196 \text{ V}$ 、LSB 値は  $31 \mu\text{V}$  です。したがって、 $337 \mu\text{V}$  のピーク to ピーク・ノイズは 11 LSB ピーク to ピークに相当します。

### マルチプレクサのスイッチング過渡現象の影響

マルチプレクサにはソースとドレインの容量があります。マルチプレクサのドレイン容量は、前の入力チャンネルの電圧を保持します。マルチプレクサが次のチャンネルに切り替わると、この電圧により、 $R_{ON}$  抵抗を通じて過渡電流またはキックバック・グリッチが発生することがあります。この過渡現象は次の変換に影響を与える可能性があります。したがって、プレフィルタ・ドライバは、出力インピーダンスが非常に低く、過渡現象に対するセトリング・タイムの短いものとする必要があります。

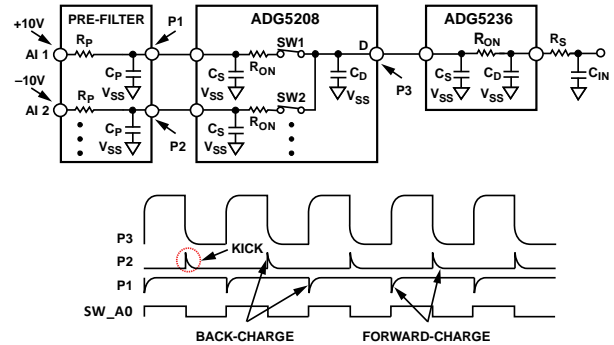


図 15. マルチプレクサのスイッチング過渡現象

ドライバは、スイッチが開く前に、必要な精度で入力を充電できなければなりません (正方向充電)。スイッチが開くと逆方向充電となりますが、通常は短時間で、問題となることはありません。

マルチプレクサの前段には、回路を駆動しやすくするためにバッファを置くことができます (フロント・バッファ)。評価ボード EVAL-CN0269-SDPZ には各入力チャンネルの入力バッファ用のフットプリントが確保されており、チャンネル 1 からチャンネル 4 までに AD8065 が組み込まれています。バッファを追加するとノイズ密度とセトリング・タイムがわずかに増加します。しかし実際のアプリケーションでは、バッファがないと入力ケーブルまたはターミナル・コネクタによる寄生インダクタンスと寄生容量がセトリング・タイムを著しく増加させ、正方向および逆方向充電によるリングングが発生します。入力バッファを追加すると寄生効果が分離され、マルチプレクサへのインピーダンスも非常に低くなります。バッファの有無による回路性能の違いは、この回路ノートのテスト部分に示されています。

入力バッファを追加するもうひとつの理由は、その前段にアンチエリアシングとノイズ低減のための追加フィルタを置くことです。



### テスト結果のヒストグラム

図 16 は、16 のシングルエンド・チャンネルをまとめて短絡し、それらを PCB の GND に接続することによって得た 10,000 サンプルのヒストグラムです。入力バッファを含むピーク to ピーク・ノイズは約 12LSB です。

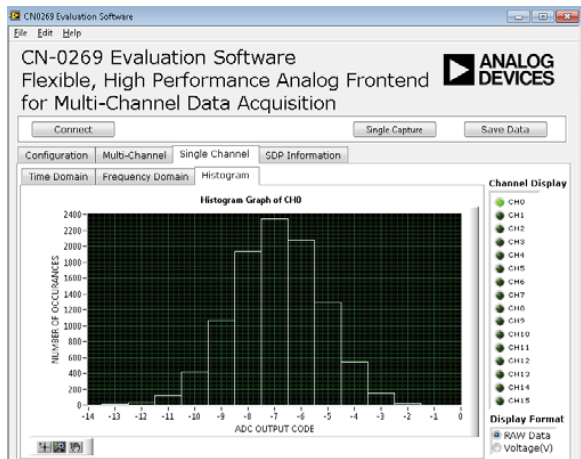


図 16. 0V 入力、1MSPS サンプルング・レート、10,000 サンプルでの DC ヒストグラム

### AC テスト結果

AC 性能は、AD7984 を使用して、タイプ 1051 B&K 正弦波ジェネレータが供給する 2.5Vp-p、10.675kHz の入力正弦波を 300kSPS でサンプリングしながら、システム・レベルでテストしました。回路はチャンネル 4 で連続的にサンプリングを行い、入力バッファの影響は含まれていません。FFT は SNR = 91.33 dBFS を示しています。

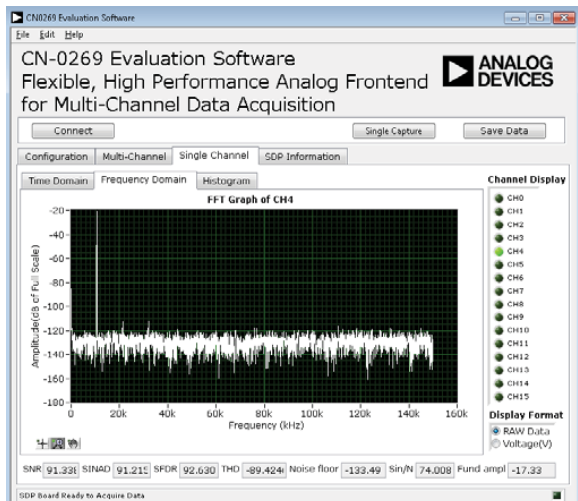


図 17. カイザー窓 (パラメータ = 20) を使用した FFT。2.5Vp-p の 10.675kHz 入力、チャンネル 4 で 300kSPS のサンプリング・レート、入力バッファなし

### スイッチング速度とセトリング・タイムのテスト結果

以下の図にセトリング性能を示します。また、実験室でのテスト・セットアップを図 18 に示します。

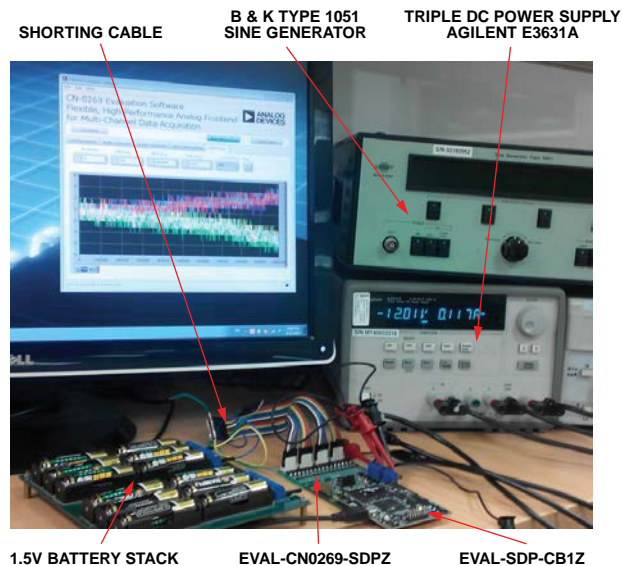


図 18. 実験室におけるスイッチング速度とセトリング・タイムのテスト・セットアップ

CN-0269 評価ボードは 16 チャンネル・シングル入力モードに設定し、8 つの奇数チャンネル同士と、8 つの偶数チャンネル同士を短絡させました。

また、ノイズとインピーダンスを低く抑えるために、バッテリー・スタックを使用してさまざまな DC 入力電圧を発生させています。

奇数チャンネルと偶数チャンネルは、それぞれ異なる電圧に接続しました。LabVIEW™ を用いて EVAL-SDP-CB1Z をチャンネルごとに制御し、入力チャンネル間の切替えを連続的にを行います。スイッチング・レートは 1kHz きざみで 100Hz から 1MHz まで変化させ、それぞれのスイッチング・レートで 10 個のサンプルを採取して結果を平均しました。また、得られた平均値のうちで最も低いスイッチング・レートの値を基準点として使用しています。異なるそれぞれのスイッチング・レートにおける誤差は、10 サンプル値と基準値の差を取ることによって計算しました。このテスト結果を図 19 から図 23 に示します。

これらの図で 2LSB の誤差は 17 ビットのセトリングに相当し、4LSB の誤差は 16 ビットのセトリングに相当します。

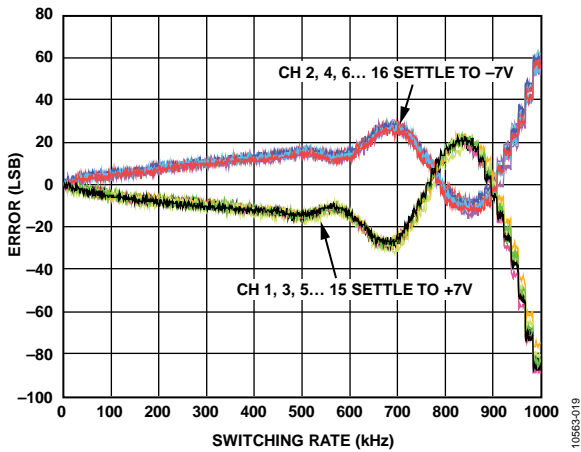


図 19. フロント・バッファなしでのスイッチング・レート対誤差、16チャンネル、シングルエンド、14Vステップ

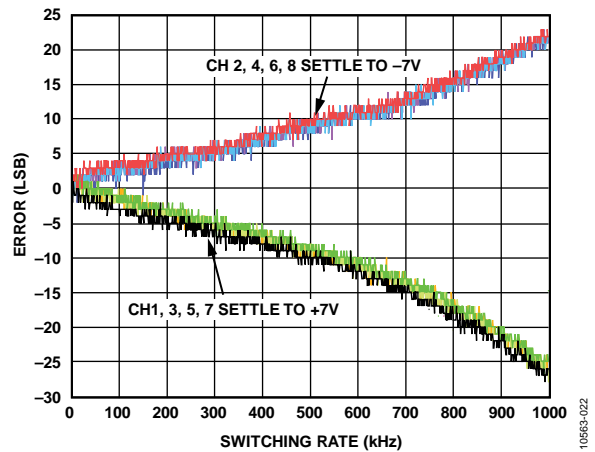


図 22. フロント・バッファありでのスイッチング・レート対誤差、8チャンネル、差動モード、14Vステップ

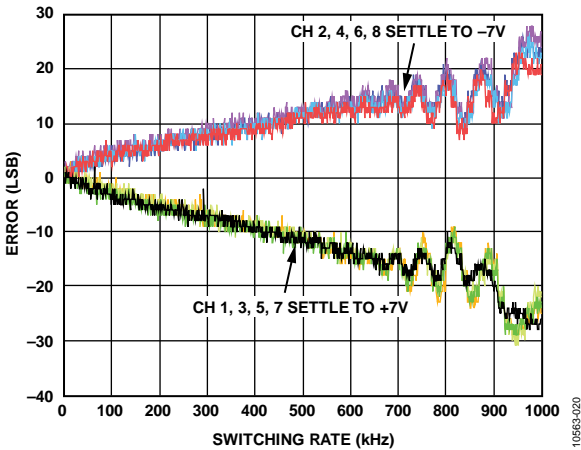


図 20. 入力バッファなしでのスイッチング・レート対誤差、8チャンネル、差動モード、14Vステップ

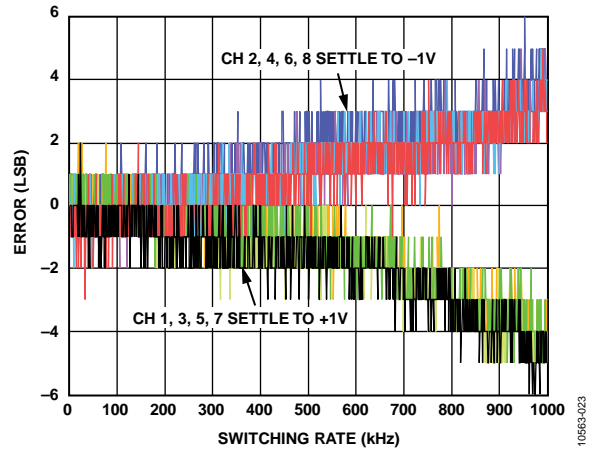


図 23. 入力バッファありでのスイッチング・レート対誤差、8チャンネル、差動モード、2Vステップ

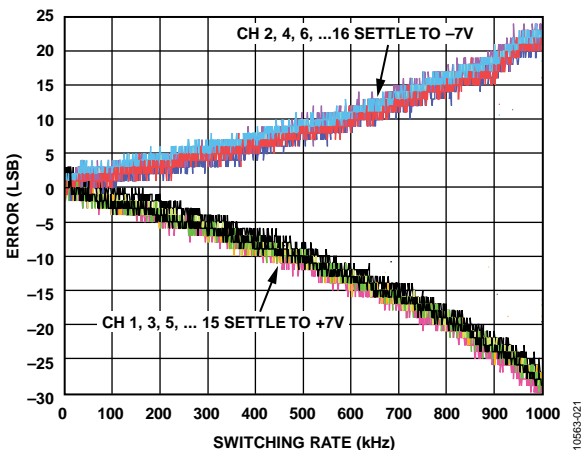


図 21. 入力バッファありでのスイッチング・レート対誤差、16チャンネル、シングルエンド・モード、14Vステップ

以上の図から、1MHz未満のスイッチング・レートでは、入力バッファのある回路の方がフロント・バッファのない回路よりもセトリング性能に優れていることがわかります。

図 21、図 22、図 23 は、入力バッファを接続した回路が、250kHz までのチャンネル間スイッチング・レートで 16 ビットにセトリングすることを示しています。

### 回路のバリエーション

18 ビットの AD7984 は、10 ピンの MSOP パッケージまたは 10 ピンの QFN (LFCSP) パッケージを選択できます。その他にも、同じパッケージで、14 ビット、16 ビット、18 ビットの各分解能とさまざまなサンプリング・レートの PulSAR ADC を選ぶことができます。

バッファ・アンプには、この他にも [AD8021](#) を使用できます。プログラマブル・ゲインが必要な場合は [AD8250](#)、[AD8251](#)、[AD8253](#) を使用できます。0.001% へのセトリング・タイムは 685ns です。また、より低い容量のものが必要な場合は、[ADG12xx](#) シリーズのマルチプレクサを使用できます。

## 回路の評価とテスト

この回路は、EVAL-CN0269-SDPZ 回路ボードと EVAL-SDP-CB1Z SDP-B システム・デモンストレーション・プラットフォーム・コントローラ・ボードを使用しています。これら 2 つのボードは 120 ピンの嵌合コネクタを備えており、回路の迅速なセットアップと性能評価が可能です。EVAL-CN0269-SDPZ ボードにはこの回路ノートに示す評価対象回路が含まれており、SDP-B コントローラ・ボードは [CN-0269 評価ソフトウェア](#) とともに使用して、EVAL-CN0269-SDPZ 回路ボードからのデータを取り込みます。

### 必要な装置

以下の装置が必要です。

- USB ポート付き、Windows® XP (32 ビット)、Windows Vista®, または Windows 7 搭載の PC
- EVAL-CN0269-SDPZ 回路ボード
- EVAL-SDP-CB1Z SDP-B コントローラ・ボード
- CN-0269 SDP 評価ソフトウェア
- 6V DC (500mA)、±12V (300mA) の電源
- DC~1MHz の周波数で±10V 出力を生成する低歪みのシグナル・ジェネレータ

### 評価開始にあたって

CN-0269 評価ソフトウェアの CD を PC の CD ドライブにセットして、評価ソフトウェアをインストールします。

### 機能ブロック図

回路ブロック図については図 1 を、詳細な回路図が必要な場合は [EVAL-CN0269-SDPZ-SCH-RevX.pdf](#) を参照してください。このファイルは [CN-0269 Design Support Package](#) に含まれています。テスト・セットアップの機能ブロック図を図 24 に示します。

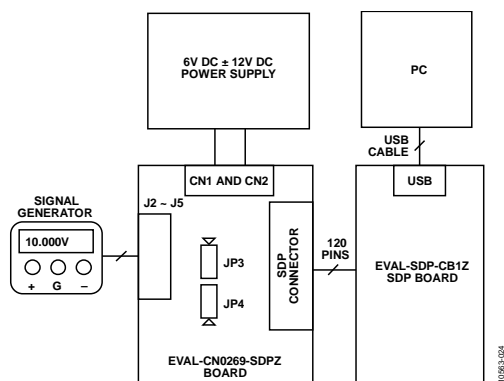


図 24. テスト・セットアップのブロック図

### セットアップ

EVAL-CN0269-SDPZ 回路ボードの 120 ピン・コネクタを EVAL-SDP-CB1Z コントローラ・ボード (SDP-B) の CON A コネクタに接続します。120 ピン・コネクタの端部にある穴を利用し、ナイロン製ハードウェアを使って 2 つのボードをしっかりと固定します。次に、電源をオフにした状態で、6V お

よび±12V の DC 電源を CN1 と CN2 のピンに接続します。これらのピンは、ボード上に+6V、±12V、GND とマークされています。6V の AC アダプタを使用できる場合は、ボード上のバレル・コネクタにアダプタを接続して 6V 電源の代わりに使用できます。さらに、SDP-B ボードに付属している USB ケーブルを PC の USB ポートに接続します。この時点では、まだ USB ケーブルを SDP-B ボード上の MiniUSB コネクタに接続しないでください。6V 電源と±12V 電源を同時にオンにし、それから USB ケーブルを Mini-USB コネクタに接続します。

### テスト

6V 電源と±12V 電源がオンの状態で、評価ソフトウェアを起動します。USB 通信が確立したら、SDP-B ボードを使用して EVAL-CN0269-SDPZ ボードとの間のデータの送受信およびキャプチャが可能で、時間ドメインと周波数ドメインでデータ解析を行って回路全体の性能を評価することができます。

図 25 は EVAL-CN0269-SDPZ 評価ボードです。SDP-B ボードについての詳細情報は、[SDP-B User Guide](#) に記載されています。

テスト・セットアップと校正についての詳細、およびデータ・キャプチャ用評価ソフトウェアの使用法については、[CN-0269 Software User Guide](#) に記載されています。



図 25. EVAL-CN0269-SDPZ 評価ボード

### プロトタイプ開発における接続性

EVAL-CN0269-SDPZ 評価ボードは、Black-Fin DSP をベースにした EVAL-SDP-CB1Z SDP-B ボードにより SPORT ポートを通じて評価されるように設計されていますが、AD7984 のシリアル・ポートとのインターフェースには、14 ピンの PMOD コネクタを通じて任意のマイクロプロセッサを使用できます。ただし、EVAL-CN0269-SDPZ 評価ボードに他のコントローラを使用するには、サードパーティがソフトウェアを開発する必要があります。

アルテラ社とザイリンクス社の FPGA (フィールド・プログラマブル・ゲート・アレイ) については、これらとインターフェースを取るために使用できる既存のインターポーザ・ボードがあります。アルテラの BeMicro SDK ボードは、Nios Driver を使用して BeMicro SDK/SDP インターポーザとともに使用できます。FMC コネクタを備えたザイリンクスの評価ボードは、すべて FMC-SDP インターポーザ・ボードとともに使用できます。

## さらに詳しい資料

CN-0269 Design Support Package:

<http://www.analog.com/CN0269-DesignSupport>

UG-277 User Guide, SDP-B User Guide, Analog Devices.

Analog Dialogue 46-12 : 高精度 SAR A/D コンバータ (ADC) のフロントエンド・アンプと RC フィルタの設計

Analog Dialogue 39-09 : 高速プリント回路基板レイアウトの実務ガイド

Kester, Walt, Data Conversion Handbook, Chapter 8, Section 8.2, Multichannel Data Acquisition Systems, Elsevier.

Analog Dialogue, Volume 45 : Switch and Multiplexer Design Considerations for Hostile Environments, Ask the Applications Engineer-40, May 2011.

AN-359 Application Note : Settling time of Operational Amplifiers, Analog Devices.

AN-931, Application Note : PulSAR ADC サポート回路の解説

AN-1024 Application Note : How to Calculate the Settling Time and Sampling Rate of a Multiplexer, Analog Devices.

MT-004 Tutorial : The Good, the Bad, and the Ugly Aspects of ADC Input Noise—Is No Noise Good Noise? Analog Devices.

MT-031 Tutorial : Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”, Analog Devices.

MT-035 : Op Amp Inputs, Outputs, Single-Supply, and Rail-to-Rail Issues, Analog Devices.

MT-046 Tutorial : Op Amp Settling Time, Analog Devices.

MT-048 Tutorial : Op Amp Noise Relationships: 1/f Noise, RMS Noise, and Equivalent Noise Bandwidth, Analog Devices.

MT-074 Tutorial : 高精度 A/D コンバータ用の差動ドライバ

MT-088 Tutorial : Analog Switches and Multiplexers, Analog Devices.

MT-101 Tutorial, Decoupling Techniques, Analog Devices.

## データシートと評価ボード

CN-0269 評価用ボード (EVAL-CN0269-SDPZ)

システム・デモンストレーション・プラットフォーム (EVAL-SDP-CB1Z)

AD8065 データシート

AD8475 データシート

ADG5208 データシート

ADG5236 データシート

AD7984 データシート

ADR444 データシート

## 改訂履歴

11/13—Revision 0: 初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用に作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。