



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0260> をご覧ください。

使用したリファレンス・デバイス	
AD7985	16ビット、2.5MSPS、15.5mW、PulSAR® A/D コンバータ LFCSP パッケージ
AD8253	10MHz、20V/μs、ゲイン 1/10/100/1000 に設定可能な iCMOS® 計装アンプ
AD8021	16ビット・システムのためのローノイズ高速アンプ
ADA4004-2	1.8 nV/√Hz、36 V 高精度デュアルアンプ
ADR439	電圧リファレンス、出力電圧 4.5V、超低ノイズ、XFET®、電流シンク/ソース機能付き

オーバーサンプリング SAR ADC と PGA の組合せで 125dB 以上のダイナミック・レンジを実現

評価および設計サポート環境 設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)

回路の機能とその利点

図 1 に示す回路は、幅広い応用が可能なセンサー・シグナル・コンディショニング・ブロックです。低ノイズで比較的高ゲインのこの回路は、広いダイナミック・レンジを維持しながら、性能に影響を与えることなく入力レベルの変化に応じてゲインを動的に変更することが可能です。既存のシグ

マ・デルタ技術では、多くのアプリケーションに必要なダイナミック・レンジを確保できますが、唯一の代償として更新レートが低下します。この回路では AD7985 16 ビット、2.5MSPS PulSAR® 逐次比較 ADC をオートレンジ・デバイス AD8253 iCMOS® プログラマブル・ゲイン計装アンプ (PGA) のフロントエンドと組み合わせて使用するもう一つの方法を示しています。アナログ入力値に基づいて自動的に変化するゲインとともに、オーバーサンプリングとデジタル処理を使って、システムのダイナミック・レンジを 125dB 以上に拡大します。

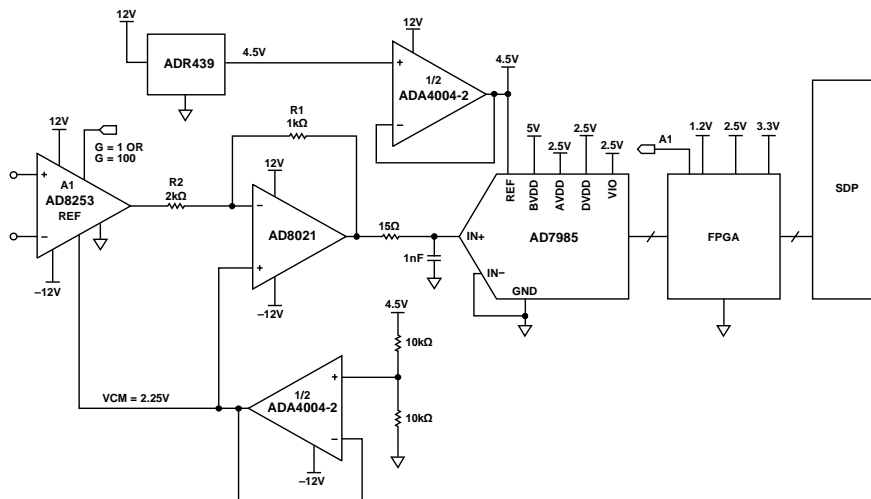


図 1. オートレンジ PGA とオーバーサンプリング SAR ADC を使用したダイナミック・レンジの広いシグナル・コンディショニング回路 (注意: 全接続の一部およびデカップリングは省略されています)

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

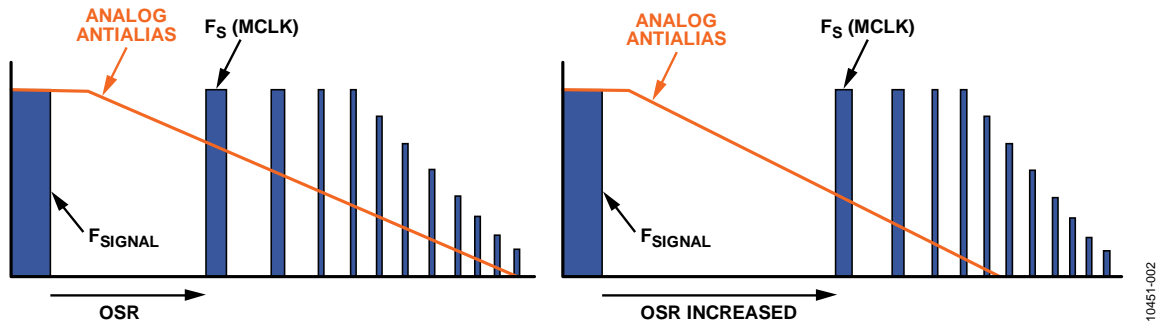


図 2. オーバーサンプリング比 (OSR) の増加によるノイズの低減

回路説明

広いダイナミック・レンジを必要とするアプリケーションにはさまざまなものがあります。重量計システムでは、一般に最大フルスケール出力が $1\text{mV}\sim 2\text{mV}$ のロードセル・ブリッジ・センサーを使用しています。このようなシステムでは 100 万分の 1 の分解能を要求されることがあり、 2mV のフルスケール入力を基準にした場合、高性能、低ノイズ、高ゲインのアンプとシグマ・デルタ・モジュレータが必要になります。同様に、医療用アプリケーションの化学分析や血液分析では、高精度な測定が必要とされる微小電流を生成するフォトダイオード・センサーがよく使用されています。振動監視システムなどの一部のアプリケーションでは、AC と DC の両方の情報を含むため、小信号と大信号の両方を高精度で監視する能力の重要性が増しています。多くの場合、シグマ・デルタ ADC で十分対応できますが、AC と DC の両方の測定を要求され、高速ゲイン切替えが必要な場合には限界があります。

オーバーサンプリングとは、ナイキスト周波数よりずっと高い周波数で入力信号をサンプリングするプロセスのことです。一般に、サンプリング周波数が 2 倍になると、オリジナルの信号帯域幅内のノイズ性能が約 3dB 改善されます。オーバーサンプリング ADC と後段のデジタル・ポストプロセッシング回路により、信号帯域幅外のノイズを除去します (図 2 参照)。

ダイナミック・レンジの最大化は、フロントエンドに PGA 段を追加し、微小信号入力の実効信号対ノイズ比 (SNR) を上げることで実現することができます。ここでシステムのダイナミック・レンジの要求が 126dB を上回る場合について検討します。まず、このダイナミック・レンジを実現するのに必要な最小 rms ノイズを計算します。たとえば、 3V 差動の入力範囲 (6Vp-p) ではフルスケール rms 値が 2.12V ($6/2\sqrt{2}$) となります。システムの最大許容ノイズは次のように計算します。

$$126\text{dB} = 20 \log (2.12\text{V}/\text{rms ノイズ})$$

したがって、rms ノイズはほぼ $1\mu\text{Vrms}$ になります。

ここで、システムの更新レート (出力データ・レート) について検討します。更新レートにより、システムで許容可能なオーバーサンプリング比と入力換算 (RTI) の最大ノイズ量が決まります。たとえば、動作速度が 600kSPS (消費電力

11mW)、オーバーサンプリング比が 72 の AD7985 16 ビット、 2.5MSPS PulSAR ADC の場合、平均化とデシメーション (間引き) を行った後のシステムの実効スループット・レート

(AD 変換の実効的な速度) は、 $600\text{kSPS} \div 72 = 8.33\text{kSPS}$ になります。したがって、入力信号は約 4kHz の帯域幅に制限されます。

合計 rms ノイズは単にノイズ密度 (ND) に \sqrt{f} を掛けた値なので、許容可能な最大入力スペクトル・ノイズ密度 (ND) は次のように計算することができます。

$$1 \mu\text{V rms} = \text{ND} \times \sqrt{4 \text{ kHz}}$$

つまり、 $\text{ND} = 15.8\text{nV}/\sqrt{\text{Hz}}$ になります。

この RTI システム入力ノイズの性能指数から、十分なアナログ・フロントエンド・ゲイン (関連のオーバーサンプリング機能を備えた ADC の SNR に加算) を確保して、必要な 126dB を実現できる適切な計装アンプを選択することになります。AD7985 の場合、SNR の標準値は 89dB であり、72 倍のオーバーサンプリングでさらに約 18dB 改善されます (72 は約 2^6 で、2 倍するごとに SNR は 3dB 改善)。 126dB のダイナミック・レンジを実現するにはまだ 20dB 以上の改善が必要ですが、これはアナログ PGA 段に備わったゲインによって得られます。この計装アンプは、20 以上のゲインを確保する (そして、ノイズ密度が $15.8\text{nV}/\sqrt{\text{Hz}}$ の規定値を超えない値にする) 必要があります。

前述のフロントエンド PGA のゲインと ADC のオーバーサンプリングを実現するシステム・レベルの解決策が、図 1 に示されています。入力段には AD8253 超低ノイズ、 $10\text{nV}/\sqrt{\text{Hz}}$ 、デジタル制御計装アンプを使用しています。ゲインは次の値から選択できます。G = 1、10、100、1000。

AD8021 は、AD7985 を駆動できる低ノイズ ($2.1\text{nV}/\sqrt{\text{Hz}}$) の高速アンプです。このアンプは AD8253 の出力信号のレベル・シフトと減衰も行います。AD8253 と AD8021 のどちらも 2.25V の外部同相バイアス電圧で動作し、これらを組み合わせると ADC 入力と同相電圧を同じ値に維持します。 4.5V のリファレンスを使用すると、ADC の入力範囲は $0\text{V}\sim 4.5\text{V}$ になります。

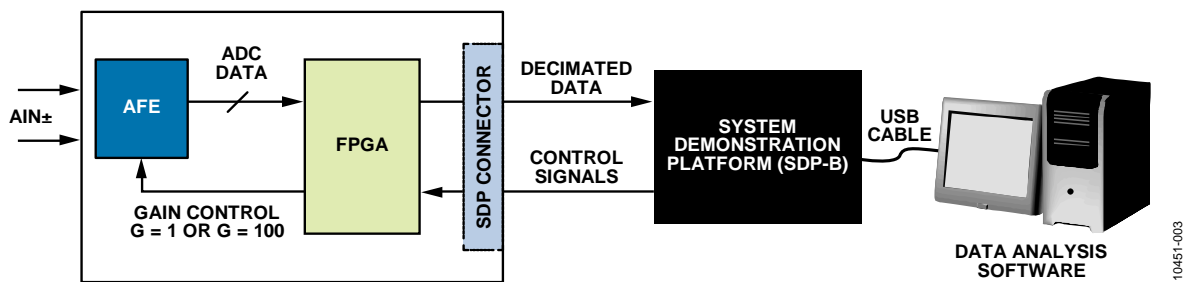


図 3. システムの性能測定に使用されるテスト・セットアップ

AD8021 の出力は高速 ADC を使って測定されます。PGA のゲインは、入力信号の振幅に基づいて動的に設定することができます。信号入力小さいと、ゲインは 100 に設定されます。信号入力が大きくなると、ゲインは 1 に減少します。

デジタル後段処理は、QFN パッケージの AD7985 16 ビット、2.5MSPS PulSAR ADC (消費電力 11mW) を使って行いますが、このデバイスはサンプリング・レートが高速なので、入力帯域幅が小さいアプリケーションでの高次のオーバーサンプリングに使用することもできます。システム全体の入力換算 (RTI) ノイズの許容値は $15.8\text{nV}/\sqrt{\text{Hz}}$ (max) であるため、各ブロックの主要なノイズ源を計算して $15.8\text{nV}/\sqrt{\text{Hz}}$ のハード・リミットを超えないようにすることが必要です。AD8021 の入力換算ノイズの仕様は $3\text{nV}/\sqrt{\text{Hz}}$ 未満であり、ゲイン 100 のときの AD8253 の入力段を基準にすれば無視できる大きさです。AD7985 の SNR の仕様は 89dB で、4.5V の外部リファレンスを使用すると、 $45\mu\text{Vrms}$ 未満のノイズ分解能になります。

ADC のナイキスト帯域幅が 300kHz と仮定すると、この帯域幅で約 $83\text{nV}/\sqrt{\text{Hz}}$ のノイズが加算されます。AD7985 の入力を基準にした場合、RTI ノイズ源の合計を 2 乗和の平方根の計算を使って求めるシステムでは、 $1\text{nV}/\sqrt{\text{Hz}}$ 未満のノイズは無視できます。

AD8253 を使用するさらなる利点は、デジタル・ゲイン制御機能を備えていることにより、入力の変化に応じてシステム・ゲインを動的に変更できることです。これは、システムのデジタル信号処理機能によってインテリジェントに行われます。このアプリケーションでのデジタル処理の主な機能は、AD7985 による 16 ビット変換の結果を使ってより高分解能な出力を生成することです。これは、データの平均化とデシメーション、さらには入力振幅に応じたアナログ入力ゲインの自動切替えによって行われます。オーバーサンプリング・プロセスにより、出力データ・レートは ADC のサンプリング・レートより遅くなりますが、ダイナミック・レンジが大幅に拡大します。

このアプリケーションのデジタル側を試作するため、フィールド・プログラマブル・ゲート・アレイ (FPGA) をデジタル・コアとして使用しました。システムを迅速にデバッグするため、アナログ回路と FPGA を 1 枚の基板に統合し、システム・デモンストレーション・プラットフォーム (SDP) の

標準コネクタを使用することで、PC への USB 接続を容易にしています (図 3 参照)。SDP は再利用可能なハードウェアとソフトウェアを組み合わせたもので、これにより、一般に使用されている部品によるインターフェースを介してハードウェアの制御やハードウェアからのデータ取得を容易に行うことができます。

このモジュールは、現在のゲイン設定、ADC の 2 つの生サンプル・データ、いくつかのハード・コードされた閾値に基づいて新しいゲイン設定を出力します。システムでは 4 つの閾値を使用しています。システムのアナログ入力範囲を最大化して、 $G=100$ のモードで信号をできるだけ広い範囲で使用できるようにすると同時に、ADC 入力のオーバードライブを防ぐには、3 つの閾値の選択が非常に重要です。このゲイン・ブロックは正規化されたデータではなく、ADC の生の各変換結果に基づいて動作することに注意してください。これらを考慮に入れ、このようなシステム (ミッドスケールがゼロのバイポーラ・システムを想定) で使用できる閾値の例を以下に示します。

- T1 (正の下側閾値) : +162
(ミッドスケールより 162 コード上)
- T2 (負の下側閾値) : -162
(ミッドスケールより 162 コード下)
- T3 (正の上側閾値) : +32507
(正のフルスケールより 260 コード下)
- T4 (負の上側閾値) : -32508
(負のフルスケールより 260 コード上)

$G=1$ のモードでは、内側のリミットの T1 と T2 を使用します。ADC の実際の出力が T1~T2 の範囲の場合、ゲインは $G=100$ のモードに切り替わります。これにより、ADC に入力されるアナログ入力電圧は可能な限り短時間で最大化されます。次いで、 $G=100$ のモードでは、外側のリミットの T3 と T4 を使用します。ADC の変換結果が T3 を上回るか T4 を下回ると予測される場合、ADC 入力のオーバーレンジを防ぐため、ゲインは $G=1$ のモードに切り替わります (図 4 参照)。

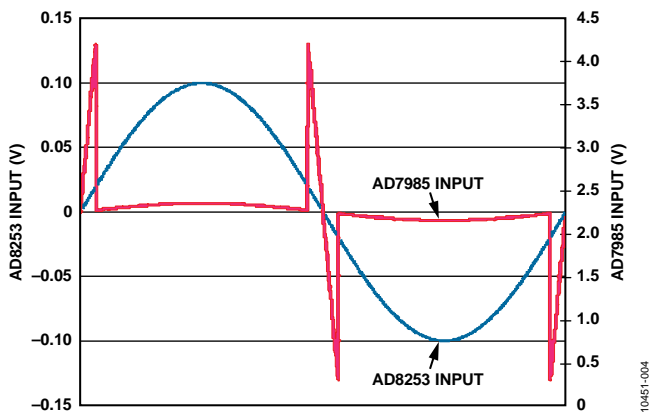


図 4. A/D コンバータの入力が閾値を越えると予測される場合はアンプ入力からコンバータ入力までのゲインが 1/100 に低減される（青線：アンプ入力、赤線：コンバータ入力）。

G=100 のモードのとき、アルゴリズムにより、次の ADC サンプル・データが外側の閾値を越えて+32510 の ADC 変換結果になると予測される場合（非常に初歩的な線形予測法を使用）、ゲインは G=1 に切り替えられるので、次の ADC 変換結果は+32510 ではなく+325 となります。

システム全体の性能

ゲインおよびデシメーションのアルゴリズムが十分に最適化されると、システム全体のテストが可能になります。1kHz の -0.5dBFS 大信号入力トーンに対するシステム応答を図 5 に示します。PGA のゲインを 100 とすると、実現されるダイナミック・レンジは 127dB となります。同様に、-46.5dBFS で 70Hz の入力トーンの小信号入力に対してテストすると（図 6）、最大 129dB のダイナミック・レンジが得られます。この測定中にはゲイン範囲のアクティブな切替えが行われなため、小さい入力トーンでの性能の改善が期待されます。

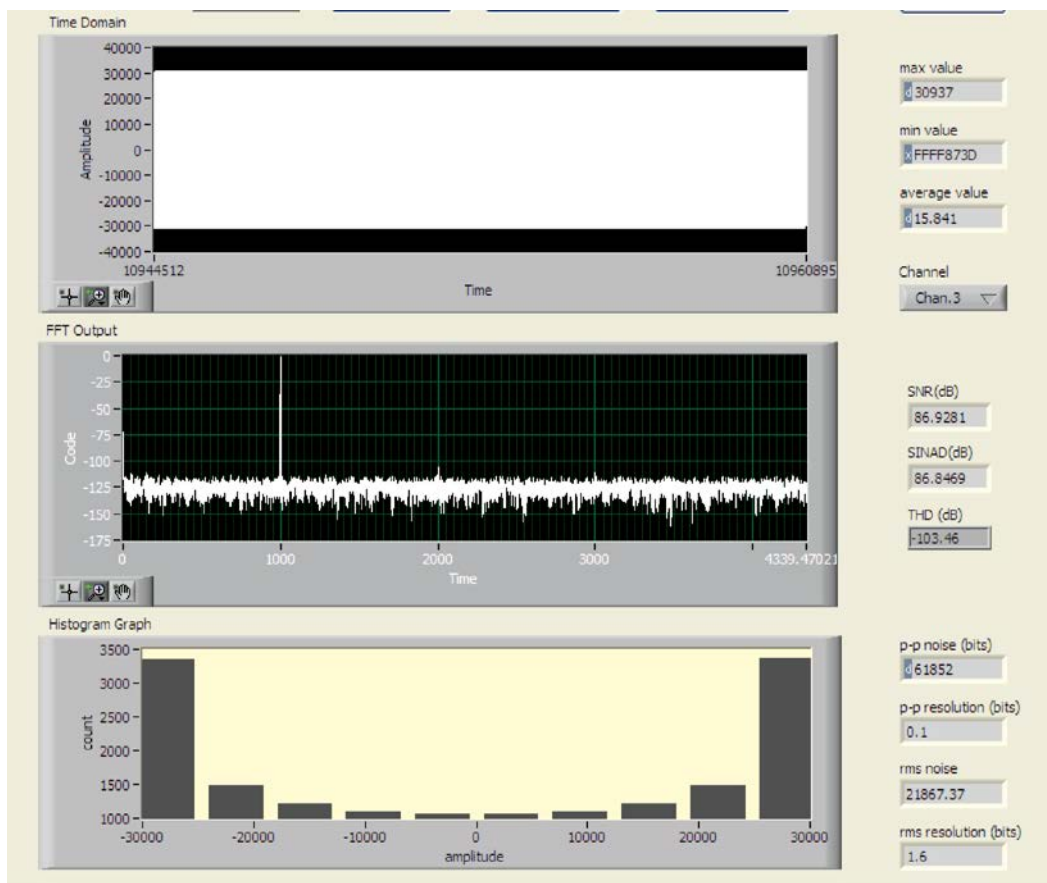


図 5. 127dB のダイナミック・レンジを示す 1kHz の大信号への応答

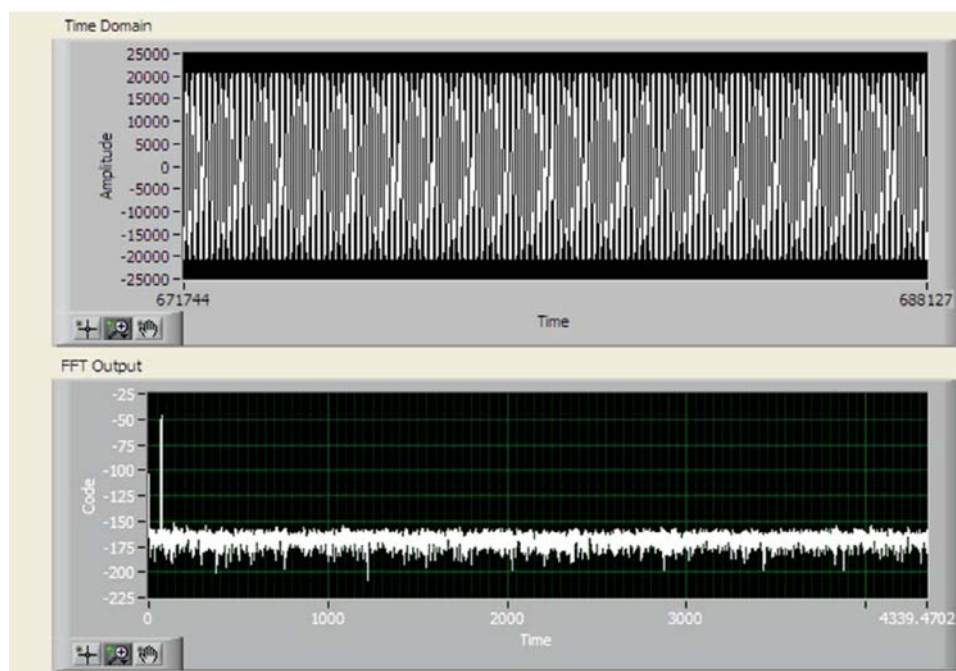


図 6. 70Hz の小入力信号への応答

システムの性能は、ゲインを動的に切り替えて小信号と大信号の両方の入力に対応する変換能力に依存します。シグマ・デルタ技術は優れたダイナミック・レンジを提供しますが、SAR ベースのソリューションは、システム性能を妥協することなく、入力信号に基づいてフロントエンド・ゲインを動的に変更する方法を提供します。このソリューションでは、小信号と大信号の AC 入力と DC 入力をリアルタイムで測定でき、システムのセトリング・タイムを待つ必要はなく、ゲイン変更の遅れによって大きなグリッチが発生することはありません。

バリエーション回路

このアプリケーション向けに検討可能なその他の 16 ビット PulSAR ADC には、AD7983 (16 ビット、1.33MSPS) と AD7980 (16 ビット、1MSPS) があります。18 ビット PulSAR ADC も選択可能で、AD7986 (18 ビット、2MSPS)、AD7984 (18 ビット、1.33MSPS)、AD7982 (18 ビット、1MSPS) などがあります。

回路の評価とテスト

回路の評価に使用した基本的なテスト・セットアップを図 3 に示します。回路図と PCB のレイアウトについては、CN-0260 の設計支援パッケージ (www.analog.com/CN0260-DesignSupport) を参照してください。

信号入力には、Agilent の 33120A、Audio Precision の System Two 2322、または相当品のような低ノイズ、低歪みの信号源を使用することが重要です。

さらに詳しい資料

CN0260 Design Support Package :

www.analog.com/CN0260-DesignSupport

Analog Dialogue 39-09 : [高速プリント回路基板レイアウトの実務ガイド](#)

MT-001 Tutorial : 「S/N 比=6.02N+1.76dB」、その意味と利用上の注意点

MT-004 Tutorial : [The Good, the Bad, and the Ugly Aspects of ADC Input Noise—Is No Noise Good Noise?](#)

MT-021 Tutorial : [ADC Architectures II: Successive Approximation ADCs](#)

MT-022 Tutorial : [ADC Architectures III: Sigma-Delta ADC Basics](#)

MT-031 Tutorial : [Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”](#)

MT-101 Tutorial : [Decoupling Techniques](#)

Analog Dialogue 45 : [オーバーサンプリング ADC と PGA の組み合わせで 127dB のダイナミック・レンジを実現](#)

データシートと評価ボード

システム・デモンストレーション・プラットフォーム
(EVAL-SDP-CB1Z)

[AD7985 データシート](#)

[AD8253 データシート](#)

[AD8021 データシート](#)

[ADA4004-2 データシート](#)

[ADR439 データシート](#)

改訂履歴

1/12—Revision 0: 初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。