

Circuits from the Lab™ 実用回路は今日のアナログ・ミックスド・シグナル、RF回路の設計上の課題の解決に役立つ迅速で容易なシステム統合を行うために作製、テストされました。詳しい情報と支援については <http://www.analog.com/jp/CN0259> をご覧ください。

接続/参考にしたデバイス

AD6657A

クワッド IF レシーバ、200 MSPS のサンプリング・レート

ADL5565

6.0 GHz の超高ダイナミック・レンジ、差動アンプ

**アンチエイリアス・フィルタ付きで 184.32 MSPS の
高性能、65 MHz 信号帯域幅、4ch IF レシーバ**

評価と設計支援

設計と統合ファイル

[回路](#)、[レイアウト・ファイル](#)、[BOM](#)

回路機能とその利点

図 1 に示す回路は、超高ダイナミック・レンジ差動アンプ・ドライバ ADL5565 と 11 ビット、200 MSPS の 4ch IF レシーバ AD6657A をベースにした信号帯域幅 65 MHz のレシーバ・フロントエンドです。

4 次バターワース・アンチエイリアス・フィルタは、アンプと IF レシーバの特性およびインターフェース条件に基づいて最適化されています。フィルタ回路やその他の抵抗成分による合計挿入損失は、わずか 2.0 dB です。回路全体の信号帯域幅は 65 MHz であり、ローパス・フィルタは 1 dB 帯域幅が 190 MHz、3 dB 帯域幅が 210 MHz の性能を持っています。パスバンド平坦性は 1 dB です。

この回路は、140 MHz を中心とする信号帯域幅 65 MHz の IF 信号を 184.32 MSPS のサンプリング・レートで処理するように最適化されています。140 MHz のアナログ入力で 65 MHz の信号帯域幅で測定された S/N 比と SFDR は、それぞれ 70.1 dBFS と 80.9 dBc です。

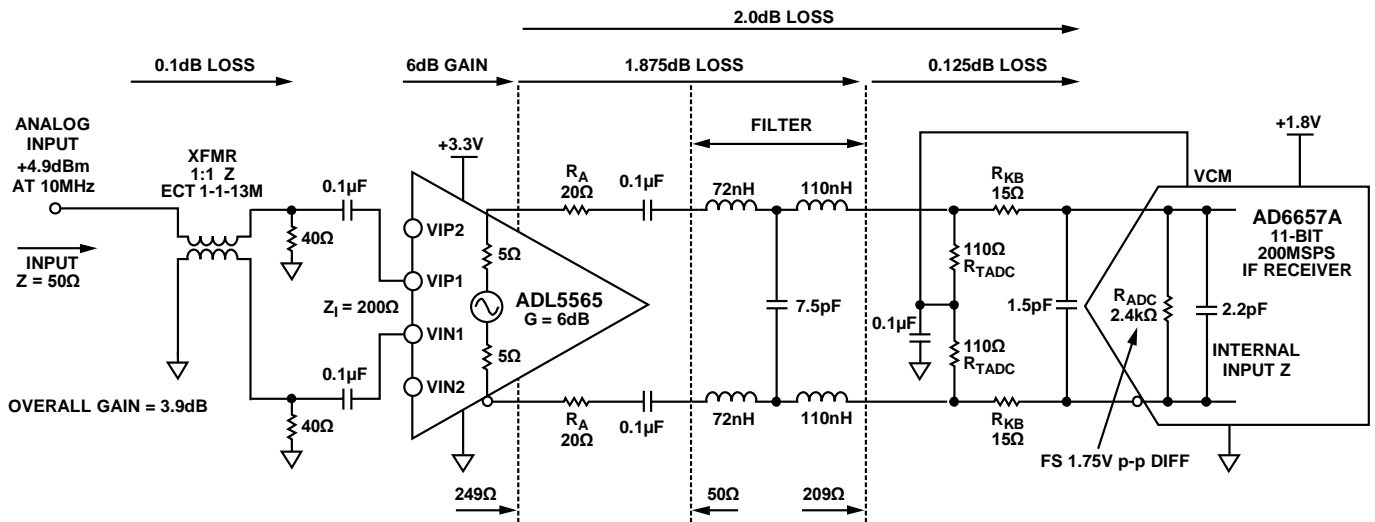


図 1. シングル・チャンネルぶんの IF レシーバ・フロントエンド
(簡略回路図：すべての接続とデカップリングが図示されているわけではありません)
10 MHz でのゲイン、損失、信号レベルの測定値

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

Rev. A

回路の説明

図1に示す回路は、シングルエンド入力信号を、広帯域（3 GHz）1:1 トランス M/A-COM ECT1-1-13M を使用して、差動信号に変換しています。6.0 GHz の差動アンプ ADL5565 の差動入力インピーダンスは、6 dB のゲインで動作するときに 200 Ω、12 dB のゲインで動作するときに 100 Ω、15.5 dB のゲインで動作するときに 67 Ω です。

ADL5565 は AD6657A に最適なドライバであり、ローパス・フィルタを経由し ADC へ入力するまで完全な差動構成になっているため、2 次歪み積を最小限に抑えられるだけでなく、優れた高周波同相ノイズ除去性能も得られます。ADL5565 は入力接続に応じて、6 dB、12 dB、15.5 dB のゲインで動作します。この回路では、フィルタ回路とトランスの挿入損失（およそ 2.1 dB）を補償するために、ゲインを 6 dB にしてあります。信号ゲインは全体で 4.0 dB になります。このゲインがあることで、アンプからのノイズを最小限に抑えるのにも役立ちます。

AD6657A は 4ch IF レシーバであり、おのおのの ADC はデジタル部のノイズ・シェーピング再量子化器（Noise Shaping Requantizer; NSR）と内部で接続されています。この NSR 回路により、ナイキスト周波数帯域内のより狭い周波数範囲で、S/N 比を向上させることができます。

NSR ブロックは、サンプリング・レートの 22%、33%、36% の帯域幅に設定することができます。この回路ノートで取得したデータの場合、サンプリング・レートは 184.32 MSPS で、以下の NSR 設定値を用いました。

- NSR 帯域幅 = 36%
- 同調ワード (TW) = 12
- 左帯域エッジ = 11.06 MHz (入力 = 173.26 MHz)
- 中心周波数 = 44.24 MHz (入力 = 140.08 MHz)
- 右帯域エッジ = 77.41 MHz (入力 = 106.91 MHz)

NSR 回路の動作の詳細は、AD6657A のデータシートをご覧ください。

アンチエイリアス・フィルタは、フィルタ設計プログラム（ここでは Agilent ADS）で設計した、4 次のバターワース・ローパス・フィルタです。バターワース・フィルタを選んだ理由は、応答性がフラットなためです。4 次フィルタでは、ノイズ等価帯域幅比は 1.03 という係数になります。他のフィルタ設計プログラムは、Nuhertz Technologies や Quite Universal Circuit Simulator (Qucs) Simulation から入手できます。

最適な性能を実現するために、200 Ω 以上の差動負荷を ADL5565 に接続します。また 20 Ω の直列抵抗で、フィルタの容量成分をアンプ出力から分離します。負荷側のインピーダンスを考慮しても、正味の負荷インピーダンスは 249 Ω になります。

ADC 入力に直列に接続した 15 Ω の抵抗により、フィルタとアンプに対し、ADC 内部のスイッチングによる過渡変動の影響を与えないようにします。ADC と並列に接続された 110 Ω の抵抗は、ADC の入力インピーダンスを低下させ、狙い通りの性能を実現できるようにしています。

AD6657A の差動入力インピーダンスは、2.2 pF と約 2.4 kΩ の並列接続になります。このようなスイッチド・キャパシタ入力 ADC では、インピーダンスの実数部と虚数部は入力周波数の関数になります。この解析方法については、アプリケーション・ノート AN-742 をご覧ください。

4 次のバターワース・フィルタは、信号源インピーダンス 50 Ω、負荷インピーダンス 209 Ω、3dB 帯域幅 190 MHz で設計しました。フィルタ・プログラムで生成した値を図2に示します。最終的に得られたフィルタの回路値を図3に示します。実際のフィルタ素子に選んだ値は、プログラムで作成した値に最も近い標準値です。フィルタの一番後段の並列容量ぶんとして、ADC の内部容量 2.2 pF を使用しました。また ADC 入力に小容量の並列容量 (1.5 pF) を並列に追加し、ADC 入力サンプリング回路からのキックバック充電電流を低減させ、フィルタ性能も最適化しました。

この設計で分かるように、最高性能を得るためには、反復のプロセスが必要なこともあります。フィルタ・プログラムで得られる値は最終値にきわめて近いものでしたが、プリント基板には若干の寄生容量があるため、実際のフィルタの値はわずかに異なるものになりました。図3はフィルタの最終的な設計値です。

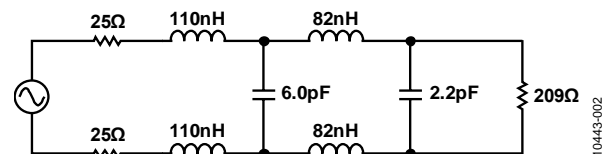


図2. フィルタ・プログラムでの4次差動バターワース・フィルタの初期設計 ($Z_s = 50 \Omega$, $Z_L = 209 \Omega$, $F_c = 190 \text{ MHz}$)

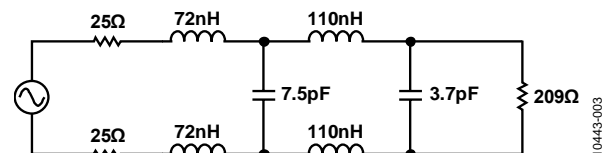


図3. 4次差動バターワース・フィルタの最終的な設計値 ($Z_s = 50 \Omega$, $Z_L = 209 \Omega$, $F_c = 190 \text{ MHz}$)

システム性能の測定結果を表1にまとめて示します。ここで 3 dB 帯域幅は 210 MHz です。回路全体の挿入損失は約 2 dB です。最終的なフィルタ回路の周波数特性を図4に、S/N 比と SFDR 性能を図5にそれぞれ示します。

表 1. 回路の実測性能

Performance Specifications at 1.75 V p-p FS	Final Results
Cutoff Frequency (-1 dB)	190 MHz
Cutoff Frequency (-3 dB)	210 MHz
Pass-Band Flatness (10 MHz to 190 MHz)	1 dB
SNRFS at 140 MHz	70.1 dBFS
SFDR at 140 MHz	80.9 dBc
H2/H3 at 140 MHz	97.7 dBc/80.9 dBc
Overall Gain at 10 MHz	3.9dB
Input Drive at 10 MHz	4.9 dBm

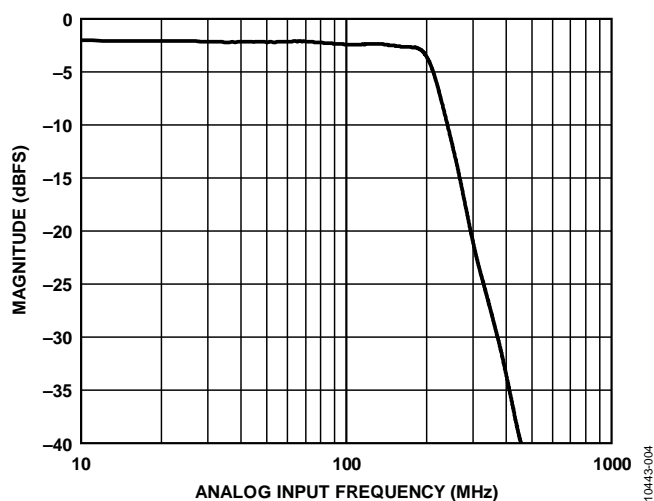


図 4. 入力周波数 対 通過帯域特性

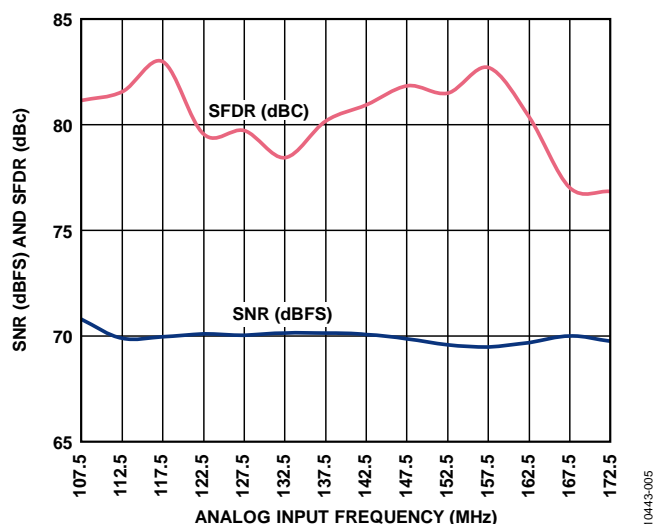


図 5. 入力周波数 対 SNR/SFDR 性能

フィルタとインターフェースの設計手順

フィルタとアンプ/ADC 間のインターフェース設計をする場合の、基本的な方法を示します。最適な性能（帯域幅、SNR、SFDR など）を実現するには、回路全体において、アンプや ADC に起因するいくつかの設計上の制約があります。

1. アンプに接続する DC 負荷は、最適な性能を得るために、データシートで推奨している適切な値に設定する必要があります。
2. アンプとフィルタ入力から見える負荷との間に、適切な大きさの直列抵抗を挿入する必要があります。この抵抗で通過帯域での不要なピーキングを抑えることができます。
3. ADC 入力信号は外付け並列抵抗で低減する必要があります。適切な直列抵抗を接続して、ADC をフィルタから分離してください。この直列抵抗はピーキングを小さくする効果もあります。

この設計方法は、多くの高速 ADC の入力インピーダンスが相対的に高いこと、また駆動源のインピーダンスが相対的に低いことを利用して、フィルタの挿入損失を最小限に抑える効果があります。

設計手順の詳細については、[CN-0227](#) 回路ノートと [CN-0238](#) 回路ノートをご覧ください。

回路の最適化技術とトレードオフ

この回路中のパラメータは、相互に大きく依存しているため、主な仕様（帯域幅、帯域平坦性、S/N 比、SFDR、ゲインなど）すべてに対して、回路を最適化することはほとんど不可能です。しかし応答帯域幅内で生じがちなピーキングは、 R_A と R_{KB} を変更することにより最小限に抑えることができます。

ADC 入力の直列抵抗 (R_{KB}) は、ADC 内の内部サンプリング・コンデンサからの残留チャージ・インジェクションにより生じる歪みを、最小限に抑えるような値に選定する必要があります。抵抗を大きくすると、ピーキングが小さくなる傾向があります。

しかし R_{KB} を大きくすると、信号の減衰量が大きくなるため、ADC の入力範囲条件を満たすために、アンプはより大振幅の信号を駆動しなければなりません。

通過帯域の平坦性を最適化するもう 1 つの方法は、フィルタの並列接続容量をわずかに変えることです。

ADC の入力終端抵抗 ($2R_{TADC}$) は、ADC 回路全体としての入力インピーダンスが、一般的に $200 \sim 400 \Omega$ になるように選択する必要があります。小さくすると ADC の入力容量の影響が小さくなり、フィルタ回路が安定になりますが、回路の挿入損失が大きくなります。また大きくするとピーキングが小さくなります。

これらのトレードオフについて、バランスを取ることは多少難しい側面があります。この回路では、各々の設計パラメータは同じ重みづけとし、いろいろな回路設計要件によっても、代表的な性能が実現できるように値を選択してみました。回路設計要件によっては、要求されるシステム条件に応じて、SFDR、S/N 比、または入力駆動レベルを最適化するために、違う値に変更してもかまいません。

SFDR 性能は、2つのパラメータによって決定づけられます。これは図1に示すように、アンプとADCインターフェース部品の値です。表1と図5に示す、最終的に得られたSFDR性能は、フィルタ設計で使用したプリント基板の寄生容量と、現実的な(理想的ではない)部品に対応して、フィルタ設計を最適化したあとで得られたものです。

この設計で注意すべき、もう1つのトレードオフは、ADCのフルスケールです。この回路でのデータ測定では、ADC差動入力フルスケール電圧は1.75 V p-pに設定しました。これでSFDRを最適化することができます。入力フルスケール電圧を2.0 V p-pに変更すると、S/N比がわずかに改善されますが、SFDR性能に若干の悪影響が出ます。逆に入力フルスケール電圧を1.5 V p-pに下げると、SFDRはわずかに改善されますが、S/N比の性能に若干の悪影響が出ます。

なおアンプとアンプの終端抵抗、さらにADC入力との間の、同相電圧をブロックするために、この回路は0.1 μFコンデンサでAC結合しています。同相電圧の詳細については、AD6657Aのデータシートを参照してください。

受動部品とプリント基板の寄生容量についての留意点

このような高速回路の性能は、適切なプリント基板の設計に大きく依存します。これらは電源のバイパス、パターンのインピーダンス・コントロール・ライン(必要な場合)、部品配置、信号の配線、電源/グラウンド・プレーンの設計が考えられますが、これらに限定されるものではありません。高速のADCやアンプのプリント基板レイアウトに関する詳細は、MT-031とMT-101のチュートリアルを参照してください。

フィルタに使用する受動部品には、寄生容量の低い表面実装型のコンデンサ、インダクタ、抵抗を使用してください。インダクタは、ここではCoilcraft製0603CSシリーズから選択しました。フィルタの表面実装コンデンサは、安定性と精度を考慮して、5%、C0G、0402タイプを使用しました。

このシステムの詳細な文書については、CN-0259設計支援パッケージ(www.analog.com/CN0259-DesignSupport)を参照してください。

バリエーション回路

もっと狭い帯域幅で、もっと低い消費電力が必要なアプリケーションには、差動アンプADL5562を使用することができます。ADL5562の帯域幅は3.3 GHzです。より低い消費電力と帯域幅が必要な場合は、ADA4950-1を使用することもできます。このデバイスの帯域幅は1 GHzで、消費電流はわずか10 mAです。

回路評価とテスト

回路評価は、回路ボードEVAL-CN0259-HSCZと、FPGAベースのデータ・キャプチャ・ボードHSC-ADC-EVALCZを使用します。2つのボードには、短時間で回路の設定と性能評価が可能な、接続用高速コネクタがあります。EVAL-CN0259-HSCZボードには、このノートに記述されているように評価済み回路が含まれています。適切にADCを制御しデータを取り込むために、データ・キャプチャ・ボードHSC-ADC-EVALCZを、ビジュアル・アナログ評価ソフトウェアとSPIコントロール・ソフトウェアと共に使用します。EVAL-CN0259-HSCZボードの回路図、BOM、レイアウト・ファイルについては、CN0259設計支援パッケージを参照してください。アプリケーション・ノートAN-835(和文Rev.0/最新版は英文をご覧ください)には、この回路ノートに記述されているテストを動作させる、ハードウェアとソフトウェアのセットアップ方法についての詳細が記載されています。

さらに詳しくは

CN-0259 Design Support Package:

<http://www.analog.com/CN0259-DesignSupport>

UG-232 User Guide :

[Evaluating the AD6642/AD6657 Analog to Digital Converters](#)

AN-835 アプリケーション・ノート :

[高速A/Dコンバータ\(ADC\)のテストと評価について](#)
(和文Rev.0/最新版は英文をご覧ください)

Analog Dialogue 39 :

[高速プリント回路基板 レイアウトの実務ガイド](#)

MT-031 Tutorial : [Grounding Data Converters and Solving the Mystery of "AGND" and "DGND."](#)

MT-101 Tutorial : [Decoupling Techniques](#)

Agilent Technologies, Advanced Design System.

AN-742 アプリケーション・ノート :

[スイッチド・キャパシタADCの周波数領域応答](#)

Reeder, Rob, *Achieve CM Convergence between Amps and ADCs*, Electronic Design, July 2010.

Reeder, Rob, *Mine These High-Speed ADC Layout Nuggets For Design Gold*, Electronic Design, September 15, 2011.

FAQ (よくある質問) & RAQ (珍問/難問集) :

[高速コンバータのPCボード設計について](#)
[その1:電源プレーンとグラウンド・プレーン](#)

FAQ (よくある質問) & RAQ (珍問/難問集) :

[高速コンバータのPCボード設計について](#)
[その2:電源プレーンとグラウンド・プレーンを使用する利点](#)

FAQ (よくある質問) & RAQ (珍問/難問集) :

[高速コンバータのPCボード設計について](#)
[その3:エクスポーズド・パッドの真相](#)

データシートと評価用ボード

CN-0259 回路評価用ボード (EVAL-CN0259-HSCZ)

標準データ・キャプチャ・プラットフォーム
(HSC-ADC-EVALCZ)

AD6657A データシート/評価用ボード

ADL5565 データシート

改訂履歴**2/12—Rev. 0 to Rev. A**

Changes to Figure 1.....	1
Changes to Circuit Description Section and Figure 3.....	2
Changes to Circuit Evaluation and Test Section.....	4

1/12—Revision 0: Initial Version

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。