

**Circuits
from the Lab™**
Reference Circuits
実用回路集

Circuits from the Lab™ 実用回路は今日のアナログ・ミックスド・シグナル、RF回路の設計上の課題の解決に役立つ迅速で容易なシステム統合を行うために作製、テストされました。詳しい情報と支援は www.analog.com/jp/CN0252 をご覧ください

接続/参考にしたデバイス

ADA4930-1/ ADA4930-2	低電圧ADC用超低ノイズ、シングル/デュアル ドライバ
AD9265	125MSPS/105MSPS/80MSPSの1.8 V、16ビットA/Dコンバータ

バイポーラ入力信号のための単電源、DC結合、16ビット、125MSPS アナログ・フロントエンド

評価と設計支援

設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)

回路の機能と利点

図 1に示す回路はDC結合単電源システムで、バイポーラ入力信号を差動入力、低電圧のA/Dコンバータにインターフェースする時にしばしば起こる問題を解決します。この回路は2つのレベル・シフト抵抗を使用して入力同相レベルを制御する事により差動ドライバアンプの入力の同相電圧を適切な電圧にします。出力同相電圧は差動ドライバADA4930-1のV_{OCM}ピンに正しい電圧を供給する事により独立に設定されます。

この柔軟な回路構成により差動ドライバADA4930-1は3.3V単電源で動作可能で、16ビット 125 MSPS ADC AD9265は1.8 V電源で動作可能になり、全回路電源消費を最小にする事ができます。

広帯域のアプリケーションで、しばしば対象の周波数範囲にDCが含まれます。差動入力ADCのダイナミック・レンジを最大にするために、代表的な入力信号が比較的に大きくなる事があります。その場合差動ドライバはより低ゲイン設定で動作する事が要求されます。これらの条件下で、差動ドライバの入力同相電圧は規定の範囲内に保たなければなりません。

高入力同相電圧のデモジュレータ出力の処理、差動成分にDC成分が加わるX線アプリケーション、差動ドライバが低値の入力同相電圧を処理する必要となるその他の分野などの直接結合の単電源アプリケーションで、差動アンプの入力と出力の同相電圧を別々に制御する事がしばしば要求されます。低入力同相電圧のアプリケーションには、ゼロ、バイポーラ又は負入力信号のシングル・エンド入力又は差動入力があります。

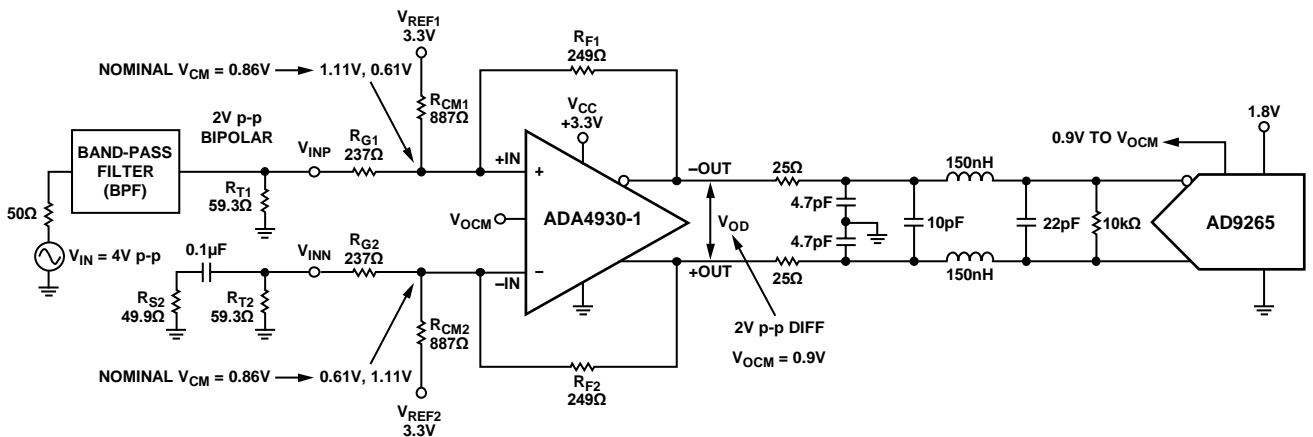


図 1. 高速、シングル・エンドto差動ADCドライバ (簡略化された回路：全ての接続及びデカップリングは示されていません。)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語資料はREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

©2013 Analog Devices, Inc. All rights reserved.

Rev. 0

回路の説明

最高性能を得るために最近の高速ADCは通常差動アンプで駆動します。標準的な差動ドライバはゲイン2又はそれ以下で動作する時に最高のAC性能を提供し、単電源アプリケーションではフルスケールの入力信号はしばしばADCドライバの入力同相電圧範囲を超えてしまいます。

差動アンプによる同相電圧問題が起きないように、回路を注意深く解析する必要があります。差動ドライバADA4930-1の設計の式と解析はそのデータシートに含まれています。しかしアナログ・デバイズのDifferential Amplifier Calculator (DiffAmpCalc設計ツール) を使用すれば回路の完全な解析が可能で、節点解析を行い、結果をグラフ形式で表わします。

図 1の回路にADA4930-1を使用した理由は、出力同相電圧(V_{oc})をAD9265のような1.8 V ADCに最適同相電圧レベルである0.9 Vに設定し、3.3 V単電源動作が可能だからです。

ノイズ性能を最適化し、信号とノイズおよび歪みの比 (SINAD) に対する悪影響を最小にするために、 R_{FX} の値を249 Ω に選びました。次に V_{IN} から差動出力電圧(V_{OD})まで測ったゲインが0.511になるようにDiffAmpCalcデザイン・プログラムを使用して R_{GX} と R_{FX} の値を決定しました。

図 1の入力信号は50 Ω RF信号源から出力して、バンドパス・フィルタを駆動します。差動アンプのソース・インピーダンスのバランスを保つため、図 1に示すように未使用の入力に49.9 Ω 抵抗と直列にAC結合コンデンサ0.1 μ Fを接続します。このコンデンサのインピーダンスは中心周波数70 MHzの信号には十分低いのでAC短絡回路として働きます。

単電源3.3Vで動作するADA4930-1の入力同相範囲は0.3 V ~ 1.2 Vです。2つの入力同相抵抗 R_{CM1} と R_{CM2} を差動アンプの入力ピンと基準電圧 V_{REF1} と V_{REF2} の間に接続すれば、フルスケールのバイポーラ入力信号でも入力同相電圧は0.3 V以下にはなりません。

同相バイアス抵抗が無い場合、ADA4930-1の入力同相電圧は0.3 V以下になり、フルスケール信号ではクリッピングが生じます。

便宜上 V_{REF1} と V_{REF2} を各々 V_{CC} (3.3 V単電源) に接続します。3.3 Vへ接続すれば公称入力同相電圧が高くなり、負の入力信号スイングに対応できます。同相抵抗の値を計算する方法はADA4930-1のデータシートに述べられています。

一般的に差動アンプの出力に直列に小さな値のスナバ抵抗を接続します。この抵抗は高周波ピーキングを最小にし、フィルタのコンデンサからアンプ出力を分離します。図 1の回路では、これらの抵抗の値は25 Ω になっています。

3次のバターワース・ローパス・フィルタは2次/3次高調波をオールオフする働きをし、ADC入力端子におけるノイズを減らします。最終的なフィルタ容量がAD9265の入力容量に並列になるように奇数次フィルタを選択しました。

バターワース・フィルタは100 MHzのカットオフ周波数、50 Ω の入力インピーダンス、1 k Ω の出力インピーダンスの条件で設計されています。フィルタの部品は標準品の値に丸めて、さらに最高のシステム性能が得られるように最適化していません。

ADC入力端子に並列の10 k Ω 抵抗は信号経路の減衰量を最小にするために、できるだけ高い値を選びました。ADA4930-1をAD9265に隣接したので70 MHzでの伝送線の影響が最小になっています。従って、ドライバ出力とADC入力の間従来からのダブル終端方法は行いませんでした。

AD9265の駆動時には、ADCの入力をオーバードライブしないように注意しました。3.3 V電源動作時のADA4930-1の最大出力は1.74 Vで、AD9265の最大入力電圧の規定内です。

同相電圧の解析

DiffAmpCalc toolに適切な値を入力した後の設計の基本的なスターテング・ポイントを図 2に示します。入力信号が1.4 V p-pの時、+IN入力 と -IN入力での信号が0.305 V程度に低くなる事に注意してください。信号がさらに大きくなると図 3に示すようにクリッピングを生じます。

この問題の1つの解決は負電源を追加する事です。しかし最大電源電圧の5.5 V以上にはできないので ± 3.3 V電源は使用できません。 $+3.3$ V と -1 Vの両電源システムは動作しますが、これは不便で電源の追加する事になります。

図 1に示すように2つの R_{CM} 抵抗を追加する方法は理想的で、887 Ω 抵抗を使用してADA4930-1の公称同相電圧を0.489 V から0.860 Vへ持ち上げます。ここで+IN 入力と -IN入力での負と正の最大振幅はそれぞれ0.61 V と 1.11 Vとなり、0.3 V ~ 1.2 Vの許容範囲内になります。

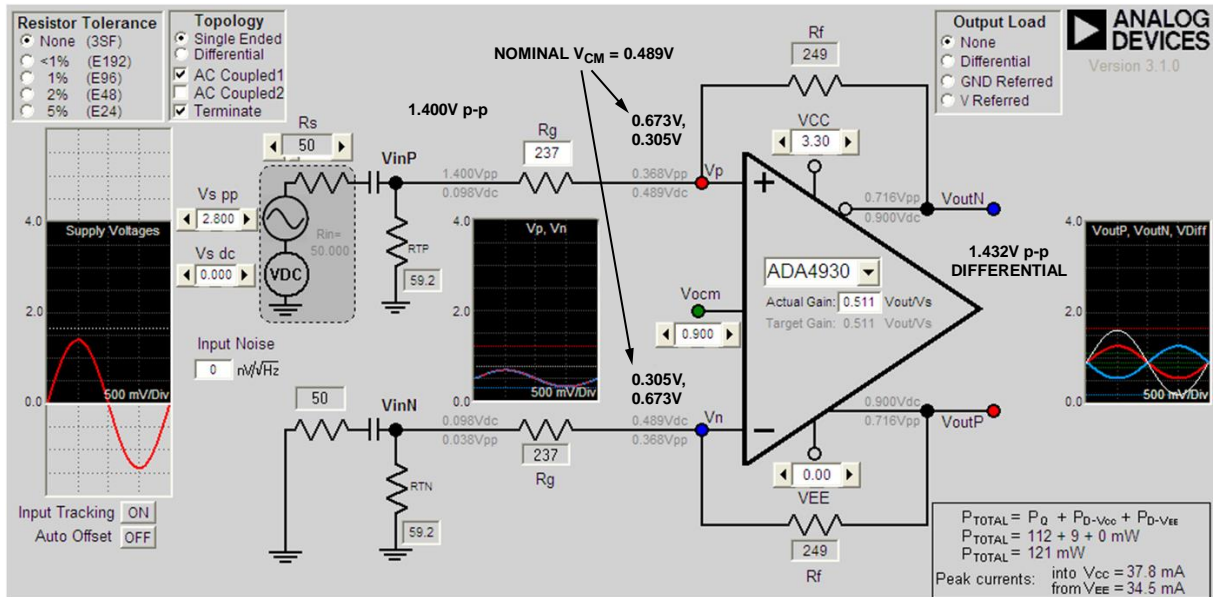


図 2. 入力信号が低レベルの場合のDiffAmpCalc 回路解析、3.3V単電源、 $V_{OCM} = 0.9\text{ V}$

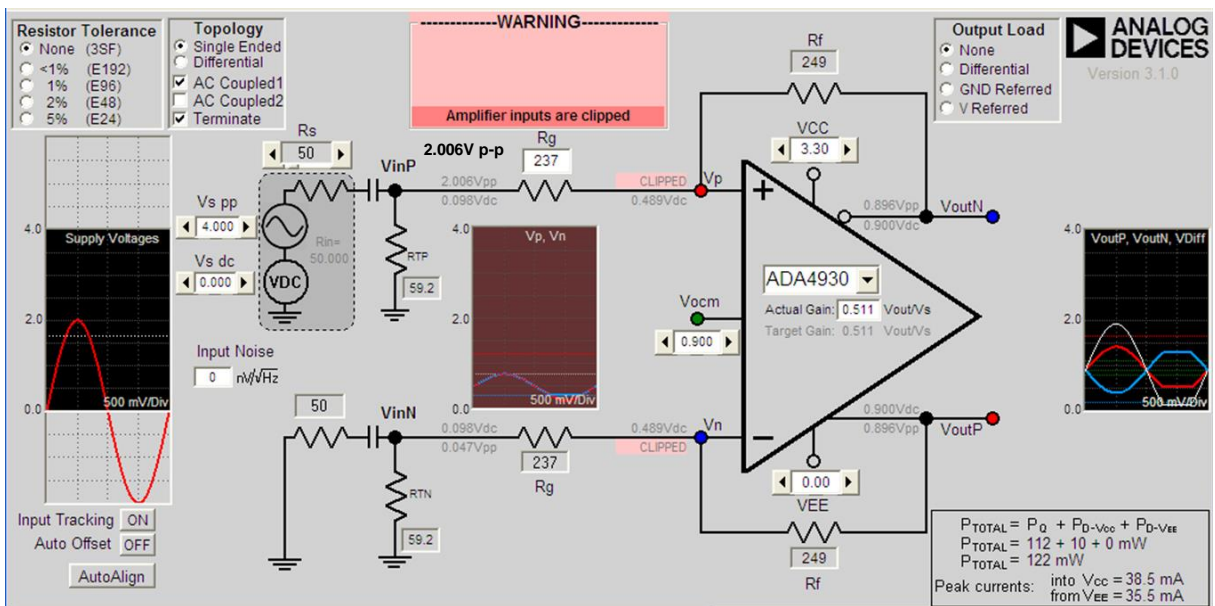


図 3. 入力信号がフルスケールの場合のDiffAmpCalc 回路解析、3.3 V電源、 $V_{OCM} = 0.9\text{ V}$ 、クリッピングの影響を示しています。

回路の性能

図 4はセンター周波数70 MHz、サンプリングレート125 MSPSの外付けバンドパス・フィルタに直接結合したAD9265評価用ボードの性能を示します。標準のAD9265評価用ボードの回路構成ではRFバランを使用して信号をシングル・エンドから差動に変換します。

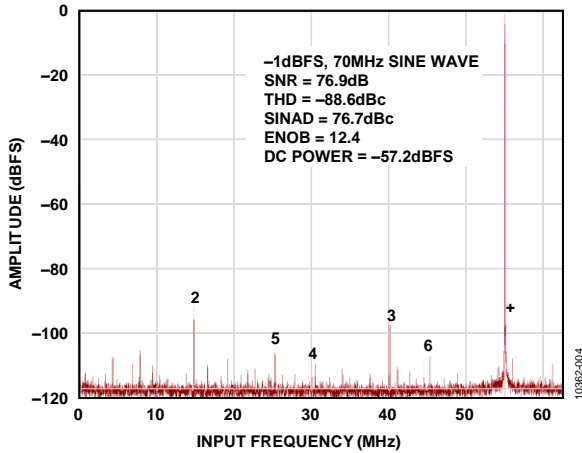


図 4. AD9265をバランで駆動した場合のVisualAnalog FFT

図 5はAD9265 と ADA4930-1を使用した図 1の単電源回路を示しますが、887 Ωのバイアス抵抗を取り除いた場合です。クリッピングの影響は明らかです。DiffAmpCalcも又このクリッピング示します (図 3を参照)

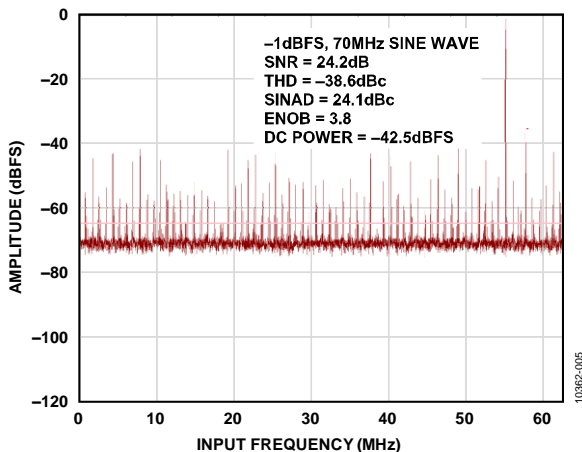


図 5. R_{CM1} と R_{CM2} を取り除いた場合のADA4930-1 とAD9265のVisualAnalog FFTはクリッピングの影響があります。

図 6は入力同相抵抗 R_{CM1} と R_{CM2} を接続した場合の3.3 V単電源動作のADA4930-1の性能を示します。さらに図 1に示すようにAD9265評価用ボードのバランとRCフィルタを取り除き3次のバターワース・フィルタに置き換えました。

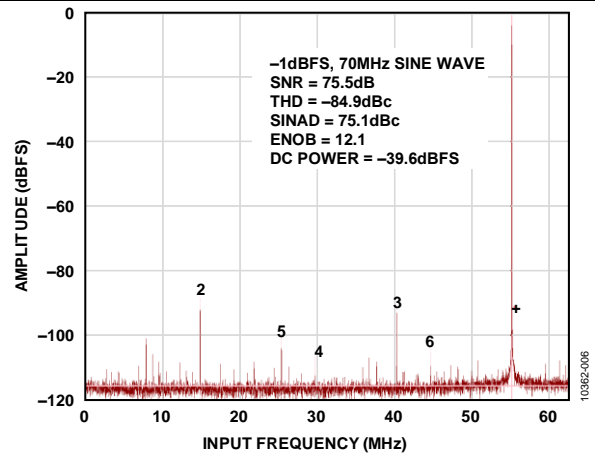


図 6. 図 1に示すように R_{CM1} と R_{CM2} を接続した場合のADA4930-1 とAD9265 のVisualAnalog FFT

Table 1は性能指数として有効ビット数 (ENOB)、SINAD、S/N比 (SNR) を使用して図 4と図 5と図 6を比較しています。

Table 1. ENOB、SINAD、SNR 結果のまとめ

係数	ベースライン (図 4を参照)	R_{CM} 抵抗無し (図 5を参照)	R_{CM} 抵抗有り (図 6を参照)
ENOB	12.4	3.8	12.1
SINAD (dBc)	76.7	24.1	75.1
SNR (dB)	76.9	24.2	75.5

Table 1に示すように入力同相抵抗は独立して入力同相レベルをシフトする事が主な機能ですが、この入力同相抵抗を接続するとわずかに性能に影響があります。たとえば、ENOBは R_{CM} 抵抗を接続する前は12.4ですが、 R_{CM} 抵抗を接続すると12.1になります。ENOBのわずかな減少は図 1に示す回路のADA4930-1の出力ノイズ密度4.7 nV/ $\sqrt{\text{Hz}}$ によるノイズ・フロアの小さな増加に起因します。この値はDiffAmpCalc toolを使って計算されました。従ってADCドライバの入力と出力の同相レベルは2つの抵抗 R_{CM1} と R_{CM2} を追加する事により独立に制御できるとともに優れたENOB、SINAD、SNR性能を維持します。

バリエーション回路

ADA4930-1のフィードバック抵抗とゲイン抵抗を変更する事は図 1に示した回路の1つのバリエーションになります。フィードバック抵抗とゲイン抵抗を 499 Ωに大きくすると、わずかにノイズ・フロアが増え性能に多少悪影響がでます (図 7を参照)。

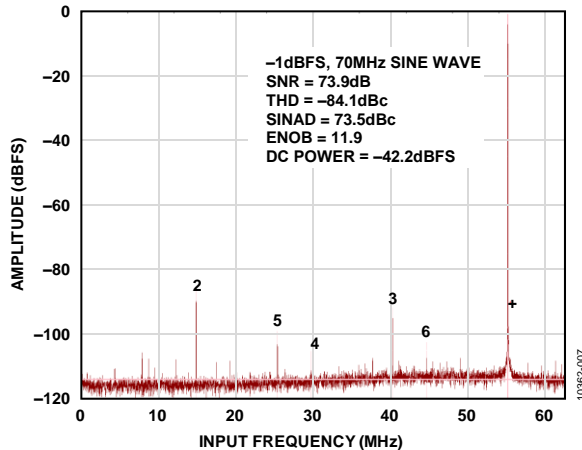


図 7. 499 Ωのフィードバック抵抗とゲイン抵抗を使用した場合のADA4930-1 と AD9265 のVisualAnalogFFT

ゲイン/フィードバック抵抗の変更による影響はそれほど大きくありませんが、たとえば、ENOBは12.1ビットから11.9ビットに低下します。

図 1のもう1つのバリエーションにはAD9255 (14ビット、125 MSPS)、AD9258 (デュアル14ビット、125 MSPS)、又はAD9268 (デュアル16ビット、125 MSPS)のような代替ADCを使用する事があります。

デュアルAD9258又はAD9268を基本にしたI/Qレシーバのようなデュアル・ドライバが要求されるアプリケーションにはドライバADA4930-2があります。

回路評価とテスト

評価に必要な装置

下記の装置が必要です：

- USBポート付きWindows® XP又はWindows Vista®(32ビット)又はWindows® 7 (32ビット)対応のPC
- ADA4930-1YCP-EBZ評価用ボード
- AD9265-125EBZ評価用ボード
- HSC-ADC-EVALCZ FPGAベースのデータ・キャプチャ・キット
- VisualAnalog ソフトウェア
- Analog Devices DiffAmpCalc ツール
- 電源：3.3 V@100 mA
- 電源：0.9 V@100 mA
- 壁実装型電源 (2個)：6V@2A
- 125.127 MHz Wenzel 社 クリスタル・オシレータ (Part #500-25341)
- 70 MHzバンドパス・フィルタ
- 125 MHzバンドパス・フィルタ
- RF信号源：Rohde & Schwarz社の信号発生器：SMA100A
- BNCとSMAコネクタ付き同軸ケーブル

始めてみよう

ソフトウェアのインストール

AD9265のソフトウェアVisualAnalogはwww.analog.com/visualanalogに在ります、FPGAデータ・キャプチャ・キット・ユーザー・ガイドはwww.analog.com/fifoから入手できます。ソフトウェアはWindows® XP (SP2)、Windows Vista、Windows 7 (32ビット又は64ビット)とコンパチブルです。VisualAnalogソフトウェアをダウンロードし、それをインストールしてください。

PCに接続した時、評価システムが確実に正しく認識されるように、FPGAベースのデータ・キャプチャ・キットをPCのUSBポートに接続する前に評価用ソフトウェアをインストールしてください。

セット・アップとテスト

ソフトウェアの使用とテストの実行についての完全なセット・アップ方法はUG-074 User Guideを参照してください。図 8にテスト・セットアップの機能ブロック図を示します。

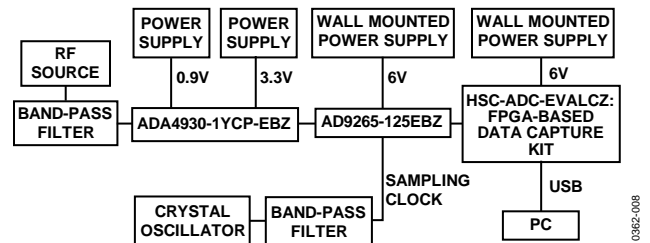


図 8. テスト・セットアップ機能ブロック図

図 1に示す回路をテストするためにはAD9265評価用ボードに下記のような小さなハードウェア変更が必要です。

- J2 (-INPUT) にSMA入力コネクタを取り付ける。
- T3 と T6からバランを取り除く。
- C2からC4、C15、C96、C71のコンデンサを取り除く。
- R1、R15、R16、R22、R23、R47の抵抗を取り除く。
- R1、R22、R23、R32、C3、C25、C71、C96に0Ωを取り付ける。
- R37 と R47にコンデンサ4.7 pFを取り付ける。
- フットプリントT6の1ピンと6ピンの両端にインダクタ150 nHを取り付ける。
- フットプリントT6の3ピンと4ピンの両端にインダクタ150 nHを取り付ける。
- フットプリントT6の1ピンと3ピンの両端にコンデンサ10 pFを取り付ける。
- P18ジャンパーを取り除く。

さらに詳しくは

- CN-0252 Design Support Package: <http://www.analog.com/CN0252-DesignSupport>.
- UG-074 User Guide, *Evaluating the AD9265/AD9255 Analog-to-Digital Converters*.
- UG-132 User Guide, *Differential Amplifier Evaluation Board for Single 16-lead 3 mm × 3 mm LFCSP Packages*.
- AN-835 アプリケーション・ノート：高速A/Dコンバータ (ADC) のテストと評価について
- AN-905 アプリケーション・ノート：VisualAnalog™コンバータ評価用ツールVer 1.0ユーザ・マニュアル
- DiffAmpCalc™：アナログ・デバイセズが提供する、差動アンプ回路の設計ソフトウェア・ツール
- Ardizzone, John. *A Practical Guide to High-Speed Printed-Circuit-Board Layout*, Analog Dialogue 39-09, September 2005.
- MT-003 Tutorial, *Understanding SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor*, Analog Devices.
- MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of "AGND" and "DGND"*, Analog Devices.
- MT-074 Tutorial, *Differential Drivers for Precision ADCs*, Analog Devices.
- MT-075 Tutorial, *Differential Drivers for High Speed ADCs Overview*, Analog Devices.
- MT-076 Tutorial, *Differential Driver Analysis*, Analog Devices.
- MT-101 Tutorial, *Decoupling Techniques*, Analog Devices.

データシートと評価用ボード

- ADA4930-1 データシート
- ADA4930-1 評価用ボード (ADA4930-1YCP-EBZ)
- ADA4930-2 データシート
- ADA4930-2 評価用ボード (ADA4930-1YCP-EBZ)
- AD9265 データシート
- AD9265-125EBZ 評価用ボード
- FPGAベース・データ・キャプチャ・キット：HSC-ADC-EVALCZ

改訂履歴

4/13-Revision 0:初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客様は製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2013 Analog Devices, Inc. All rights reserved. 商標および登録商標は、それぞれの所有者の財産です。

CN10362-0-4/13(0)