



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0249> をご覧ください。

使用したリファレンス・デバイス

AD9253	14 ビット、125MSPS、クワッド A/D コンバータ

ポスト・デジタル加算によって SNR が改善された 14 ビット、125MSPS クワッド ADC

評価および設計サポート環境

設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)

回路の機能とその利点

図 1 に示す回路は、ポスト・デジタル加算を用いて信号対ノイズ比 (SNR) を単一 ADC での 74dBFS から 4 個の ADC と加算回路を使うことで 78.5dBFS に向上させる、14 ビット、125MSPS クワッド ADC システムの簡略図です。

この技術は、特に超音波やレーダーなどの高い SNR を必要とするアプリケーションに適しており、最新の高性能低消費電力クワッド・パイプライン型 ADC を採用しています。

この回路は、相関のないノイズ源は 2 乗和平方根 (rss) で加算され、信号電圧はリニアに加算されるという基本原理を用いています。

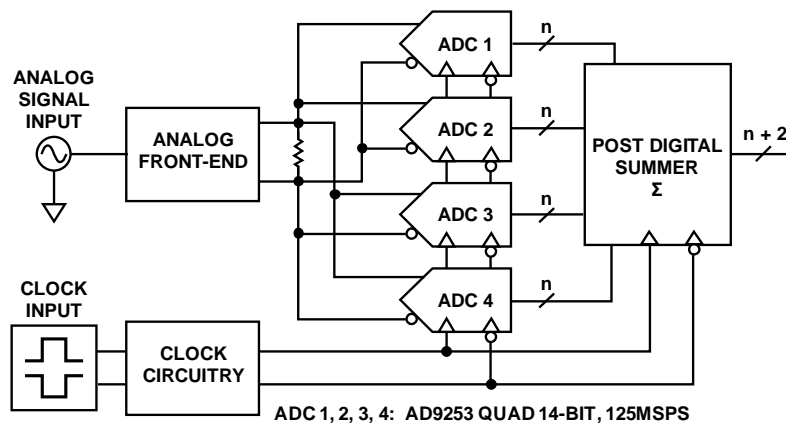


図 1. 高い SNR を実現するために 4 個の並列 ADC を加算する基本ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

回路説明

各 ADC の入力には信号成分 (V_S) とノイズ成分 (V_N) が含まれます。4つのノイズを含む電圧源を加算すると、4つの信号電圧をリニア加算 (単純な足し算) した値と4つのノイズ電圧の2乗和平方根の和 (root sum square) である合計電圧 V_T が得られます。例として次式のように表されます。

$$V_T = V_{S1} + V_{S2} + V_{S3} + V_{S4} + \sqrt{V_{N1}^2 + V_{N2}^2 + V_{N3}^2 + V_{N4}^2}$$

同じ電圧源を使うと $V_{S1} = V_{S2} = V_{S3} = V_{S4}$ なので、信号は実質的に4倍になりますが、rms 値が等しいコンバータ・ノイズ (すなわち同じ設計のコンバータ4個の合計ノイズ) は2倍にしかならないため、 V_T の信号対ノイズ比は2倍だけ、つまり 6.02dB 向上します。したがって、4つの同様の信号の加算による SNR の 6.02dB の向上により、有効分解能が1ビット追加されます。SNR (dB) = 6.02N + 1.76dB なので次式のようになります。ここで、N はビット数です。

$$N + \Delta N = \left[\frac{SNR(dB)}{6.02} - \frac{1.76}{6.02} \right] + \frac{6.02 \text{ dB}}{6.02} = N + 1$$

複数の ADC の出力を加算して得られた理論上の SNR を表 1 に示します。シンプルであるという点では、4個の ADC を加算するのが自然な選択です。要求性能の厳しいケースでは、より多く使用することも検討に値しますが、他のシステム仕様 (コストを含む) や利用可能なボード・スペースの大きさに依存します。

表 1. ADC の個数対 SNR の向上

Number of ADCs	Increase in SNR (dB)
2	3
4	6
8	9
16	12
32	15

14ビット ADC の理論上の SNR は $(6.02 \times 14) + 1.76 = 86.04\text{dB}$ になります。AD9253 のデータシートでは 74dB の標準 SNR を規定していますが、この ENOB (有効ビット数) は12ビットに相当します。

$$ENOB = \frac{74 - 1.76}{6.02} = 12 \text{ bits}$$

図1の回路は、AD9253 14ビット、125MSPS クワッド・チャンネル・A/D コンバータを採用し、4つのアナログ入力チャンネルと組み合わせたパッシブ・レシーバ・フロントエンドを備えています。

この回路は図2に示すように、シングルエンドの入力を受信し、インピーダンス比が1:1の2個の広帯域 (3GHz) バラン M/A-COM ETC1-1-13 をダブル・バランス構成で使って、差動に変換します。

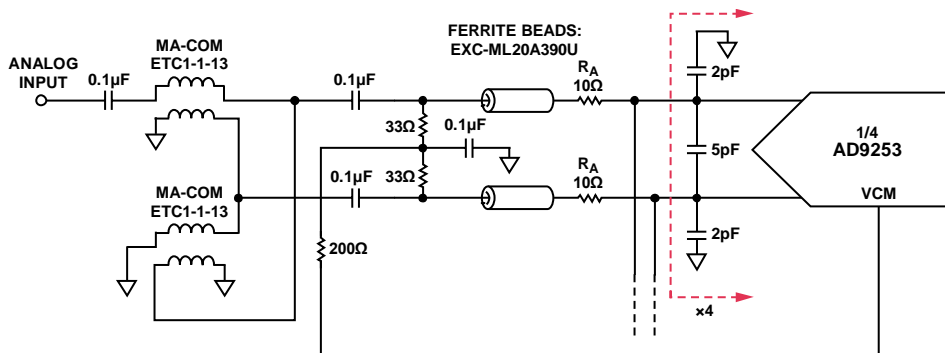


図 2. 入力アナログ加算ネットワーク

10383-002

4つの全てのADC入力は balan 回路の2次側に並列に接続されています。この回路にはゲインはなく、各アナログ入力ペアにそれぞれシンプルなフィルタが備わっており、隣接するADCチャンネルに帰還する可能性のある残留キックバックの量を減らします。

ADCを使った完全差動アーキテクチャによって高周波数での同相除去が良好になるので、加算されたときに相関のないノイズ源が最小限に抑えられ、第1ナイキスト・バンド（125MSPSでのサンプリングでは0MHz~62.5MHz範囲）で78.5dBFSのSNR性能と85dBcのSFDR性能が得られます。回路全体の通過帯域での1dB平坦性帯域幅は65MHzです。

最高の性能を得るため、ダブル・バランス型 balan 手法を使用し、全周波数にわたって最良の偶数次スプリアス特性を実現しました。しかし4つのADCの入力が並列に接続されているため、100MHz未満の周波数でもバランスを維持することが難しくなる可能性があります。

66Ωの差動終端を使って、balan回路の2次側を終端しました。66Ωの値を選択したのは、4つのコンバータの入力インピーダンスとの並列接続による損失を低減するためと、トランスの2次側と1次側の間に生じる損失を最小限に抑えるためで、1次側から見たときの総合インピーダンスが約50Ωになります。

この回路ではフェライト・ビーズを用いて、ボード・レイアウトおよび4つのバッファ無しADCチャンネルの並列接続による寄生容量負荷の影響を低減しました。これらのビーズによって各ADC入力チャンネルからのキックバックが低減され、全体の帯域幅が維持されます。

10Ωの直列抵抗は2つの目的を果たします。第1に、ADCの入力フィルタ（同相用に2pF、差動用に5pF）を駆動し、第2に、各ADCから生じるキックバックの量を抑えます。電荷のキックバックとバッファ無しADCアーキテクチャの詳細については、アプリケーションノートAN-742を参照してください。

システムの実測性能を表2にまとめてあります。ここで、-3dB帯域幅は67MHzです。このネットワークの総合挿入損失は約3dBなので、ADCの入力に2V p-pのフルスケール差動信号を供給するには、+13dBmの入力駆動が必要です。

表2. 回路の実測性能

Performance Specs at 2.0 V p-p FS	Final Results
Sample Frequency	125 MSPS
Pass-Band Flatness (67 MHz)	3 dB
SNRFS at 10 MHz	78.5 dBFS
SFDR at 10 MHz	85 dBc
H2/H3 at 10 MHz	85 dBc/90 dBc
Input Impedance at 10 MHz	58 Ω
Input Drive at 10 MHz	+13.0 dBm

システム性能

AD9253 14ビット、125MSPSクワッドADCは、AD9653 16ビット、125MSPS ADCとピン互換のデバイスです。AD9253とAD9653のクワッド加算構成の帯域幅の実測値を比較したものを図3に示します。

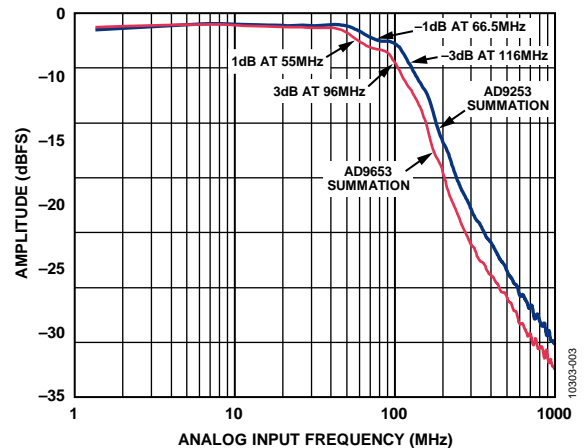


図3. AD9253とAD9653のクワッド加算構成の周波数応答

AD9253とAD9653のシングルとクワッドの両方のバージョンのSNRの実測値を図4に示します。

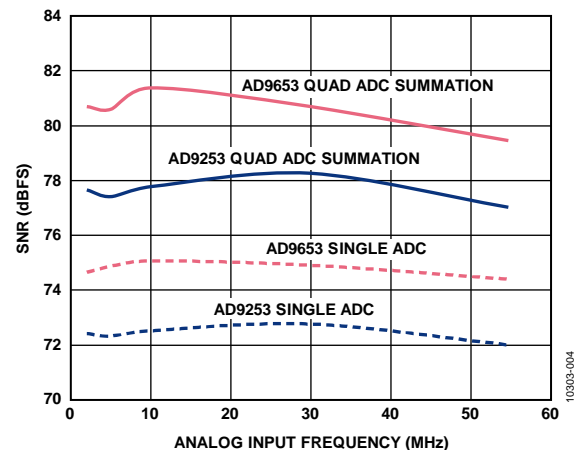


図4. AD9253とAD9653のシングルとクワッド加算の構成でのSNR性能の周波数特性

クワッド加算技術を使用した場合、AD9253 14ビットADCの10MHzでのSNRが約5dB増加していることに注目してください。AD9653 16ビットADCのSNRもほぼ同じ値だけ増加しています。

これに対して、シングルのAD9253 14ビットADCとシングルのAD9653 16ビットADCの差は約3dBです。

AD9253とAD9653のクワッド加算構成で得られたSFDRデータを図5に示します。

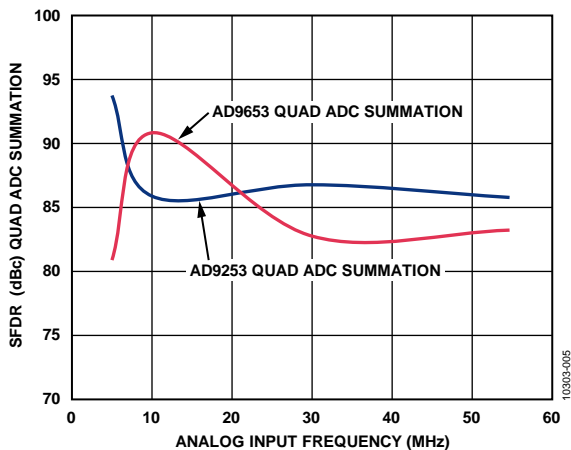


図 5. AD9253 と AD9653 のクワッド加算構成での SFDR の周波数特性

1GHz の帯域で 50Ω にキャリブレーションされたネットワーク・アナライザを使用して、図 1 と図 2 の回路の入力インピーダンスを測定した結果を図 6 に示します。最終的なネットワークの VSWR が所定の帯域（第 1 ナイキスト・ゾーン、DC～62.5MHz）に対して 1.2 以下であることが分かりました。

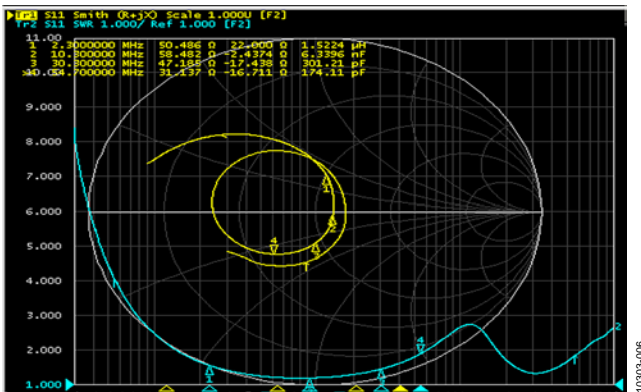


図 6. フロントエンドの 4 チャンネル加算回路全体の入力インピーダンス

フロントエンド・インターフェースの設計手順

このセクションでは、受動素子による加算技術におけるフィルタ付きパッシブ・フロントエンド ADC インターフェースの一般的な設計手順を説明します。最適な性能（帯域幅、SNR、SFDR）を実現するには、フロントエンドと ADC を使った一般的な回路に対してある程度の設計上の制約があります。

- フロントエンドを設計するときの主要なパラメータを熟知して理解する必要があります。これらには以下のものが含まれます。
 - 入力インピーダンス/VSWR（電圧定在波比）は単位の無いパラメータで、対象の帯域幅において負荷に反射される電力の大きさを表します。ネットワークの入力インピーダンスは負荷の規定値で、通常 50Ω です。
 - 通過帯域の平坦性は一般に、規定帯域幅内で許容可能な変動リップルの大きさとして定義されています。
 - 帯域幅は単に、システムで用いられる周波数の範囲です。

- 最小 SNR（信号対ノイズ比）および SFDR（スプリアスフリー・ダイナミック・レンジ）
- 入力駆動レベルは帯域幅、入力インピーダンス、VSWR の各規定値の関数です。これにより、コンバータのフルスケール入力信号に必要なゲインと振幅が設定されます。このレベルはトランス、アンプ、アンチエイリアシング・フィルタなどの選択されるフロントエンド部品に大きく依存し、実現が最も困難なパラメータの 1 つになる可能性があります。
- フィルタによる ADC と負荷の間の直列抵抗の適正な大きさを決める必要があります。これは、通過帯域内の望ましくないピーキングをなくし、各 ADC 入力からのキックバックを抑えるためです。ほとんどの場合、適正な値は経験的に決める必要があります。
- ADC の入力インピーダンスは、外付けの並列抵抗でシャントすることによって下げることが必要になります。
- 適切な直列抵抗を使って ADC をフィルタから絶縁する必要があります。この直列抵抗はピーキングの低減も行うもので、一般に経験的に決められます。

回路の最適化技術とトレードオフ

このインターフェース回路のパラメータは相互に大きく依存しているため、主な仕様（帯域幅、帯域幅の平坦度、SNR、SFDR、ゲインなど）全てに対して回路を最適化することはほとんど実現困難です。

図 2 の例では、直列抵抗 R_A の値を大きくすると、通過帯域のピーキングを低減することができます。ただし、この抵抗値が大きくなると信号がより減衰するので、全ての並列接続された ADC のフルスケール入力範囲を満たすため、入力ネットワークはより大きな信号で駆動する必要があります。

これらのトレードオフのバランスをとることは多少難しい面があります。この設計では、各パラメータを同じ重み付けにしたため、選択された値は全ての回路特性に対する代表的なインターフェース性能を実現します。設計によっては、システムの要求に応じて、SFDR、SNR、または入力駆動レベルを最適化するために異なる値を選択することができます。

この回路の SNR 性能はいくつかの要素で決まります。ADC アーキテクチャの特性、内部サンプル&ホールド・メカニズムによる AD9253 の内部フロントエンド・バッファのバイアス電流の設定値、ならびに回路に必要な帯域幅です。ここでは、第 1 ナイキスト・ゾーンを使用しました。

この特有の設計でできるもう 1 つのトレードオフは、ADC のフルスケール設定値です。この回路で得られたデータの場合、ADC のフルスケール差動入力電圧は 2V p-p に設定しました。これにより SFDR が最適化されます。フルスケール入力範囲を 2.0V p-p の最大フルスケールより小さい値に変更すると、SNR 性能が低下します。

受動部品とPCボードの寄生容量に関する検討事項

このような高速回路の性能は、適切なPCBレイアウトに大きく依存します。これには電源バイパス、管理されたインピーダンス・ライン（必要な場合）、部品配置、信号配線、電源プレーン、グラウンドプレーンなどが含まれますが、これらに限定されません。高速のADCやアンプのPCBレイアウトに関する詳細については、チュートリアル [MT-031](#) と [MT-101](#) を参照してください。

フィルタの受動部品には、寄生素素が小さい表面実装コンデンサ、インダクタ、および抵抗を使用します。インダクタは、Coilcraft の 0603CS シリーズから選択しました。フィルタの表面実装コンデンサは安定性と精度を考慮して、5%、COG、0402 タイプを使用しました。

システムの詳細な文書については [CN-0249 Design Support Package](#) を参照してください。

バリエーション回路

同じ帯域幅と低消費電力を必要とし、高性能を求めないアプリケーションには、[AD9633](#) 12ビット、125MSPS クワッド・チャンネル A/D コンバータを使用することができます。同じ帯域幅で、やや高い消費電力ですが、高性能を必要とするアプリケーションには、[AD9653](#) 16ビット、125MSPS クワッド・チャンネル A/D コンバータを使用することができます。これらのデバイスは前に示した他のデバイスとピン互換です。

回路の評価とテスト

この回路は、修正した [AD9253-125EBZ](#) 回路ボードと FPGA をベースにした [HSC-ADC-EVALCZ](#) データ・キャプチャ・ボードを使用します。2つのボードには接続用高周波コネクタが備わっているため、回路のセットアップと性能評価を短時間で行うことができます。手を加えた [AD9253-125EBZ](#) ボードには、この回路ノートに記述されているように評価済み回路が含まれています。ADC を適切に制御してデータをキャプチャするために、[HSC-ADC-EVALCZ](#) データ・キャプチャ・ボードをビジュアル・アナログ評価用ソフトウェアならびに [SPI](#) コントローラ・ソフトウェアとともに使用します。[CN-0249](#) の設計支援パッケージ

(<http://www.analog.com/CN0249-DesignSupport>) に回路図、部品表、ボードのレイアウトが含まれています。[アプリケーションノート AN-835](#) には、この回路ノートに記述されているテストを実行するためのハードウェアとソフトウェアのセットアップ方法が記載されています。[ユーザー・ガイド](#)

([Evaluating the AD9653/AD9253/AD9633 Analog-to-Digital Converters](#)) には、[AD9253](#) の基本的な評価手順が記載されています。

さらに詳しい資料

[CN-0249 Design Support Package](#) :

<http://www.analog.com/CN0249-DesignSupport>

[AN-742 Application Note](#) : [スイッチド・キャパシタ ADC の周波数領域応答](#)

[AN-835 Application Note](#) : [高速 A/D コンバータ \(ADC\) のテストと評価について](#)

[User Guide](#) : [Evaluating the AD9653/AD9253/AD9633 Analog-to-Digital Converters](#)

[MT-031 Tutorial](#) : [Grounding Data Converters and Solving the Mystery of "AGND" and "DGND", Analog Devices.](#)

[MT-101 Tutorial](#) : [Decoupling Techniques, Analog Devices.](#)

[Rarely Asked Questions: Considerations of High-Speed Converter PCB Design, Part 1: Power and Ground Planes, November 2010.](#)

[Rarely Asked Questions: Considerations of High-Speed Converter PCB Design, Part 2: Using Power and Ground Planes to Your Advantage, February 2011.](#)

[Rarely Asked Questions: Considerations of High-Speed Converter PCB Design, Part 3: The E-Pad Low Down, June 2011.](#)

[Reeder, Rob, Achieve CM Convergence between Amps and ADCs, Electronic Design, July 2010.](#)

[Reeder, Rob, Maximize ADC Performance Through Balance And Symmetry, Electronic Design, November 2010.](#)

[Reeder, Rob & Michael Elliott, Kick Back at High-Speed Unbuffered ADCs, Electronic Design, July 2011.](#)

[Reeder, Rob, Mine These High-Speed ADC Layout Nuggets For Design Gold, Electronic Design, September 15, 2011.](#)

[Reeder, Rob, Mark Looney and Jim Hand, Pushing the State of the Art with Multichannel A/D Converters, Analogue Dialogue, May 2005.](#)

データシートと評価ボード

[AD9253 データシート](#)

[AD9253 評価ボード \(AD9253-125EBZ\)](#)

[標準データ・キャプチャ・プラットフォーム \(HSC-ADC-EVALCZ\)](#)

改訂履歴

5/13—Revision 0: 初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。