

使用したリファレンス・デバイス

ADRF6702	直交変調器、1,200 MHz~2,400 MHz、フラクショナル N・PLL (1550MHz~2150MHz) および VCO 内蔵
AD9122	D/A コンバータ、16 ビット、1200MSPS、デュアル、TxDAC®
AD9516-0/ AD9516-1/ AD9516-2/ AD9516-3/ AD9516-4	14 出力のクロック発生器、1.45 GHz ~ 2.95 GHz VCO 内蔵

**Circuits
from the Lab™**
Reference Circuits
実用回路集

テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0243> をご覧ください。

DAC のサンプル・クロックと IQ モジュレータの LO の生成に 外付け周波数リファレンスを 1 個使った高ダイナミック・レンジの RF トランスミッタ・シグナル・チェーン

SS 評価および設計サポート環境

回路評価ボード

[CN-0243 評価用ボード \(EVAL-CN0243-EB1Z\)](#)

設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)

回路の機能とその利点

[ADRF6702](#) IQ モジュレータと [AD9122](#) 16 ビット・デュアル 1.2 GSPS TxDAC の組み合わせは、図 1 に示すような、QAM または OFDM をベースにした現在の高レベルなワイヤレス・トランスミッタに必要なダイナミック・レンジを備えています。

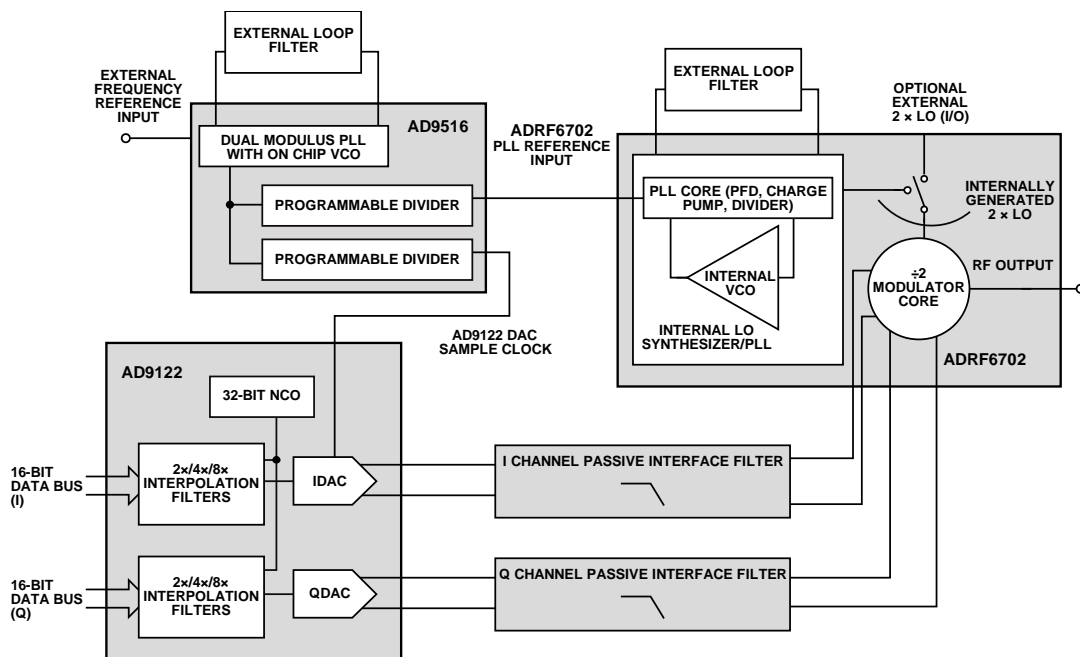


図 1. 高ダイナミック・レンジのトランスミッタに使われた AD9122、ADRF6702、および AD9516

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。*日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

この回路のダイナミック・レンジで、ZIF (ゼロ IF/ ベースバンド) および CIF (200 MHz~300 MHz までの複素 IF) の両方が可能です。AD9122 は、IF 周波数を細かく選択するための 32 ビット NCO とともに、最大 8x インターポレーションのオプションを備えています。

トランスミッタの全体的な性能は、シグナル・チェーンに直接連なる部品のダイナミック・レンジに大きく依存します。DAC と IQ モジュレータを使ったミックスド・シグナル・トランスミッタでは、これらの部品のノイズフロアおよび歪み特性により、シグナル・チェーン全体のダイナミック・レンジが決まります。ただし、DAC のノイズフロアはサンプル・クロックのジッタによっても劣化することがあり、IQ モジュレータの性能はそのローカル発信器 (LO) のノイズとスパーの特性に依存します。したがって、サンプル・クロックと LO の生成に高性能部品を使用することが、高性能トランスミッタの鍵となります。

さらに、これらの信号を、PCB の物理的に DAC やモジュレータに近いところで、単一の外部リファレンスを使って生成すると、設計をはるかにシンプルにすることができます。サンプル・クロックと LO (LO はほとんどの場合数 GHz の信号です) を別々に DAC と IQ モジュレータからいくらか離して生成するには、PCB のレイアウトに細心の注意が必要です。ちょっとしたレイアウトの誤りにより、これらの重要な信号とのカップリングが生じ、シグナル・チェーン全体の性能低下を引き起こすことがあります。

シグナル・チェーンの性能は DAC/ IQ モジュレータのインターフェース・フィルタにも大きく依存します。最適性能を得るには、必要なシステム仕様を注意深く検討した後にこの受動フィルタを設計します。

ADRF6702 には LO 生成のためのフラクショナル PLL が内蔵されているので、IQ モジュレータの LO を合成するには低周波数のリファレンス (標準で 100 MHz 以下) だけが必要です。AD9516 クロック・ジェネレータ内部の PLL を使用すると、単一のリファレンスで、DAC のサンプル・クロックと ADRF6702 の PLL リファレンスの両方を生成することができます。

図 1 の回路は AD9516-0 を使って作られていますが、必要な内部 VCO 周波数に合わせて、AD9516 ファミリの他のデバイスを使うことができます。

回路説明

内部 LO シンセサイザ、シンセサイザ/IQ モジュレータ・インターフェースを備えた ADRF6702 IQ モジュレータ

ADRF6702 IQ モジュレータはいくつかの点でユニークなデバイスです。その並外れたダイナミック・レンジに加えて、フラクショナル N PLL も備えているので、25 kHz 以下の間隔で刻まれた LO 周波数ステップをプログラムすることができ、同時に、リファレンスからシンセサイザ出力までの位相ノイズが大きく増加するのを防ぐのに十分なだけ全体の周波数通倍を小さくしておくことができます。

さらに ADRF6702 の特徴は、IQ モジュレータの 2 分周アーキテクチャです。従来の IQ モジュレータは必要な LO の 1x で LO 入力周波数を受け取ります。内部で、分散 RC ネットワークが単一の LO 周波数入力から必要な同相および直交 LO 信号を生成します。これは受動 RC ネットワークなので、直交変調精度が達成される帯域幅が制限されます。また、直交精度を良くするには、外部 LO のスペクトラルを純粋にする必要があります。この従来型の IQ モジュレータアーキテクチャでは、LO の高調波が全体の変調精度を劣化させることがあります。このため、PLL シンセサイザを使って IQ モジュレータの LO 信号を発生する場合、たいていは IQ モジュレータの LO 入力にシャープなバンドパスまたはローパスのフィルタが必要です。

ADRF6702 の 2 分周 LO アーキテクチャでは、内蔵された簡単なデジタル分周器を使用して、広い帯域で完全に近い直交信号が作られます。PLL シンセサイザは内部で 2x LO を生成するので、PCB で周囲に分配する必要がなく、2x LO アーキテクチャは周波数成分ではなく LO 信号のエッジにだけ鋭敏なので、シンセサイザと IQ モジュレータの LO の間にフィルタは不要です。1x IQ モジュレータの LO 高調波の影響と LO フィルタの設計の詳細に関しては、Circuit Note CN-0134 を参照してください。

サンプルされた信号から RF へ、全体的スパーフロア

ベースバンド信号は、RF 送信周波数までの過程でいくつかのステップを経由します。

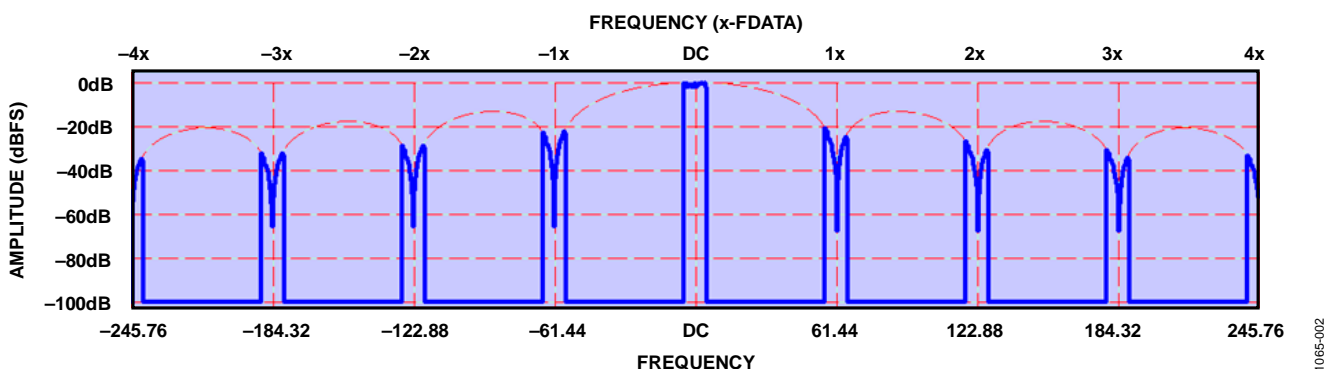


図 2. DAC の出力スペクトラム、青色の実線はベースバンド信号およびイメージを示し、赤色の破線は DAC の Sinc 関数を示す

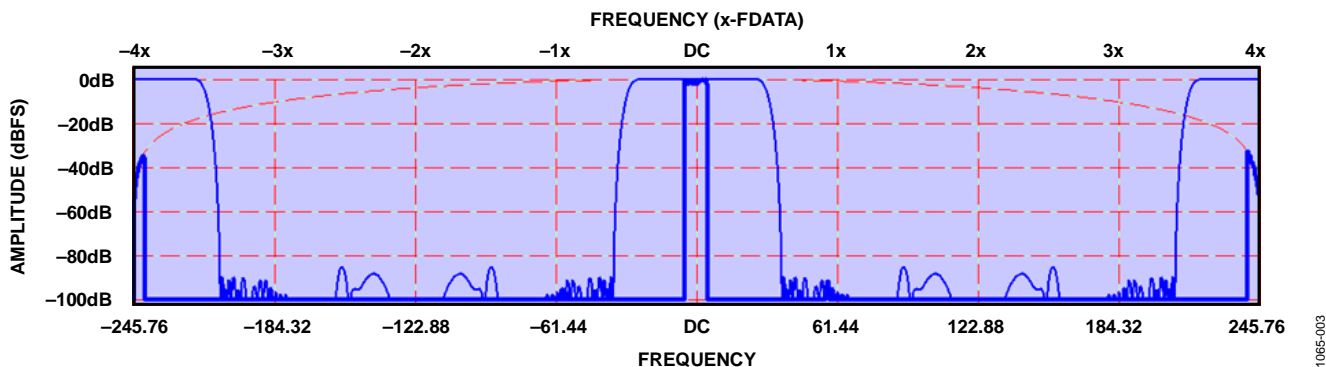


図 3. 4x インターポレーションを使った DAC の出力スペクトラム、青色の細い線は DAC のインターポレーションの伝達関数を表す

信号は（サンプルされた）不連続の領域から始まり、DAC によってアナログ領域へと合成されます。このステップの結果は、DAC によって生成されるイメージと歪みの積です。図 2 に示すように、歪みのない理想的 DAC は、変調する前にフィルタする必要があるベースバンド信号のイメージを生成しません。AD9122 に内蔵されているようなインターポレーション・フィルタを使用すると、イメージのエネルギーの大部分を抑制することができますが、DAC とモジュレータの間のアナログ・インターフェース・フィルタはやはり必要です。

ただし、DAC のインターポレーションの次数とアナログ・フィルタの次数の間にはトレードオフがあります。つまり、DAC のインターポレーション・レートが高いほど必要なアナログ・フィルタの次数が低くなり、またその逆も言えます。一例として、4x インターポレーションを使う場合、DAC の出力のスペクトラムがどのように見えるかを図 3 に示します。

RF における多数のスプリアス成分

シグナル・チェーンは、変調積、歪み積、および LO 周波数の整数倍の両方により、かなりのスプリアス成分をスペクトラムに追加することがあります。今までに述べたスプリアスの全ての可能性を考慮に入れると、スプリアスには以下の成分が含まれます。

$$(j \times LO_freq) + (k \times DAC_sample_rate) + \\ (l \times DAC_NCO_freq) + (m \times DAC_input_IF)$$

ここで、j、k、l、および m は負の無限大から正の無限大までの整数です。

DAC/モジュレータ間の受動インターフェース・フィルタ

全体のスプリアス・スペクトラムを減らす鍵は、DAC と IQ モジュレータ間のアナログ・インターフェース・フィルタです。DAC と IQ モジュレータ間のインターフェース・フィルタの設計では、性能のいくつかの側面について考察する必要があります。

1. フィルタのトポロジー、次数、および 3 dB カットオフ周波数
2. DC では、DAC からは、IQ モジュレータの入力インピーダンスに並列な DAC 終端抵抗（標準で 100 Ω の差動インピーダンス）に等しい負荷インピーダンスが見えます。IQ モジュレータのインピーダンスは多くの場合 >1kΩ なので、一般にシャント抵抗を IQ モジュレータの入力両端に使用して、ソースに近い値の負荷インピーダンスを与えます。フィルタのソース・インピーダンスと負荷インピーダンスが等しくない場合、信号パターンの寄生成分同様、フィルタ

の通過帯域に不要なリップルを追加することがあります。

3. PCB のレイアウト。図 4 に示すように、ADRF6702 IQ モジュレータの I および Q のベースバンド入力、デバイスの両端に位置しています。点線で囲んだ円内のフィルタのレイアウト領域に注意してください。DAC の出力信号をこれらのピンに配線するには、パターンを上方に引き、次に下方に引いて ADRF6702 のベースバンド・ピンに到達させる必要があります。これらの差動信号のパターンは等しい長さにし、どんな方向変更も 45° の角度を使って行います。これらの推奨事項を守らないと、フィルタ応答の帯域内リップル、位相、または振幅応答が劣化することがあります。このフィルタ・トポロジーでは、コンデンサは差動で（信号経路をまたいで）使用、あるいは信号経路のパッドからグラウンド・パッドへフィルタ・コンデンサを配置して同相接続で使用できることに注意してください。条件によっては差動コンデンサより同相コンデンサの方が性能を改善します（この回路ノートの後の方で解説します）。

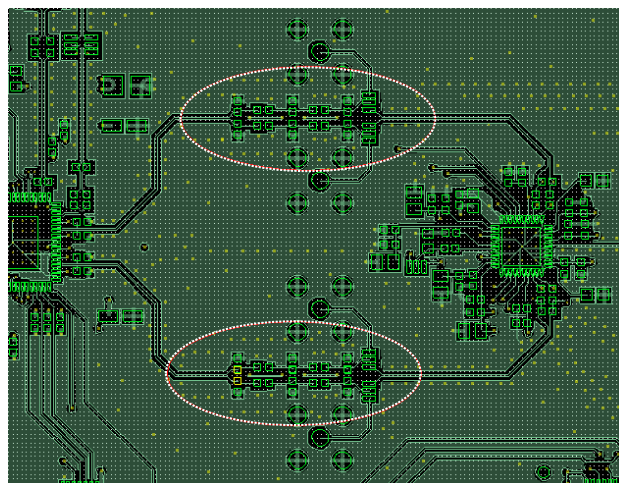


図 4. トランスミッタ、DAC/モジュレータのインターフェース・フィルタの部分の PCB レイアウト

- フィルタから最適性能を得るには、これらのパターンを差動で $100\ \Omega$ 、つまりラインあたり $50\ \Omega$ にします。標準的な FR4 の素材の場合、 $50\ \Omega$ のラインは 2:1 の T/W 比から得られることに注意してください。

もっと高いインピーダンス・ラインが必要な場合、ラインのインピーダンスは T/W (T = 基板の層の厚さ、W = パターンの幅) の非線形関数であることに留意する必要があります。ラインが細いほど、ラインのインピーダンスは高くなります。標準的な FR4 のレイヤの厚さでは、 $100\ \Omega$ ラインは非常に細くなることもあり、多くの場合、最小設計限度に近くなります。これに対する解決策の 1 つはパターン下のグラウンド・レイヤを無効にして、PCB の 3 番目のレイヤに別のグラウンド・レイヤを置くことです。これで T が実効的に 2 倍になり、パターンの幅を広くすることができます。

DAC_MOD インターフェース・フィルタのトポロジ

差動入力インピーダンスと出力インピーダンスが $100\ \Omega$ となる 5 次の最大平坦バターワース応答を与える代表的トポロジを図 5 に示し、実際の応答を図 6 に示します。このフィルタはソースと負荷に $4.6\ \text{pF}$ のコンデンサを使います。

この大きさのコンデンサの値 ($<20\ \text{pF}$) はカットオフ周波数が高いフィルタでは標準的です。このような小さな値のコンデンサを使うときは、寄生要素が応答に大きく影響することがあります。

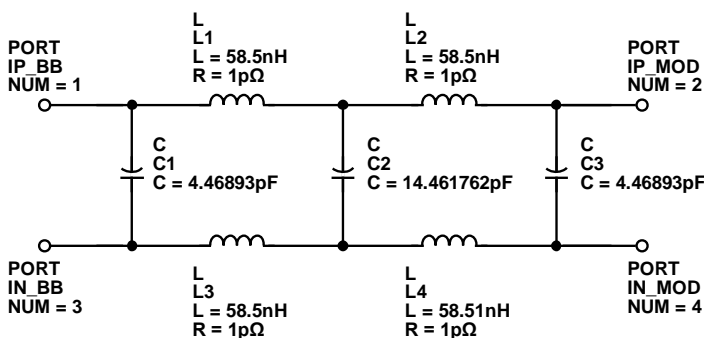


図 5. DAC/モジュレータ間のインターフェース・フィルタのトポロジ、5 次バターワース、3 dB BW = 220 MHz、 $100\ \Omega$ の差動の入力および出力インピーダンス

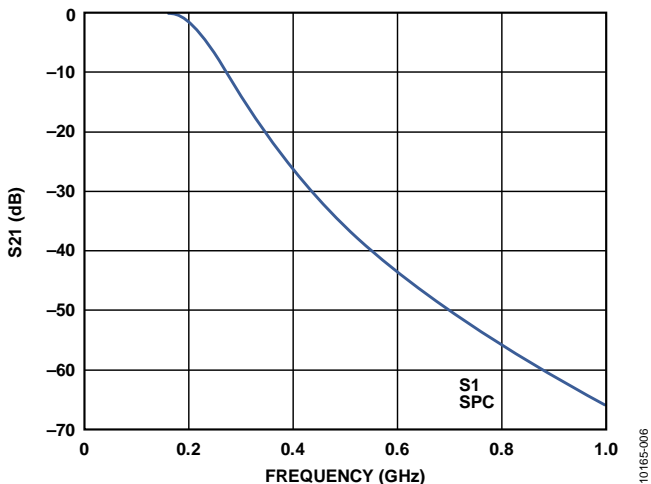


図 6. 図 5 に与えられているフィルタ・トポロジの周波数応答

DAC と歪みに関係したスプリアス成分

DAC のインターポレーション・フィルタを使用すると、それだけでモジュレータの入力のスプリアス成分と、したがって RF でのスプリアス成分を減らすことができます。それでもかなりのスプリアス成分が残ることがあります。以下の条件での IQ モジュレータの RF 出力のスペクトラムを図 7 に示します。

- FLO = 1940 MHz
- DAC 入力データ・レート = 300 MSPS
- DAC インターポレーション = $4\times$
- DAC NCO 周波数 = 150 MHz
- DAC 入力 IF 周波数 = 8 MHz

最強のスプリアス成分 (2098 MHz の基本波を除く) は、DAC クロックの $2\times$ 成分の 2400 MHz であることに注意してください。これはおそらく DAC クロックのスペクトラムをいくらか含む DAC 出力の同相および差動成分に起因します。IQ モジュレータの入力の同相除去によりこの信号の大部分は除去されますが、まだかなりのエネルギーが含まれています。次に高い 2 つのスパーク (2062 MHz および 2242 MHz) も、DAC クロックのスパークと関係しているように見えます。2242 MHz のスパークは $2\times$ (DAC クロック - DAC の基本周波数) = $2400 - 158$ として容易に識別されます。2062 MHz のスパークはそれほど明らかではありませんが、 $(3\times \text{LO}) - (3\times \text{DAC クロック}) - 158 = 5820 - 3600 - 158$ であるように見えます。解析が正しければ、IQ モジュレータの入力の DAC クロックの同相成分を抑えることができれば、スパークを大きく減らせるはずですが。

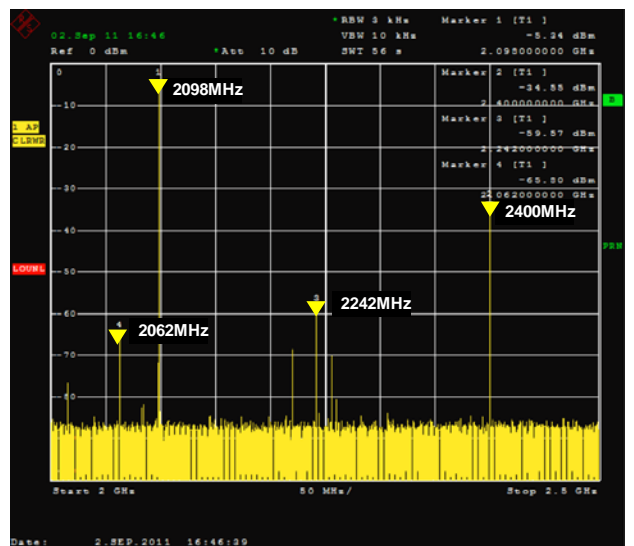


図 7. DAC/IQ モジュレータ・フィルタ無しの IQ モジュレータの RF 出力、LO = 1940 MHz、DAC の入力 IF = 8 MHz、DAC NCO = 150 MHz、RF = 2098

差動バタワース・フィルタを用いると、図 8 に示すように、スパーのレベルが大きく減少します。最強のスパーは依然として 2062 MHz、2242 MHz および 2x DAC クロックのスパーの 2400 MHz です。3つのスプリアス成分は全て大きく減少しました。

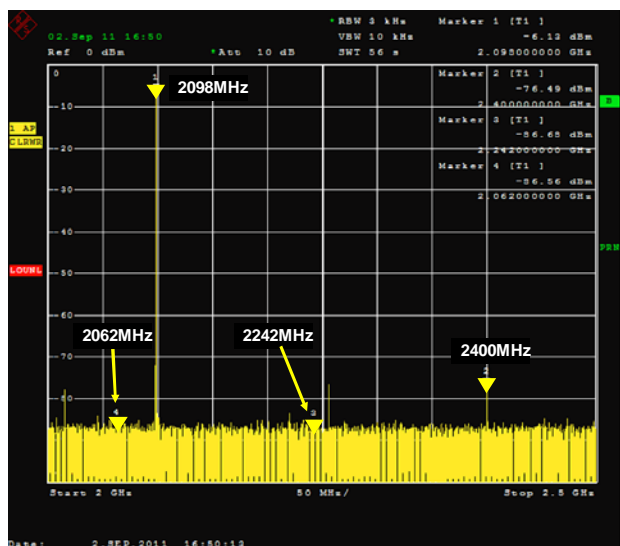


図 8. 5次バタワース・フィルタ、差動コンデンサを使用したときの RF のスペクトラム

DAC/IQ モジュレータのインターフェースの同相除去は多くの場合インターフェース・フィルタのトポロジーを変えることにより改善することができます。図 9 では、入力と出力の 4.7 pF コンデンサは、フィルタ入力の両側およびフィルタ出力の両側からグラウンドへの同相コンデンサ (9.0 pF) によって置き換えられています。これによって差動フィルタ・モードの全体的応答を変えることなく、このボードの RF での全体的なスプリアス成分に影響を与えます。

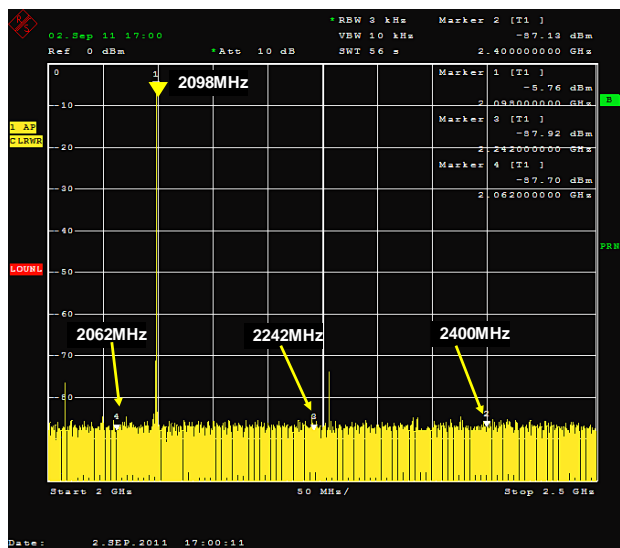


図 9. 5次バタワース・フィルタ (DAC/モジュレータ・フィルタに使われた差動および同相コンデンサの組み合わせ) を使用したときの RF のスペクトラム

前に述べた 2062 MHz と 2242 MHz の高調波はさらに数 dB 減少し、2x DAC クロック成分はノイズフロア近くまで約 15 dB 減少しました。

ここに示すトポロジーと結果はレイアウトによって変化する可能性があるため、フィルタのレイアウト、特に差動と同相のコンデンサなどの組み合わせが全体のスパーフロアを最小にするか確かめるため、実験してみることを推奨します。

シンセサイザの経路と PLL の位相ノイズ

図 1 に示すように、この回路は 1 個の外部リファレンスを使って、AD9122 DAC のサンプル・クロックと ADRF6702 内部の PLL のリファレンス・クロックを生成します。これを柔軟に行うのに AD9516 が基本的な役目を果たします。AD9516 は PLL と VCO を内蔵しています。多数の出力も備えており、差動の LVPECL、LVDS またはシングルエンド CMOS 向けにプログラムすることができます。各出力経路に分周器を独立に設定できます。この回路では、これらの出力経路のひとつが DAC クロックに使われ、別の出力が ADRF6702 内部のフラクショナル N PLL のリファレンス入力に使われます。

ADRF6702 内部のフラクショナル PLL を使うと利点が 2 つあります。ひとつには、フラクショナル PLL により出力 LO を微調整することができます。一例として、入力周波数が 38.4 MHz、ADRF6702 のプログラムされた MOD 値が 1536 の場合、LO は 25 kHz 刻みでプログラムすることができます。2 つ目の利点は、リファレンス周波数は LO 周波数/分周比に等しくする必要はなく、それよりはるかに高くすることができ、したがって分周比を小さくできることです。出力位相ノイズはリファレンスの位相ノイズに分周比を掛けたものの関数なので、RF の位相ノイズが本質的に低くなります。

シンセサイザ・システムの主要な指標の一つが、個々の PLL および分周器によって追加される位相ノイズの大きさです。測定を行っているスペクトラム・アナライザのノイズフロア (緑色のパターン)、リファレンス・ジェネレータの位相ノイズ (赤色)、および 1940 MHz の LO による 1961 MHz の RF 周波数での出力トーン位相ノイズ (黄色) を図 10 に示します。AD9516 内部の PLL と ADRF6702 の組み合わせは、明らかに高い近接位相ノイズ (キャリアからのオフセットが 500 kHz 未満) を発生しますが、システムに対して大きな広帯域ノイズを増加させることはありません。AD9516 と ADRF6702 両方の VCO のループ・フィルタは、測定回路で約 100 kHz の帯域幅に設定されています。近接位相ノイズは、これらのループ・フィルタの帯域幅を狭くすることにより減らすことができます。システムの仕様を確認して、目的のシステムではどれだけの近接ノイズを許容できるか決定します。

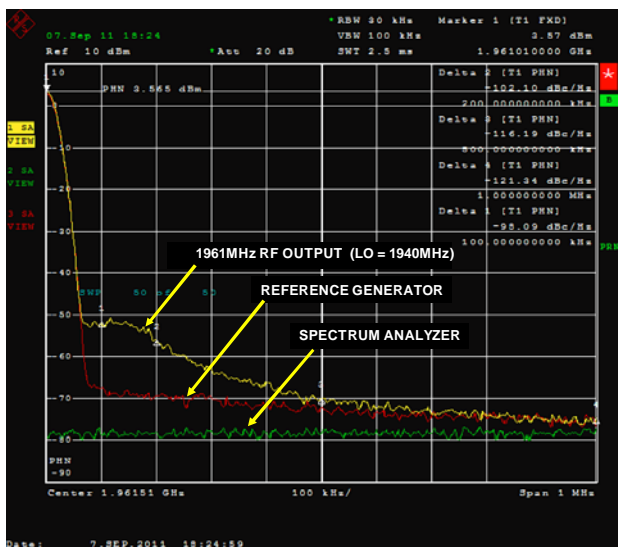


図 10. スペクトラム・アナライザのノイズフロア、リファレンスの位相ノイズ、および RF 出力の位相ノイズ

バリエーション回路

直前のセクションで述べたように、ループ・フィルタの帯域幅を変えることにより、PLL の性能を調整することができます。ループ・フィルタの帯域幅と周波数のセトリング時間の間には考慮しなければならないトレードオフがあります。

AD9122 のような DAC を使用する場合、細かい周波数ホッピングにも DAC NCO を使うことができます。ただし、NCO は SPI ポートを介したプログラミングが必要なので、ホッピング速度は制限されます。クロックの合成と分配用に AD9520 や AD9523 のような、より新しいデバイスを使うと位相ノイズが改善される可能性があります。

回路の評価とテスト

EVAL-CN0243-EB1Z 評価用ボードには、信号の生成と基本的な測定のために、以下の装置およびソフトウェアが必要です。

必要な装置

- 5V 電源
- 低位相ノイズのリファレンス・ソース (10 MHz~200 MHz のレンジ @ +3 dBm) 、Rohde & Schwarz SMA100、低ノイズ・オプション、または同等品
- アナログデバイセズ社の DPG2 デジタル・パターン・ジェネレータ
- 高ダイナミック・レンジのスペクトラム・アナライザ、Agilent E4440A または同等品
- アナログデバイセズ社の EVAL-ADF4XXXZ USB アダプタ

ソフトウェア

- DPG2 ソフトウェア (DPG に付属)
- www.analog.com/jp/ADRF6702 から入手可能な ADRF6702 ソフトウェア

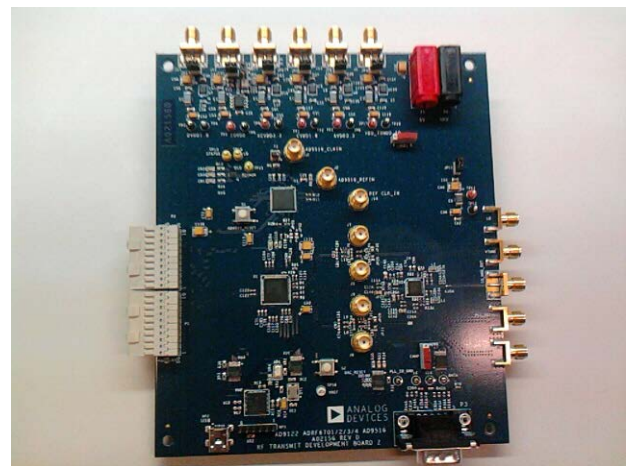


図 11. EVAL-CN0243-EB1Z 評価用ボード

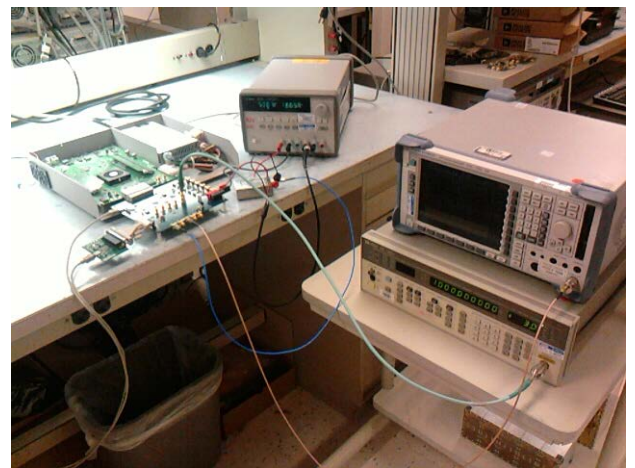


図 12. ベンチテストのセットアップ

セットアップとテスト

EVAL-CN0243-EB1Z 評価用ボードを正しく動作させるには以下の手順に従う必要があります。

1. 電源を入れる前に、全ての装置、USB アダプタ、およびケーブルを、図 13 に示すように接続します。
2. 5 V 電源が 1 個だけ必要です。これは EVAL-CN0243-EB1Z ボードのメス・バナナプラグへ接続します。この電源が接続されていることを確認して、+5 V 電源をオンします。この時点での全電流は 850 mA~900 mA です。
3. DPG2 ソフトウェアには、AD9122 をプログラムする GUI が含まれています。正しいインターポレーション・レートと (もし必要なら) NCO のために AD9122 をプログラムします。
4. DPG2 ソフトウェア自体を起動します。全てのケーブルとソフトウェアが正しく動作していると、ソフトウェアは DAC 入力 of データ・レートを認識し、それを DPG GUI の右下隅に表示します。

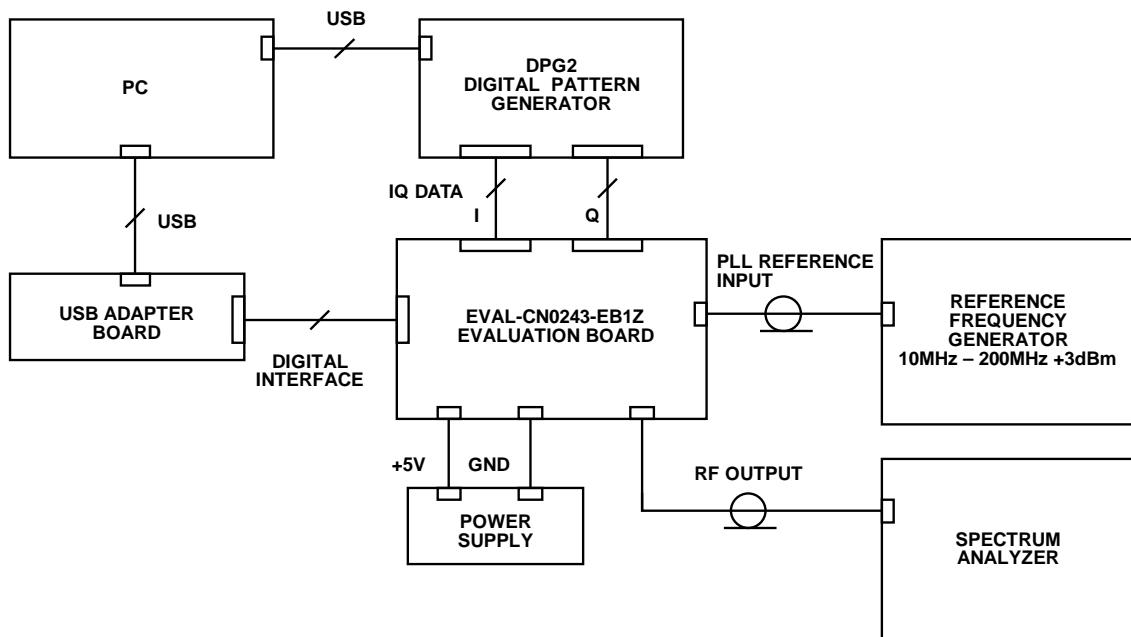


図 13. テスト・セットアップの機能図

このデータ・レートは、図 13 の DAC のサンプル・レート (614.4 MSPS) を、AD9122 のプログラムされたインターポレーション・レートで割ったものに等しいことに注意してください。

5. 種々のデバイスが起動し、プログラムされたら、電流が増加することに注意してください。この作業が終わると、DAC のサンプル・レートに依存して、電流は 1.4 A ~ 1.5 A になります。
6. DPG2 ソフトウェアを使って波形を作ります (シングル、マルチ・トーン、または通信用標準信号を利用可能)。最初は -8 dB のデジタル・バックオフを使って、DAC/ADRF6702 の組み合わせの直線性を最適化します。DPG2 GUI で複素信号生成機能も選択します。波形を作ったら、GUI の "load" ボタンと "play" ボタンを使ってデジタル・パターンを DPG メモリ自体にロードします。
7. ADRF6702 GUI を起動します。まず、ADRF6702 GUI の選択する必要がある唯一のオプションは、入力リファレンス周波数と LO 出力周波数です。これらの値をプログラムするには、ADRF6702 GUI の上端中央のリファレンス入力周波数または LO 出力の値をクリックします。別のウィンドウが現れ、これらの値を入力することができます。重要：値を入力した後、ユーザーはエンター・キーを押して値を確実に GUI に入力する必要があります。
8. ADRF6702 のプログラミングは EVAL-CN0243-EB1Z 評価用ボードの設定の最後のステップです。一例として、DPG2 が一連のトーン (1 MHz の間隔で 20 MHz ~ 25

MHz) @ -8 dB バックオフを生成し、ADRF6702 の LO が 1940 MHz にプログラムされていると、スペクトラムは図 14 に示されているものに非常に似たものになります。

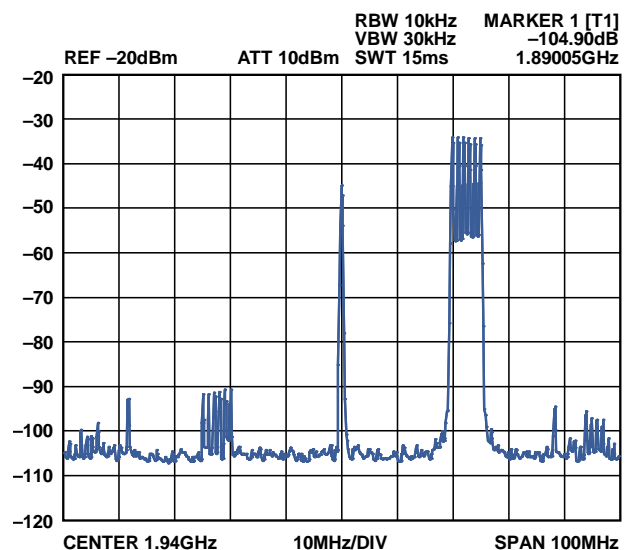


図 14. ADRF6702 の RF 出力の 1940 MHz の LO 周波数での複素マルチトーン・シグナルのスペクトラム、必要なサイドバンド・オフセット：+20 MHz、不要なサイドバンド・オフセット：-20 MHz

さらに詳しい資料

CN-0243 Design Support Package:

www.analog.com/CN0243-DesignSupport

DPG2 Digital Pattern Generator:

www.analog.com/DPG_DAC_Eval_Plattform

ADIsimPLL Design Tool

ADIsimRF Design Tool

データシートと評価ボード

[ADRF6702 データシート](#)

[ADRF6702 評価ボード](#)

[AD9122 データシート](#)

[AD9122 評価ボード](#)

[AD9516-0 データシート](#)

[AD9516-0 評価ボード](#)

[AD9516-1 データシート](#)

[AD9516-1 評価ボード](#)

[AD9516-2 データシート](#)

[AD9516-2 評価ボード](#)

[AD9516-3 データシート](#)

[AD9516-3 評価ボード](#)

[AD9516-4 データシート](#)

[AD9516-4 評価ボード](#)

改訂履歴

10/11—Revision 0: 初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。