



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0239> をご覧ください。

使用したリファレンス・デバイス

ADF4351	広帯域シンセサイザ、3.5MHz～4400MHz、VCO 内蔵
ADL5801	アクティブ・ミキサー、10MHz～6GHz、高 IP3

グルーレスなローカル発振器インターフェースを内蔵した 広帯域 6GHz アクティブ・ミキサー

評価および設計サポート環境

回路評価ボード

[ADL5801 評価用ボード \(ADL5801-EVALZ\)](#)

[ADF4351 評価用ボード \(EVAL-ADF4351EB1Z\)](#)

設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)

回路の機能とその利点

図 1 に示す回路は、周波数シンセサイザ搭載の低位相ノイズ・ローカル発振器 (LO) へのダイレクト・インターフェースを備えた 10MHz～6GHz の広帯域アクティブ・ミキサーです。

この回路は、周波数を高くまたは低く変換する必要のある広帯域アプリケーションにおいて魅力ある最適なソリューションを提供します。2 個のチップを搭載した回路で、35MHz～4400MHz の広い LO 周波数範囲をカバーします。LO インターフェースはシンプルでグルーレスな構造のため、バラン、マッチング・ネットワーク、および LO バッファを必要としません。さらに、本ミキサーのバイアス調整機能では、アプリケーション条件または入力信号の大きさに基づいて、IP3、ノイズ指数、および電源電流を最適化することが可能です。

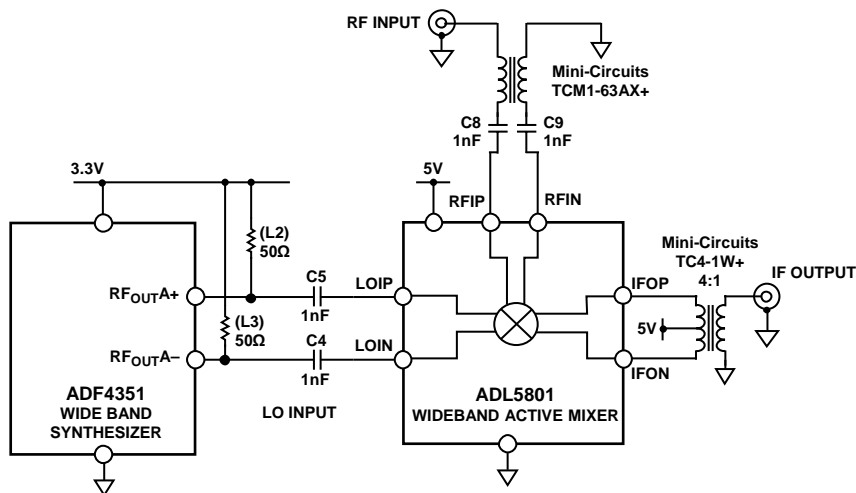


図 1. VCO を内蔵した ADF4351 PLL と ADL5801 広帯域アクティブ・ミキサー間の広帯域インターフェース
(簡易回路図：全接続の一部およびデカップリングは省略されています)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

回路説明

ADF4351 は、35MHz～4400MHz の周波数をカバーする広帯域なフラクショナルNおよびインテジャーNのフェーズ・ロック・ループ (PLL) です。本デバイスは基本周波数範囲が 2200MHz～4400MHz の電圧制御発振器 (VCO) を内蔵しています。マルチ・オクターブ動作は分周器バンクを用いることで実現できます。

ADL5801 は、10MHz～6000MHz の RF 周波数をサポートする LO バッファ・アンプを内蔵した高直線性かつ二重平衡型のアクティブ・ミキサーです。本ミキサーには、入力直線性、ノイズ指数、および DC 動作電流を最適化するバイアス調整機能があります。図 1 に示す回路は、広帯域の上方または下方変換を必要とするアプリケーション用としてシンプルな LO インターフェースを備えています。本インターフェースは 35MHz～4400MHz の RF 周波数をカバーします。

ADF4351 PLL は差動 LO 出力インターフェースを備えており、ADL5801 は差動 LO の駆動用に最適化されています。差動インターフェースは偶数次高調波の同相ノイズ除去を実現します。

通常、ADF4351 の出力ポートにはプルアップ・バイアス・インダクタを推奨します。この手段を使うと、供給される出力電力が大きくなりますが、デバイスの周波数範囲は制限されます。標準的な評価用ボードは 7.5nH のプルアップ・インダクタを 2 個装着しており、500MHz を超える周波数に最適です。図 1 の回路では、出力インターフェースの周波数依存性を減らすために、バイアス・インダクタの代わりに 50Ω のプルアップ低抗 2 個が使用されています。この変更の結果、出力側の供給電力は小さくなりますが、ADL5801 はこの制限を許容できます。これは本デバイスが、-10dBm という低い LO 駆動レベルで動作するよう規定されているからです。図 2 では、抵抗性および誘導性のプルアップ・ネットワーク付きデバイスによって供給された出力電力を比較しています。

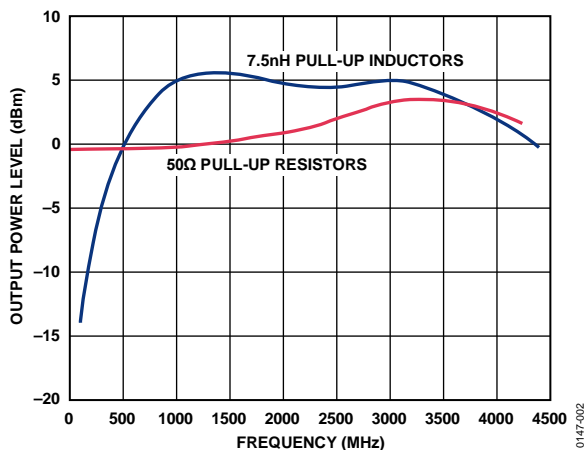


図 2. 抵抗性および誘導性のプルアップ・ネットワーク付き ADF4351 の出力側における電力レベルの比較

抵抗性のプルアップ・ネットワークでは、公称差動インピーダンスは出力側で 100Ω となり、ADL5801 の LO ポートでの差動入力インピーダンスは 50Ω となります。本ミキサーの LO パスでのインピーダンス不整合によって回路の性能は低下しません。しかしながら、インピーダンス不整合の影響を最小限に抑えるために、デバイスを接続するパターンの長さをできる限り短くしておくことをお勧めします。

上述した PLL とミキサー間のインターフェースは、図 3 と図 4 に示すように広帯域性能が優れています。本回路は、3500MHz 未満の周波数では 25dBm を超え、また 4400MHz までは 23dBm を超える入力 IP3 を維持します。本回路は動作周波数帯域全体にわたって、-0.7dB を超える変換利得と、12.2dB 未満のノイズ指数を実現します。

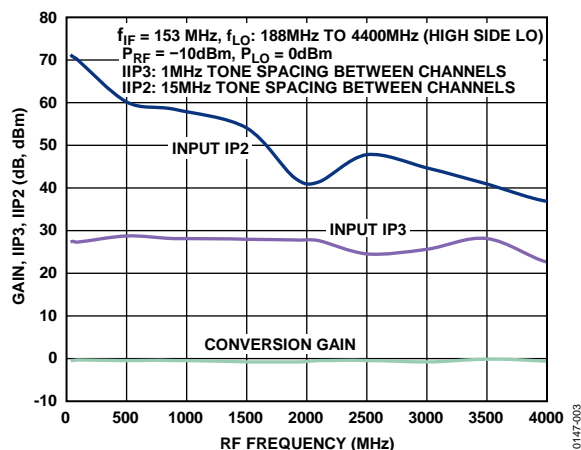


図 3. RF 周波数 対 変換利得、入力 IP2、入力 IP3

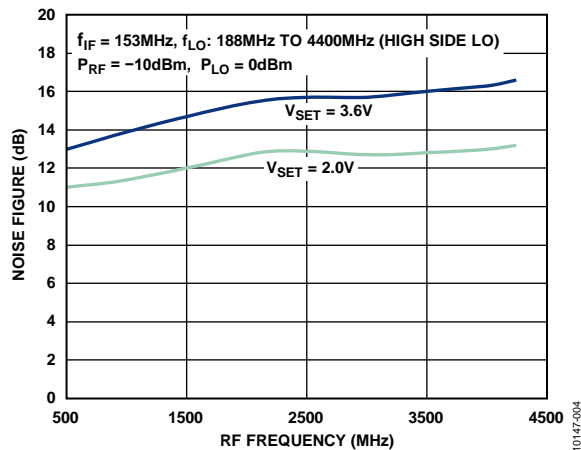


図 4. RF 周波数 対 ノイズ指数

本回路が消費する電力は、動作周波数とミキサのバイアス・ポイントによって決まります。ADF4351は分周器ネットワークの各セクションを組み合わせることで、複数のオクターブにわたる出力周波数を発生させます。この組み合わせでPLLの消費電力が決まります。たとえば、PLLが35MHzの周波数を出力するようにプログラムされている場合、デバイスは全6個の分周器ネットワークを作動させて、132mAの電流を消費します。このポイントがデバイスにとって最悪の消費電力ポイントになります。同様に、IP3とノイズ指数の調整に使用できるADL5801のバイアス・レベルによって、ミキサが消費する電力が決まります。VSETピンはデバイスのバイアス・レベルを調整するために使用されます。図5と図6は、ミキサのDC電流、入力IP3、およびノイズ指数の性能をVSET電圧の関数として示しています。

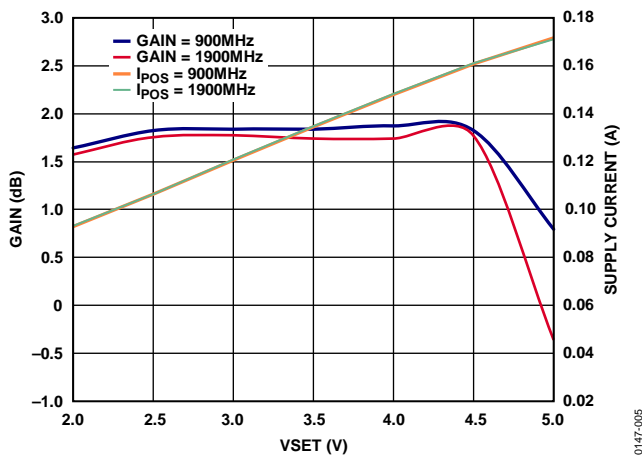


図 5. VSET 対 電力変換利得と電源電流

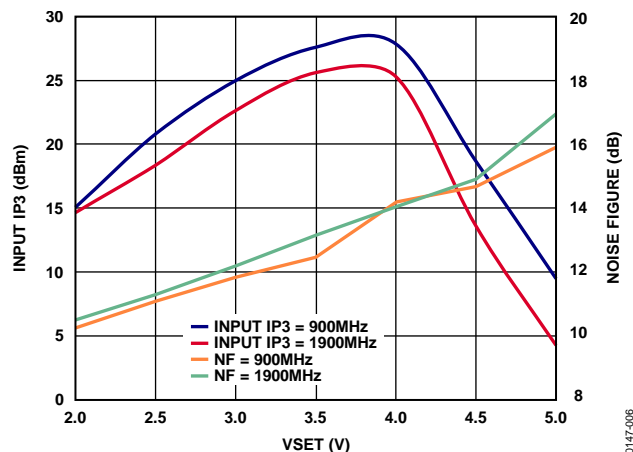


図 6. VSET 対 入力 IP3 とノイズ指数

VSET レベルは DC 動作電流と入力 IP3 に比例しますが、ノイズ指数は VSET 電圧に反比例します。本ミキサは 3.6V の VSET 電圧で最高の直線性を実現します。ミキサのバイアス・レベルが 3.6V で、また消費電力ポイントが PLL にとって最悪（すべての分周器がオン）の場合、回路はおよそ 1.14W を消費します。

バリエーション回路

上述のインターフェースは、ADF4350 や ADF4360 の製品ファミリーなど、VCO と差動出力を内蔵した他の PLL に適用できます。135MHz から 4.4GHz まで動作する ADF4350 は ADF4351 とピン互換で、やや高いノイズ指数を実現します。VCO を内蔵したインテジャー-N PLL の ADF4360 ファミリーは、固定または狭い範囲の LO 周波数を要するアプリケーションに最適です。これらのデバイスは、回路の消費電力を低減しますが、位相ノイズを大きくします。複数の出力ミキサを要するアプリケーションでは、ADL5801 の代わりにデュアル・チャンネル・アクティブ・ミキサである ADL5802 を使用できます。

回路の評価とテスト

上述の回路は ADF4351 の標準的な評価用ボード (EVAL-ADF4351EB1Z) と ADL5801 の標準的な評価用ボード (ADL5801-EVALZ) を使って実現されています。

ADF4351 の評価用ボード・キットには、基準水晶発振器、制御ソフトウェア、およびデバイスを動作させるために必要なプログラミング・インターフェース・ケーブルが入っています。制御ソフトウェアは、出力周波数、電力レベル、基準周波数の設定オプションや、その他さまざまな機能を提供します。

表 1 と表 2 では、このアプリケーション回路を実現するために評価用ボード上で変更された部品を一覧表示しています。

表 1. EVAL-ADF4351EB1Z 上での変更部品

Placeholder	Default Value	New Value
L2, L3	7.5 nH	50 Ω
L1, L4	1.9 nH	0 Ω

表 2. ADL5801-EVALZ 上での変更部品

Placeholder	Default Value	New Value
T2/T4/T7	Mini-Circuits TCM1-1-13M+	0 Ω
C4, C5	100 pF	1 nF

テスト

図 8 は、テスト・セットアップのブロック図を示しています。PLL の出力側とミキサの LO ポートは、評価用同軸貫通コネクタを使って接続しました。図 7 は、2 個接続された評価用ボードの写真を示しています。次に示すのは回路を評価するために使用する装置の一覧です。

必要な装置

- USBポート付き PC および Windows® XP、Windows Vista (32 ビット) または Windows® 7 (32 ビット)
- ADF4351 評価用ボード (EVAL-ADF4351EB1Z)
- ADL5801 評価用ボード (ADL5801-EVALZ)
- RF 信号発生器 (Rohde & Schwarz 社の SMT06 または同等品)
- スペクトル・アナライザ (Rohde & Schwarz 社の FSEA30 または同等品)
- 電源: Agilent 社の E3631 または同等品

EVAL-ADF4351EB1Z: +5.5V

ADL5801-EVALZ: +5V (VPOS) 、+3.6V (VSET)

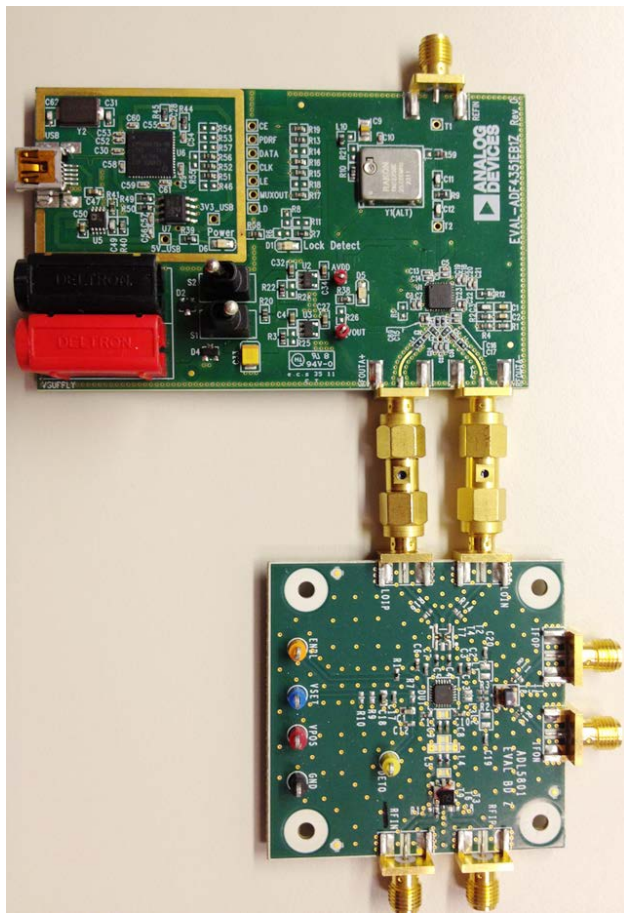


図 7. ADF4351 を ADL5801 にインターフェース接続するために使用するボード・セットアップ

制御ソフトウェアは、望ましい LO 周波数と出力電力をプログラムするために使用しました。

図 9 は、ADF4351 を駆動するために使用するソフトウェア設定のサンプル画面です。ADF4351 のセットアップに関する詳細は、[UG-435 ユーザ・ガイド](#)、[ADF4351 フラクショナル N PLL 周波数シンセサイザ用評価用ボード](#) および [UG-476 ユーザ・ガイド](#)、[PLL ソフトウェア・インストール・ガイド](#) を参照してください。

ADL5801 には、外部電源を使って 3.6V の VSET 電圧でバイアスをかけました。

この外部のバイアス接続は、抵抗分圧ネットワークを使って電源ピン経由のオンボード接続に置き換えることができます。ブレースホルダー R10 を実装して R7 と R8 をオープンにしておくと、この抵抗分圧ネットワークが有効になります。表 3 では、望ましいミキサのバイアス・レベルを実現するために必要な R10 の値を定めています。さらに詳しい情報については、ADL5801 データシートの「RF 電圧電流 (VI) コンバータ」のセクションを参照してください。

表 3. 望ましいミキサのバイアス・レベルを実現する R10 の推奨値 (IPOS は対応する ADL5801 の電源電流)

R10 (Ω)	VSET (V)	Ipos (mA)
226	4.5	160
562	4.01	146
568	4	145
659	3.9	142
665	3.89	142
694	3.85	142
760	3.8	139
768	3.79	139
1000	3.6	133
1100	3.53	131
1150	3.5	130
1200	3.47	129
1300	3.4	127
1400	3.35	126
1500	3.3	124
1600	3.26	122
1700	3.21	121
1800	3.17	120
1900	3.14	119
2000	3.1	118
2300	3	114
5900	2.5	98
Open	2.03	82

回路の能力として 35MHz~4400MHz の RF 周波数をサポートすることを実証するために、IF 周波数が 153MHz のハイサイド LO 構成でデバイスを動作させました。

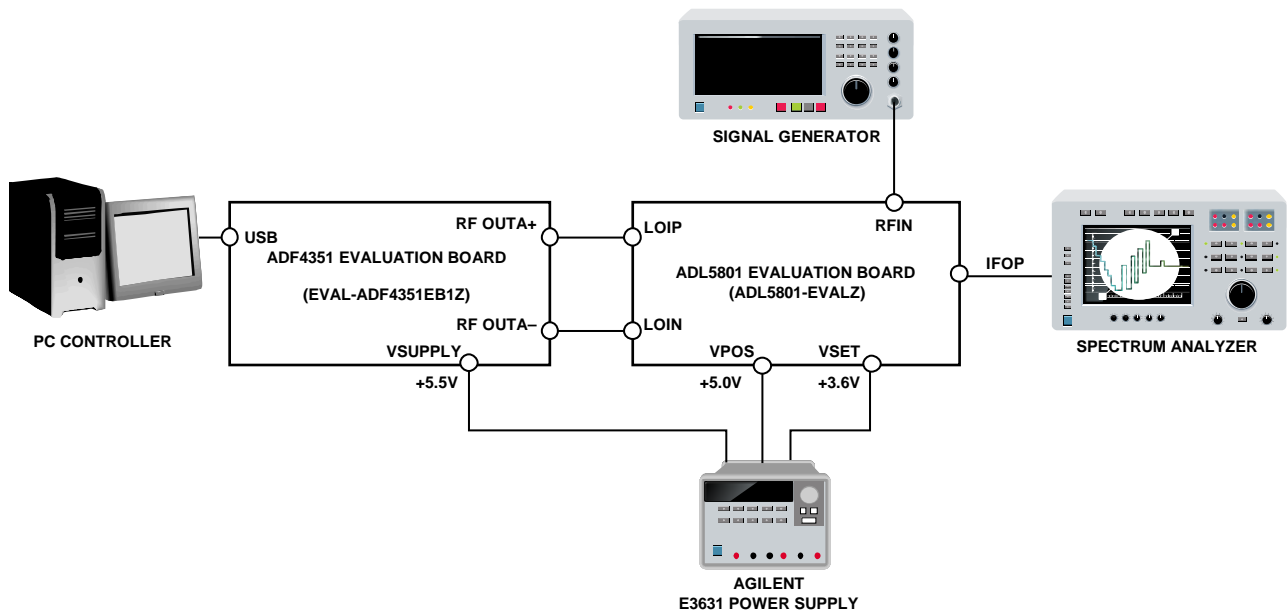


図 8. 回路評価用テスト・セットアップのブロック図

10147-008

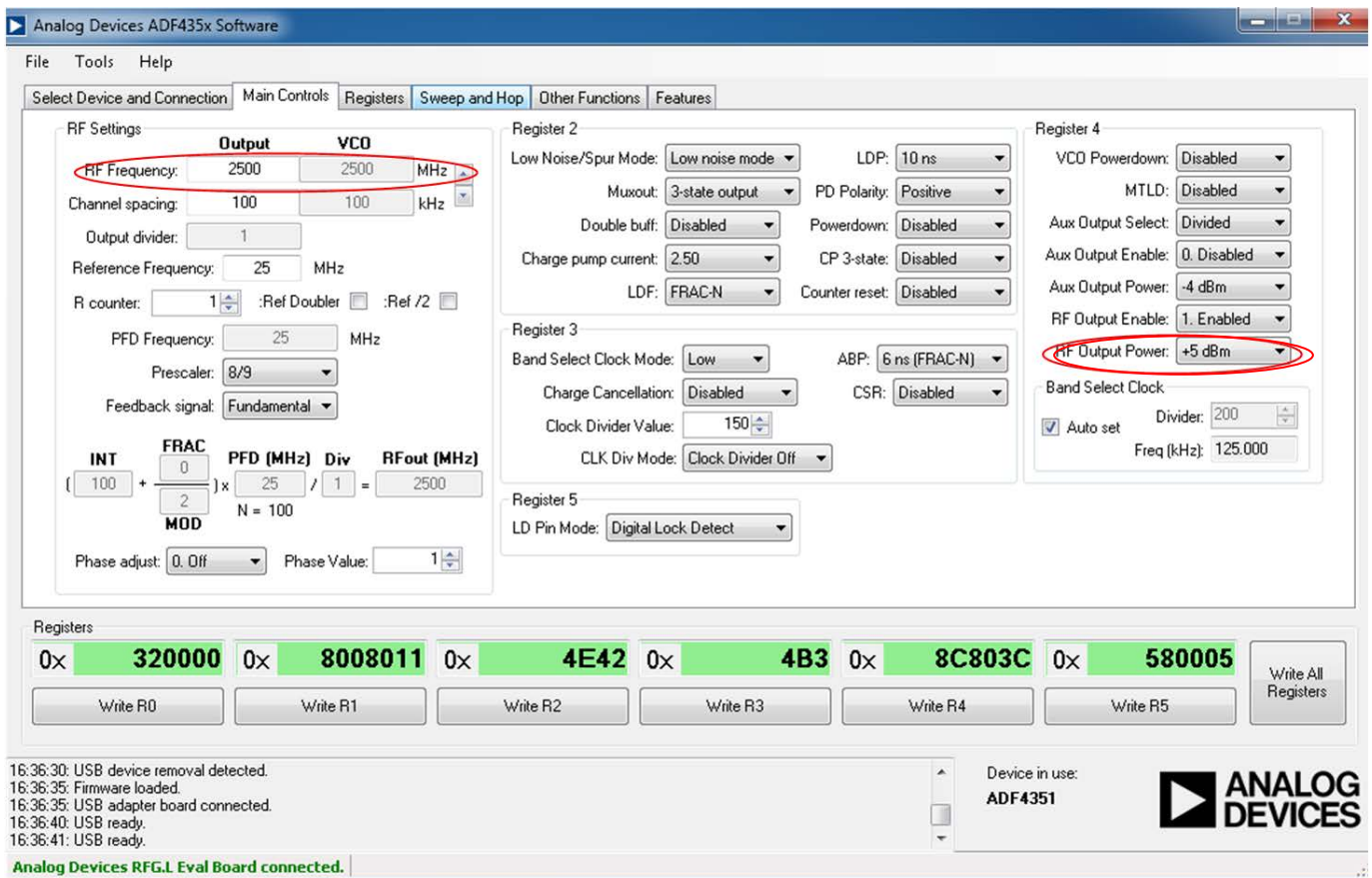


図 9. ADF4351 を駆動するために使用したソフトウェア設定の画面

10147-008

さらに詳しい資料

CN-0239 Design Support Package : <http://www.analog.com/CN0239-DesignSupport>

UG-435 User Guide : Evaluation Board for the ADF4351 Fractional-N PLL Frequency Synthesizer.

UG-476 User Guide : PLL Software Installation Guide.

ADIsimRF Design Tool

ADIsimPLL Design Tool

MT-031 Tutorial : Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”, Analog Devices.

MT-086 Tutorial : Fundamentals of Phase Locked Loops (PLLs), Analog Devices.

MT-101 Tutorial : Decoupling Techniques, Analog Devices.

AN-30 Application Note : Ask the Application Engineer—PLL Synthesizers, Analog Devices

データシートと評価ボード

ADF4351 データシート／評価ボード

ADL5801 データシート／評価ボード

改訂履歴

8/13—Revision 0: 初版

「Circuits from the Lab／実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab／実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab／実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab／実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。