

高精度アンプ・アプリケーション向けの整合抵抗ネットワーク

デザインノート 502

Tyler Hutchison

はじめに

一部の理想オペアンプ構成では、帰還抵抗が完全に整合していることを前提としています。実際には、非理想的な抵抗が、同相除去比 (CMRR)、高調波歪み、および安定性などのさまざまな回路パラメータに影響を与える可能性があります。例えば、グラント基準の信号を 2.5V の同相電圧にレベルシフトするよう構成されたシングルエンド・アンプには、優れた CMRR が要求されます (図 1 を参照)。この 2.5V レベル・シフトでは、CMRR が 34dB で入力信号がないと仮定した場合、50mV の出力オフセットが発生します。これは、12 ビット ADC およびドライバの LSB やオフセット誤差を上回る可能性があります。

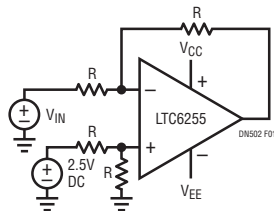


図 1. レベル・シフトとして使用されるシングルエンド・オペアンプ

オペアンプにとって、34dB の CMRR は理想的とはいえません。しかし、許容誤差 1% の抵抗からなる帰還ネットワークにより、オペアンプの性能にかかわらず、CMRR は 34dB に制限される可能性があります。LT[®]5400 で提供されるような高精度に整合した抵抗 (0.01%、0.025%、および 0.05% の整合を準備) を使用することで、設計者はアンプのデータシートに近い、また一致した仕様を確保できます。このデザインノートでは、厚膜、0402 サイズ (EIA)、許容誤差 1% の表面実装抵抗と LT5400 を比較します。図 2 に示すように、LTC6362 オペアンプの帰還系にこれらの抵抗を使用して、CMRR、高調波歪み、安定性を検討します。

同相除去比 (CMRR)

同相ノイズが存在する中で正確な測定値を得るには、CMRR が高いことが重要です。入力 CMRR は、差動利得 ($V_{OUT(DIFF)}/V_{IN(DIFF)}$) と入力同相電圧から差動電圧への変換 ($V_{OUT(DIFF)}/V_{IN(CM)}$) の比として定義されます。

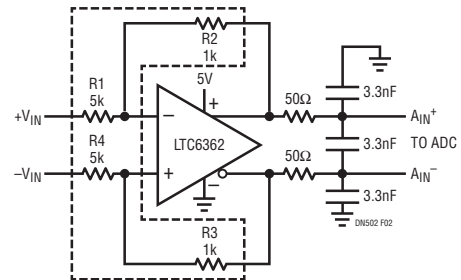


図 2. $V_{OUT}/V_{IN} = 0.2$ に構成した完全差動オペアンプ

理想的なシングルエンド・アンプおよび完全差動アンプでは、入力差動レベルのみが出力電圧に影響を与えます。しかし、現実の回路では、抵抗の不整合性が、有効な CMRR を制限します。±10V 信号を ±2V 信号に減衰させるように構成した回路を考えてみます。2% の整合 (1% の許容誤差) を持つ標準的な表面実装抵抗を使用した場合、抵抗によるワーストケースの CMRR への寄与は 30dB です。0.01% の許容誤差で 0.02% の整合ならば、抵抗によるワーストケースの CMRR への寄与は 70dB です。CMRR の式の制限要因は次のように表されます。

$$\frac{1}{2} \left| \left(\frac{R1}{R2} - \frac{R3}{R4} \right) \frac{R2}{R1} \right|$$

この式は、標準的な抵抗では抵抗の整合比になります。しかし、LT5400 は、追加の手順を行って、抵抗ペア $R1/R2$ および $R4/R3$ 間の整合を制約することで CMRR を向上させます。この式を「CMRR に対する整合」として定義することにより、LT5400 は、抵抗の整合比のみを規定する場合よりも優れた精度を実現します。例えば、LT5400A は次を保証します。

$$\left(\frac{\Delta R}{R} \right)_{CMRR} \leq 0.005\%$$

この式により、ワーストケースの CMRR が 82dB に向上します。

LT, LTC, LTM, Linear Technology および Linear のロゴは Linear Technology 社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

回路のベンチテストでは、許容誤差 1% の抵抗で 50.7dB (抵抗の整合を高精度に制限)、LT5400 で 86.6dB の CMRR が得られました。この場合、2.5V の同相入力では、1% の厚膜抵抗で 1.5mV のオフセット、LT5400 で 23 μ V のオフセットを生じます。これは、DC 精度が重要な 18 ビット ADC アプリケーションに適しています。

高調波歪み

高精度アプリケーションで抵抗を選択する際には、高調波歪みも重要です。抵抗の寸法と材料に応じ、抵抗間の大信号電圧によって抵抗値が大きく変動することがあります。この問題は、多くのチップ抵抗で発生し、当然ながら、抵抗の電力レベルが上がるにつれてより深刻になります。表 1 は、大電力ドライブおよび類似の電力ドライブに基づいて、厚膜抵抗、スルーホール抵抗、LT5400 抵抗の歪みを比較したものです。この結果から、所定の信号に対して、LT5400 は他の抵抗タイプと比べて信号の歪みはるかに少ないことが分かります。

安定性

図 3 は、LT5400 内の抵抗間の分布容量のモデルを示しています。LT5400 内で高精度な整合とトラッキングを実現するために、多数の小型 SiCr 抵抗が直並列に構成されています。複雑な相互組み合わせの結果、LT5400 内の抵抗は、隣接するセグメント間および個々のセグメントと背面パッド間に寄生容量を持つ、微小な一連の抵抗としてモデリングできます。対照的に、標準的な表面実装抵抗は、レイアウトが密でなければ、一般にはるかに小さな寄生容量になります。

抵抗間の容量の影響は、背面パッドを接地することで緩和できます。ただし、背面パッドを接地した後であっても、総抵抗と総容量の積に近い寄生ポールを形成することで、この容量は回路の安定性に影響を及ぼします。

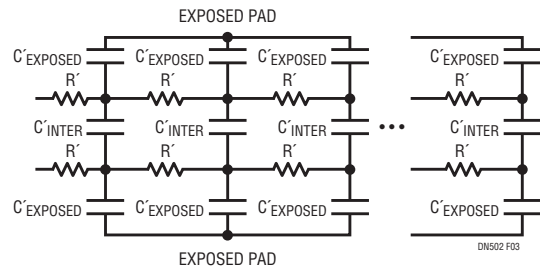


図 3. 整合抵抗 IC の分布容量の簡単なモデル。
R' 要素の合計が等価な 1 個の抵抗を形成。C'INTER の実効果は 1.4pF で、C'EXPOSED の実効果は 5.5pF。

オーバシュートは位相マージンに反比例するため、ステップ応答のオーバシュートを最小限に抑えることは、回路の安定性を確保するうえでも役立ちます。0402 構成のオーバシュートが 17% であるのに比べ、未補償の LT5400 構成のオーバシュートは 27% です。しかし、8% のオーバシュートを実現するために必要な補償コンデンサは LT5400 で 18pF、0402 抵抗で 15pF であり、両構成でほぼ同じです。ほぼ同一の補償を使用することで、2 つの回路は同様な安定特性を示します。

まとめ

データシートの仕様は理想部品を想定しているため、多くの高精度アンプと ADC で実際にその性能を実現するのは困難です。LT5400 で提供されるような注意深く整合した抵抗ネットワークにより、ディスクリート部品よりも格段に優れた高精度整合を実現し、高精度 IC においてデータシートの仕様が可能になります。

表 1. 所定の電力レベルにおいて、LT5400 は他の抵抗タイプよりも線形に動作

SOURCE HD3	-120.00	AT MAX POWER (12V _{RMS} = 56mW into 1k Ω)	
RESISTOR TYPE	POWER RATING	HD3 (56mW POWER)	HD3 (1/14th RATED POWER)
LT5400	0.8W	-117dBc	-117dBc
5% Through-Hole	0.25W	-100dBc	-114dBc
1% Through-Hole	0.25W	-115dBc	-119dBc
1206 Thick Film	0.25W	-104dBc	-115dBc
0805 Thick Film	0.125W	-93dBc	-117dBc
0603 Thick Film	0.1W	-89dBc	-117dBc
0402 Thick Film	0.068W	-72dBc	-104dBc

データシートのダウンロード: <http://www.linear-tech.co.jp>

リニアテクノロジー株式会社

102-0094 東京都千代田区紀尾井町 3-6 紀尾井町パークビル 8F
TEL(03)5226-7291 FAX(03)5226-0268
<http://www.linear-tech.co.jp>

dn502f LT/AP 0512 • PRINTED IN JAPAN



© LINEAR TECHNOLOGY CORPORATION 2012