

ADRV904x

5G無線の効率と性能を向上する ADI RadioVerse® SoCシリーズ

デジタル・フロント・エンド (DFE) を集積した、
iBWが400MHzの先進的な8T8R無線システム

無線ユニット (RU) のサイズ、重量、消費電力、コスト (SWaP-C) を最小化

- ▶ 13 W¹の低消費電力により、極めて高いジャンクション温度 (T_J)² にも対応、温度ソリューションを簡素化。
- ▶ 拡張されたDFE機能 (DPD、CFR、CDUC、CDDC)⁴により、外付けFPGAの必要性を排除または軽減。
- ▶ フィルタの簡素化によりRUの重量を最大20%削減。ZIFアーキテクチャは無線コロケーション時の干渉に対し堅牢³。

RUの柔軟性を最大化、市場投入までの時間を短縮

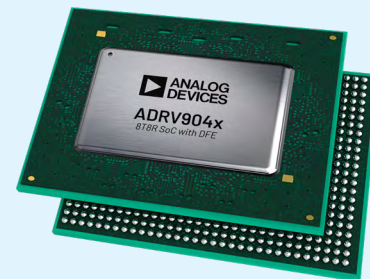
- ▶ 共通プラットフォームで全てのサブ6GHz帯とフォーム・ファクタ (M-MIMO、スモール・セル、マクロセル) に対応し、3G/4G/5Gをワールドワイドに展開。
- ▶ SoCは適合性確認、特性評価、回帰テストがユース・ケースごとに完全に行われているため、RUシステムの適合性確認が簡略化可能。
- ▶ 帯域や消費電力が異なる設計に対しRUのコストと開発時間を削減すると同時に、複雑なマルチバンドの組み合わせを1つのチップで実現⁵。

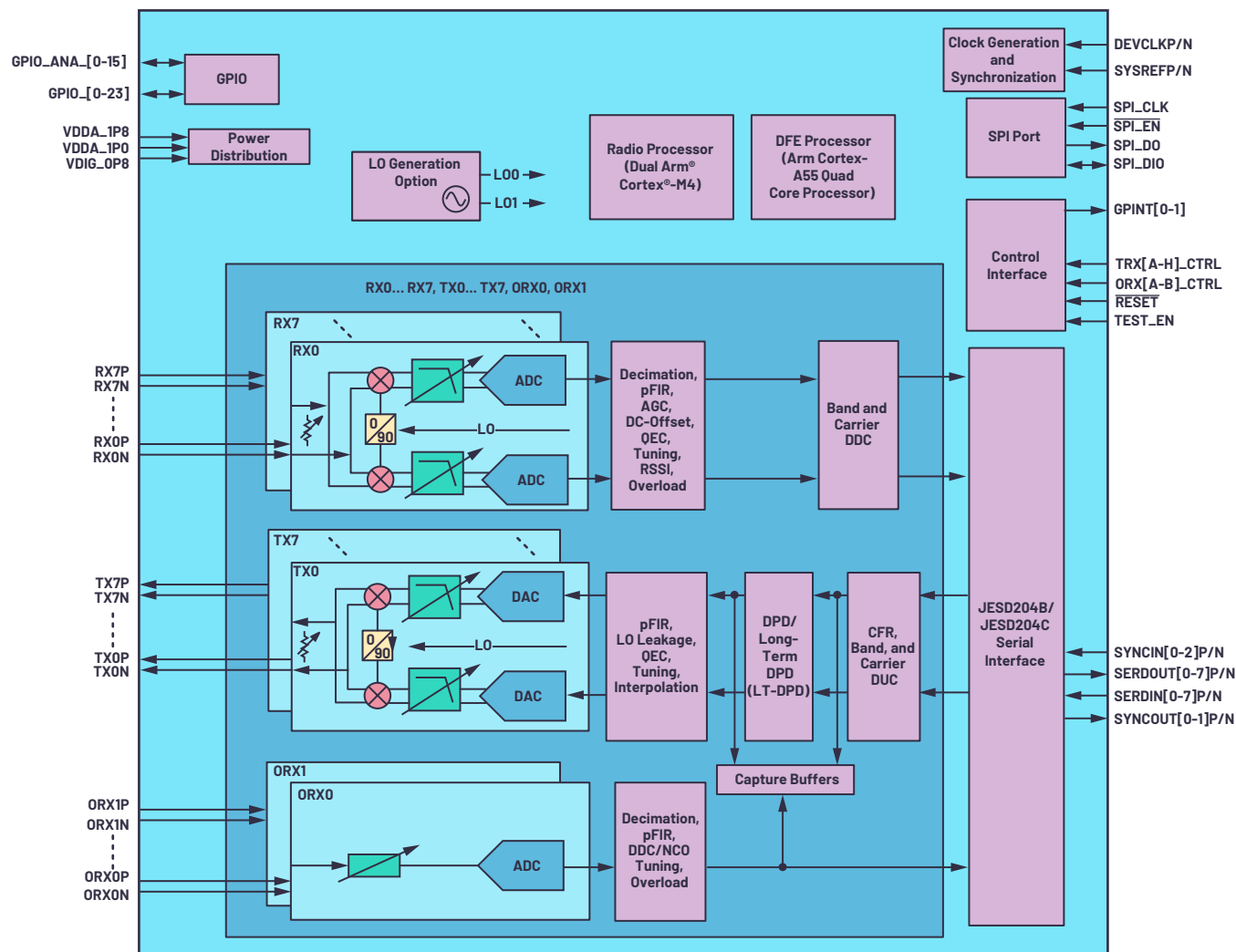
システム効率を向上し、PA/DPDの実装を簡略化

- ▶ 新しい電荷トラッピング補正IPを完全に内蔵したことで高効率広帯域幅のGaNパワー・アンプ (PA) を実現。
- ▶ PAの安定性を現実に即した動作条件で維持する機能を含む、ユーザプログラマブルなDPDソリューション。
- ▶ トップ・レベルのPAベンダと協力して50個を超えるPAを事前テストし、システム効率を最大化。

共通SoCプラットフォームで実現：

- ▶ TDDおよびFDDアプリケーション
- ▶ 3G/4G/5G
- ▶ スモール・セル、マクロセル、Massive MIMOの設計





ADRV904xプラットフォームの機能と特長

システムの温度ソリューションを簡略化

- ▶ 全ブロックの動作を有効化した状態で13Wの消費電力¹
- ▶ 110°Cのデバイス・ジャンクション温度、125°Cまでの温度上昇も可能²

フル集積DFE (DPD、CDUC、CDDC、CFR) ⁴エンジン

- ▶ PAを直線化するための専用DPD適用エンジン (DFE Arm Cortex-A55クワッド・コア・プロセッサ、LT-DPDブロック、拡張されたアルゴリズム)
- ▶ ハードウェアにより加速された電荷トラッピング補正アルゴリズムを利用してGaN PAをサポート
- ▶ CDUC/CDDC: 送信/受信チャンネルごとに最大8つのコンポーネント・キャリア (CC)
- ▶ 多段CFRエンジン
- ▶ JESD204B/JESD204Cデジタル・インターフェースに対応

業界トップ・レベルの無線ソリューション

- ▶ 8個の差動トランスミッタ (Tx) およびレシーバ (Rx)
- ▶ 2個のオブザベーション・レシーバ (ORx)
- ▶ 調整可能範囲: 650MHz~6000MHz
- ▶ iBWが400MHzのDPD性能
- ▶ シングルバンドおよびマルチバンド (N × 2T2R/4T4R) ⁵ 機能
- ▶ 全てのLOおよびベースバンド・クロックに対しマルチチップ位相同期
- ▶ フル集積フラクショナルN方式RFシンセサイザ
- ▶ フル集積クロック・シンセサイザ

ADRV9040 SoCの製品ページ

- ▶ 詳細についてはanalog.com/ADRV9040を参照してください。

¹ 全ブロックの動作を有効化した状態での200MHzのOBW/iBWのユース・ケース。

² 連続動作ベースで110°C TJ、条件付き動作ベースで125°C TJ。

³ 詳細については、記事「Cバンドにおけるコロケーションリスクを緩和するための戦略とは？」を参照してください。

⁴ デジタル・プリディストーション (DPD)、クレスト・ファクタ低減 (CFR)、キャリア・デジタル・アップコンバータ (CDUC)、キャリア・デジタル・ダウンコンバータ (CDDC)。

⁵ 650MHz~6000MHzの調整可能範囲において4種類の個別のバンド・プロファイルが可能です。バンド・プロファイルによってチャンネルの帯域幅が定まります。

特に、スモール・セル・プラットフォームで効果的です。