

汎用TigerSHARC® DSP

世界最高性能の浮動小数点DSP

主な特長

高スループット浮動小数点アプリケーション用に最適なスタティックスーパースカラ・アーキテクチャ

- 40ビット累算機能付きでサイクル当たり8回の16ビットMAC処理
- 80ビット累算機能付きでサイクル当たり2回の32ビットMAC処理
- Add, Compare, Select (ACS) シーケンシングの実行によるViterbiデコーディングに特に対応
- FFTのためのハードウェアでのビット逆転と加算/減算インストラクション
- サイクル当たり2回の32ビットIEEE浮動小数点MAC処理

高集積度

- 6MbitのオンチップSRAM
- グルーレスなマルチ・プロセッシング
- 4つのリンク・ポート — 1Gbyte/sの転送速度
- 64ビットの外部ポート — 800Mbyte/s
- 14本のDMAチャンネル

アセンブリ言語とC言語によるフレキシブルなプログラミング

- プログラム・メモリとデータ・メモリとのユーザー定義分割
- 128本の汎用レジスタ
- アセンブリ言語の代数構文
- 最適化Cコンパイラ
- VisualDSP++™ツールのサポート
- シングル・インストラクション・マルチプル・データ (SIMD) 命令、または直接発行機能
- 予測実行
- 最高性能時にも割り込み可能



TigerSHARC DSPは、毎秒20億回の40ビットMAC処理を実行し、世界最高の浮動小数点DSP性能を実現します。

画期的なアーキテクチャ

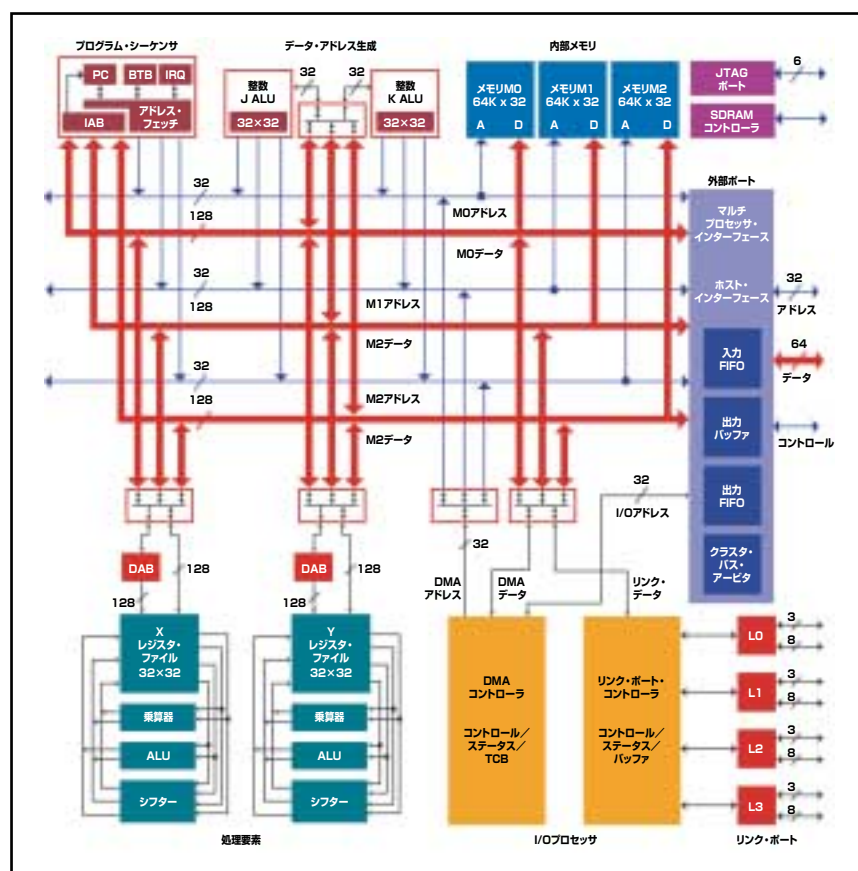
ADSP-TS101S汎用TigerSHARC DSPは、大量のデータ・スループットを必要とする数多くの信号処理アプリケーションをターゲットにし、業界最高の浮動小数点性能を実現します。これらのアプリケーションには、たとえば軍用品、医療機器、工業計測、ソフトウェア定義無線などのワイヤレス・インフラストラクチャ機器や電力に敏感な埋め込み型アプリケーションなどがあります。

アナログ・デバイスは、250MHzのTigerSHARCコア、6MbitのSRAMメモリ、14チャンネルのゼロオーバーヘッドDMAエンジン、1.8Gbyteの総スループットが可能なI/O処理を1つのシリコン上にまとめました。これによって、TigerSHARCは、ワット当たり、価格当たり、シリコン面積当たりのMFLOPSに換算して、クラス最高の性能を発揮します。同じく重要な点は、2種類の統合化されたマルチ・プロセッシングに対応することで（リンク・ポートとクラスタ・バス）、グルーレスな拡張性を実現することです。TigerSHARC DSPは、グローバル・メモリを持つクラス上で最大8つのデバイスをグルーレスにスケールリングできます。4つのオンボード・リンク・ポートで、クラスタの多重処理を補完する高帯域幅のポイントツーポイント接続を可能にします。

TigerSHARC DSPは、1ビット、8ビット、16ビット、32ビットの固定小数点データ型と浮動小数点データ型のネイティブ・サポートを実現する画期的なアーキテクチャを1つのチップ上にまとめています。各データ型は、TigerSHARCを使用するさまざまなアプリケーションの多くにおいて決定的に重要なものです。たとえば、3Gワイヤレス・アプリケーションを考えてみましょう。このアプリケーションでは、拡張された命令セットのほか、複数のデータ型のサポートで、アルゴリズムの条件を満たし、ソフトウェア無線方式を可能にします。3Gベースバンド信号処理に見られるチップ・レートとシンボル・レートのタスクは、TigerSHARC DSPで行うことができます。ベースバンド信号処理に対するソフト・トランシーバ方式により、高価な外部ASICデバイスやFPGAデバイスを必要とする別の方式では達成できない高い柔軟性を提供します。OEMメーカーは、これによって汎用DSPを使用して効率的でフレキシブルなソリューションを提供しながら、システム的大幅なコスト削減を実現できるようになります。

TigerSHARC DSPのグルーレスな拡張性によって、さまざまなプログラムで共通のビルディング・ブロックのみならず、共通のデザイン実装環境も使用できるようになります。現在、TigerSHARC DSPマニュアル式およびVisualDSP++の総合開発ツールを用意しています。これによって、DSPのハードウェアとソフトウェア開発のすべての側面をサポートできます。

TigerSHARC DSPのブロック図



スタティックスーパースカラ・アーキテクチャ

TigerSHARC DSPアーキテクチャは、マイクロプロセッサ設計における最良の結果を組み合わせることによって、リアルタイム・システム用に最高性能のプログラマブルDSPを提供します。

TigerSHARC DSPは、スタティックスーパースカラ・アーキテクチャを採用しています。また、ロード/ストア・アーキテクチャ、分岐予測、インタロックされた大きなレジスタ・ファイルなど、従来のスーパースカラ・プロセッサの多くの特長も取り入れています。各サイクルでは、4つまでの命令を並列に実行できます。「スタティックスーパースカラ」と呼ばれるのは、実行前に命令レベルの並列性が決められ、プログラムにコード化されるためです。

この命令の並列性によって、チャンネル解読、逆拡散、パス検索など、3G関連機能の実行に必要なサイクル・カウントを全体として削減できます。

さらに、TigerSHARC DSPには、2つの計算ブロックの並列使用とシングル・インストラクション・マルチプル・データ (SIMD) 固有の計算を使用することによって、SIMD演算をサポートする機能があります。オプションによって、プログラマは2つの計算ブロックを同じデータに作用させる (ブロードキャスト配信) か、別のデータに作用させる (組み合わせ配信) かを指示できます。

すべてのレジスタがインタロックされるため、実装環境レイテンシに影響されることがない、完全に割り込み可能な、簡単なプログラミング・モデルに対応します。分岐予測は、レイテンシを削減する128ビット・エントリの分岐ターゲット・バッファ (BTB) によってサポートされます。

サイクル当たり8回のMAC処理

ADSP-TS101Sアーキテクチャには2つの計算ブロック (処理ブロックXとY) があり、それぞれに乗算器、ALU、64ビットのシフターがあります。これらのブロック内のリソースを使用すれば、16ビット・データでの8回の40ビットMAC処理、16ビット複素数データでの2回の40ビットMAC処理、32ビット・データでの2回の80ビットMAC処理のいずれかをシングル・サイクルで実行できます。8ビット・データ型では、このアーキテクチャは、サイクル当たり16回の演算を実行します。

TigerSHARC DSPは、レジスタベースのロード/ストア・アーキテクチャで、各計算ブロックは完全に直交する32ワードのレジスタ・ファイルにアクセスします。

TigerSHARC DSPベンチマーク

250MHzでのピーク・レート		
1ビット性能	160億MAC/s	
16ビット性能	20億MAC/s	
32ビット固定小数点性能	5億MAC/s	
32ビット浮動小数点性能	1500MFLOPS	
16ビット・アルゴリズム	250MHzでの実行時間	クロック・サイクル
256ポイント複素数FFT (基数2)	4.4μs	1,100
1024入力での50タップFIR	28.8μs	7,200
シングルFIR MAC	0.56ns	0.14
シングル複素数FIR MAC	2.28ns	0.57
32ビット・アルゴリズム	250MHzでの実行時間	クロック・サイクル
1024ポイント複素数FFT (基数2)	39μs	9,750
1024入力での50タップFIR	110μs	27,500
シングルFIR MAC	2.16ns	0.54
シングル複素数FIR MAC	8.64ns	2.16

メモリ・アーキテクチャ

ADSP-TS101Sは、3つの128ビット幅のバンク内に内部的に編成されたショート・ベクトル・メモリ・アーキテクチャを備えています。クワッド (4ワード、各32ビット)、ロング (2ワード、各32ビット)、およびノーマル・ワードの各アクセスで、演算を行うためにデータをメモリ・バンクからレジスタ・ファイルに転送します。1つのサイクルで、4つの32ビット・インストラクション・ワードを取り出し、256ビットのデータをレジスタ・ファイルにロードしたり、メモリに格納したりできます。1ビット、8ビット、16ビット、32ビットのワード内のデータは、連続したパック・メモリに格納できます。内部と外部のメモリは、統一されたメモリ・マップにまとめられます。プログラムとデータ・メモリとのパーティションは、完全にユーザーが決定できます。データとインストラクションに対する内部メモリ帯域幅は12Gbyte/sです。

統合化されたI/O機能

ADSP-TS101Sは、32ビットまたは64ビットの外部ポート、14チャンネルのDMA (Direct Memory Access) コントローラ、4つの双方向リンク・ポートなど、多くの機能を統合しています。これはすべて、新たな外部グルー・ロジックを使用せずに、卓越したインターフェース機能を提供するための機能です。外部ポートは、ホスト・プロセッサ、オフチップ・メモリ、追加のTigerSHARC、その他のメモリマップド・ペリフェラルへのインターフェースを可能にします。

ADSP-TS101S上のDMAコントローラは、DSPコアに対して不可視の独立した動作をするので、DSPコアがプログラム命令の実行を継続している間に、DMA動作を行うことができます。複数のTigerSHARC DSPを必要とする大規模なアプリケーションでは、特許取得済みの4つの双方向リンク・ポートで、複雑な外部回路を必要とせずにチップ間の直接接続が可能です。

命令セットの概要

ADSP-TS101Sの命令セットは、符号付き、符号なし、小数、整数のデータ型など、すべての算術型に直接対応します。また、すべての場合に対してオプションの飽和 (クリッピング) 演算があります。従来はハードウェアで行われていた機能をソフトウェアベースで実行できるように、特殊な命令もTigerSHARC DSPコアに追加されました。この中には、チップ・レート処理用の特殊な複素数MACインストラクション、チャンネル・デコーディング・アルゴリズム用のAdd, Compare, Select (ACS) インストラクションなどがあります。これらのインストラクションによって、ADSP-TS101Sは、3Gベースバンド信号処理アプリケーションに見られるシンボル・レート処理とチップ・レート処理の両方に対して、DSPの柔軟性とASICの性能とを提供します。

開発ツールとサード・パーティ開発者

TigerSHARC DSPには、アナログ・デバイセズの広範囲にわたるDSPソフトウェアとハードウェアの開発ツール、CROSSCORE™が用意されています。CROSSCOREコンポーネントには、VisualDSP++ソフトウェア開発環境、EZ-KIT Lite™評価システム、迅速なオンチップ・デバッグ用のエミュレータがあります。VisualDSP++は総合的なソフトウェア開発環境で、迅速で簡単な開発、デバッグ、導入を可能にします。エミュレータは、PCIとUSBのホスト・プラットフォームで使用できます。EZ-KIT Lite評価システムを使用すれば、アナログ・デバイセズ社のDSPファミリーの実力を調べてから、アプリケーションの開発を簡単に始めることができます。

TigerSHARC DSPアーキテクチャは、アナログ・デバイセズ社のサード・パーティ・ネットワークDSP Collaborative™によって支援されています。DSP Collaborativeの開発者は、完全に実装されたTigerSHARC DSPデザイン・ハードウェア、アルゴリズム/ソース・コード、参考回路、コンサルタント・サービスなどの製品とサービスを提供して、顧客が製品化に必要とする時間を短縮するために貢献しています。TigerSHARC DSPのサード・パーティ開発者と提供する製品の一覧については、www.analog.com/tigersharcをご覧ください。

TigerSHARC DSPの汎用ツールボックス

すぐに開発を開始できます

ワイヤレス基地局アプリケーションの設計開発サイクルを加速します。現在提供しているのは、DSPコード生成ツール、3Gライブラリ・ソフトウェア、マルチプロセッサ開発ボード、ワイヤレス・アプリケーション開発を促進して製品化に要する時間の短縮に役立つサード・パーティ製品です。

CROSSCORE

CROSSCOREコンポーネントには、VisualDSP++ソフトウェア開発およびデバッグ環境、EZ-KIT Lite評価システム、エミュレータがあります。

TigerSHARC EZ-KIT Lite

ADSP-TS101SのEZ-KIT Liteは、TigerSHARC DSPファミリーの初期評価を行うためのコスト効果の高い方法を開発者に提供します。EZ-KIT Liteは、USBベースのPCホスト型ツール・セットでアーキテクチャの評価を簡単に行うために、デスクトップ評価ボード上の2つのADSP-TS101S DSPと基本的なデバッグ・ソフトウェアを用意しています。EZ-KIT Liteを使用すれば、ユーザーは、アナログ・デバイス社のADSP-TS101Sのハードウェア/ソフトウェアの開発およびプロトタイプ・アプリケーションについて詳しく学ぶことができます。ADSP-TS101S EZ-KIT Liteは、VisualDSP++開発環境の評価スイートに、C/C++コンパイラ、アセンブラ、リンカーを提供します。すべてのソフトウェア・ツールは、EZ-KIT Liteでのみ使用できます。

3G物理レイヤ・ライブラリ・ソフトウェア

TigerSHARC DSP 3Gライブラリは、レイヤ1ベースバンド処理用の機能を完備しています。W B C D M A (3 G P P)、CDMA 2000 (3GPP2)、TDSCDMA規格の最新バージョンがすべてサポートされています。機能は、Cインターフェースを持つ最適化されたTigerSHARCアセンブリ言語とC言語の両方でプログラムされています。IPベース機能用の参考回路もあります。

VHDL/Verilogリンク・ポート・インターフェース・モデル

リンク・ポート・インターフェース・モデルは、TigerSHARCリンク・ポートとXILINX FPGAとのインターフェースをとる場合、FPGAの設計プロセスを簡単にするためのものです。モデルは、IEEE規格のVHDLで記述され、Virtex EとVirtex IIファミリーのデバイスと互換性があります。

マルチプロセッサ・システム分析

TigerSHARC DSPクラスタ・バスのロードと作動周波数のマルチプロセッサ・システム分析は、システム実装のためのガイドラインを提供します。詳細には、設計、終端、レイアウトの推奨事項のほか、ホストとメモリを含めて、8つのTigerSHARC DSPシステムの最大作動周波数が含まれます。

ボード設計の概略図

概略図で、マルチプロセッサ・ボード用のTigerSHARC DSP接続やシステム実装の例を示します。

IBISモデル

I/O Buffer Information Specification (IBIS) モデルが、I/Oの動作モデルとしてADSP-TS101Sに備わっています。これは、TigerSHARC DSPデジタル・システムの伝送ライン・シミュレーションに役立ち、TigerSHARC DSPシステム設計の信号整合性分析を行う、市販のさまざまなシステム・シミュレーション・パッケージで使用できます。

サード・パーティ製品

現在、以下のような業界をリードする企業から、多数のサード・パーティ・ボード・レベル製品、ソフトウェア、エンジニアリング・サービスを利用できます。

- Delphi Communication Systems
- Transtec DSP
- Bittware
- Toracomm
- PA Consulting Group
- Enea OSE Systems
- Plexus

本 社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

www.analog.com/tigersharc



DSP SOLUTIONS THAT MAKE YOUR
DESIGN CHALLENGE EASIER™