

**水晶振動子の微小な並列容量を容量デジタル・コンバータで測定してみる（前編）**
**マエフリとして $\Sigma \Delta$ ADコンバータの動作を理解する**
**著者：石井 聡**
**はじめに**

最近、ちょっとした家庭菜園にハマっています。妻がもともと花壇（花卉；かき）園芸用に購入してあった「セル・トレイ [1]」（図 1）を見つけ、「これを使って何か『食物』を生産してみよう」という下賤な思いつきがそのスタートでした。菜園生産機材のほとんど [ビニール・ポット（黒いビニールの育苗用鉢）、簡易ハウス、培養土、肥料] は、妻が使っている花壇園芸用具のお古を使っています（汗）。

最初はすぐに答えが出るだろう（食卓に登らせられるだろう）「ラディッシュ（二十日大根）」の種からスタートしました。なおセル・トレイを使った種から育成する手法以外にも、ホームセンターに売っていた苗も購入して育てています。電子回路はマイクロ・セック、ナノ・セック、デジタル回路ではピコ・セックのオーダーですが、育苗は「数日」～「数週間」の世界です。この時間的オーダーの違いをなかなか乗り越えられません（笑）。数時間間隔で苗の様子を再確認しても、当然のことながら変化は認識できません…（笑）。

一回目の播種 [2]（「はしゅ」。種を蒔くこと…。とはいえセル・トレイの十数セルに蒔くだけなので、ホントたいしたことはありませんが）の結果は「今一つ」でした。ネットの情報による知識強化も含めながら（ノウハウも増えてきます）複数回の播種を行うことで、だんだんと育苗が安定してきます。セルごとのラディッシュの苗の生育度が均一になってくるのですね。

これに気をよくして、つづいてレタス、フレッシュ・バジル、イタリアン・パセリ、スペアミントの播種にチャレンジしてみました（図 2）。レタスは数日で芽を出して、苗それぞれも生育度合いが均一に成長していきます。しかし、フレッシュ・バジル、イタリアン・パセリ、スペアミント（それぞれハーブ）がなかなか芽を出さない…。ネットで調べるとレタスは数日で発芽するけれども、これらのハーブは発芽までに 2 週間程度を要するとのこと。さすがにこの WEB ラボで記事として掲載されるころには結果が判明し、複数のノウハウも蓄積されているところでしょうが（ぼちぼち出てきました！^o^）、現時点では「一体、どうなることやら」とヤキモキしています。

なお、これ以外にも「トウモロコシ」なるものまでも手を出しました（笑）。図 3 は播種 3 回めのトウモロコシの苗のようすです（少数の種を複数回、時期をずらして播種・育苗することで、シーケンシャルな収穫を実現するという、これもまた猿知恵）。このトウモロコシにおいては、残念ながら苗それぞれの生育度合いが均一になっていません。3 回めでノウハウが蓄積してきているだろう頃ですが、まだまだ育苗に関する知識や手入りが不足しているのでしょうか。なかなか自然を相手にするのも難しいです（電子回路も物理 = 自然であるわけですが…）。

ここまで出てきたラディッシュさん、レタスさん、ハーブさん、そしてトウモロコシさん、それらを播種したセル・トレイ



図 1. 72 穴と 128 穴のセル・トレイ



図 2. レタス、フレッシュ・バジル、イタリアン・パセリ、スペアミントを播種したセル・トレイ。しかしレタス（一番右）しか発芽していない（汗）



図 3. セル・トレイで生育中のトウモロコシの苗。生育度合いが均一ではない…（これまた…汗）

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
 ©2023 Analog Devices, Inc. All rights reserved.

Rev. 0

## アナログ電子回路技術ノート

TNJ-097

を前にして、「こいつら、育成度合いが均一ではないということは、まるで人間と同じだな」と独り思う新米ガーデニストがありました(笑)。

## 水晶振動子の微小な並列容量を測定してみたい

さて、今回は(も!)、ここまでのマエフリと本題は全くもって関係ありません(笑)。ということで、「閑話休題」として本題に移ってまいりましょう。

今回から3回つづくWEBラボは、「水晶振動子の微小な並列容量を測定してみたい」と思い立ったことから、そこで使用するICの原理の紹介、実験などをしてみたいとお話します。

水晶振動子の等価電子回路パラメータの話については、次々に説明したいと思います。その等価パラメータは幾分複雑であることから、簡易的な測定器では測定できません。本来であればクリスタル・インピーダンス・メータ (Crystal Impedance Meter; CIメータ) という測定器が必要です。しかしそのようなモノは手持ちがありませんので、ここでは水晶振動子の「並列容量」を測定することで、それをとっかかりとして各等価素子それぞれのパラメータを得る方法をご紹介します。

とはいえ、その並列容量は非常に微小 (1pF から数 pF のオーダ) であることから、それだけでも測定はタイヘンです。そこでここでは、アナログ・デバイゼスの容量測定 IC、AD7150 という容量デジタル・コンバータ (Capacitance to Digital Converter, CDC) を用いてみたいと思います。以降では CDC という用語を用いて述べていきたいと思っています。

まずは  $\Sigma \Delta$  AD コンバータの基本構成を理解するCDC AD7150 は  $\Sigma \Delta$  AD コンバータ

CDC の動作は、 $\Sigma \Delta$  AD コンバータ ( $\Sigma \Delta$  = シグマ・デルタ。以降は AD コンバータを ADC として表記します) の動作とほぼ同じです。なおこの方式を「 $\Delta \Sigma$ 方式」と呼ぶ場合もありますが、アナログ・デバイゼスでは「 $\Sigma \Delta$ 方式」と呼んでいます。実際はどちらも同じものです。

$\Sigma \Delta$  ADC では入力電圧 (直流電圧が多いといえるでしょう) ですが、CDC の入力は「容量」になります。容量値を  $\Sigma \Delta$  変調器を用いて 1 ビット・データのシリアル・ビット列に変えて、それをデジタル・フィルタで平滑することで複数ビット ( $\Sigma \Delta$  ADC では 16 ビットから 24 ビット程度。AD7150 では有効ビット数 12 ビット) の AD 変換値、つまり容量の測定デジタル値を得るようになります。

ここでは CDC の動作を理解するために、まずは  $\Sigma \Delta$  ADC の動作を理解してみましよう。ここでの説明では「 $\Sigma$ 変換」が出てきます。ちょうど前回の WEB ラボの技術ノート [3]でも  $\Sigma$ 変換の基本的な考え方を説明しました。今回の技術ノートのこれ以降での説明順序としては非常によいというか、 $\Sigma$ 変換の解説が理解の呼び水の知識になってくれれば幸いです。

 $\Sigma \Delta$  AD コンバータのしくみを納得しよう

一般的に  $\Sigma \Delta$  ADC は分解能が高く、16 ビットから 24 ビット分解能の高分解能レンジを担当します。そのためセンサの信号検出などに最適といえます。この高分解能を可能にする  $\Sigma \Delta$  ADC は、1 ビット・データ (シリアル・ビット列) 出力で動作する ADC ですが、「ノイズ・シェーピング技術」というものでその高分解能を実現しています。ここではこのノイズ・シェーピングについて、複数の視点からその仕組みを解きほぐしてみます。 $\Sigma \Delta$  ADC が 1 ビット・データ出力を基本として動作しているにもかかわらず、なぜ高い分解能と SNR (Signal to Noise Ratio; 信号対ノイズ比) が実現できるのか納得できるでしょう。

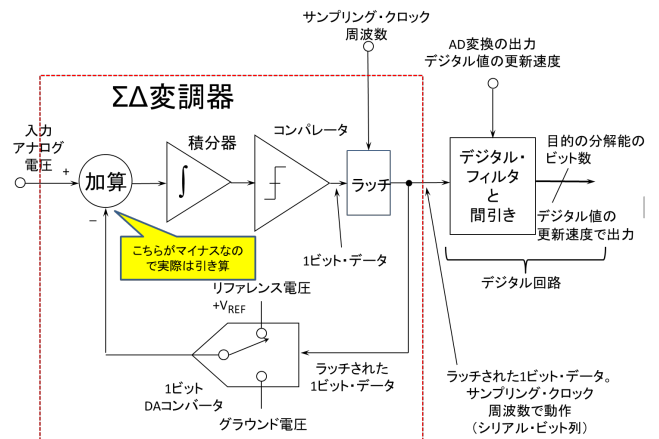


図 4.  $\Sigma \Delta$  ADC のブロック図。  $\Sigma \Delta$  変調器とデジタル回路から成り立っている

高分解能を実現する  $\Sigma \Delta$  技術の基本的な構成「前段は  $\Sigma \Delta$  変調器、後段はデジタル・フィルタと間引き」

図 4 に  $\Sigma \Delta$  ADC のブロック図を示します。前段が  $\Sigma \Delta$  変調器、後段がデジタル・フィルタと間引き (デジタル回路) から成り立っています。 $\Sigma \Delta$  変調器は入力をコンパレータで 2 値化するので、「1 ビットの ADC」と考えられます。次回の実験で使用するアナログ・デバイゼスの  $\Sigma \Delta$  ADC AD7401 は、この  $\Sigma \Delta$  変調器の部分のみに相当し、図 4 の後段のデジタル・フィルタと間引きは、AD7401 の後段に別置する FPGA など処理します。

この技術ノートでは帰還回路が 1 経路となる、一番基本的な「1 次」の  $\Sigma \Delta$  変調器を解説します。AD7401 の  $\Sigma \Delta$  変調器は 2 次構成、さらには 5 次など高次の帰還経路をもった  $\Sigma \Delta$  変調器も  $\Sigma \Delta$  ADC で用いられています。とはいえ基本的には 1 次変調器の構成を理解できれば十分です。

1 次  $\Sigma \Delta$  変調器の構成

1 次  $\Sigma \Delta$  変調器は入力アナログ電圧 (入力信号) が、帰還経路となる 1 ビット DA コンバータ (以降「DAC」と呼びます) の電圧と引き算されます。それが積分器を経由して、コンパレータで 2 値化され、1 ビット・データ (1 ビット情報) としてラッチされ、 $\Sigma \Delta$  変調器からデジタル情報として出力される構成になっています。

またこのラッチされた 1 ビット・データ ( $\Sigma \Delta$  変調器出力) は帰還経路にもフィードバックされ、1 ビット DAC の出力電圧設定情報になります。

この構造により、サンプリングで発生する量子化誤差電圧 (量子化ノイズ。詳しくは後述) のエネルギーを「高い周波数に押しやる」という動作を実現できます。これを「ノイズ・シェーピング」といいます (日本語でいうと「雑音整形/雑音成形」)。今回の技術ノートではこのうごきを詳しく述べていきます。

## 後段のデジタル・フィルタによる量子化ノイズ低減

任意の入力アナログ電圧レベルにおいて、1 ビット ADC と考えられる  $\Sigma \Delta$  変調器から 1 回のサンプリングで得られた、1 ビット・データはほとんど意味を持ちません。多数のサンプル値を平均したときこそ、その値が意味を持ちます。そこで図 4 のように、後段のデジタル・フィルタにより LPF (Low Pass Filter) ・平均化処理を行い、ノイズ・シェーピングで高い周波数に押しやられた余分な量子化ノイズ成分を低減させます。

このデジタル LPF には 2 値の 1 ビット・シリアル・データ列が入力されます。目的の分解能が 16 ビットであれば、この 2 値の

1 ビットを 16 ビット以上にビット幅に広げて（ビット拡張して）、そのビット幅精度でデジタル・フィルタ演算します。デジタル LPF で 16 ビットの分解能を作り込むわけです。

その結果、入力アナログ電圧量が目的の 16 ビット分解能のデジタル値（AD 変換された値）として取り出せるようになります。さらにこの結果は「間引き処理」され、サンプリング・クロック周波数より遅い更新速度で（設定によって異なりますが、たとえば 16, 128, 1024 サンプルに 1 回などで）出力されます。間引き処理を「デシメーション」ともいいます。

このように  $\Sigma \Delta$  ADC は「高速なサンプリング・クロック +  $\Sigma \Delta$  変調動作」が一つめの肝（キモ）、もうひとつの肝がその後段の「デジタル LPF とデシメーション」なのです。

## 1 次 $\Sigma \Delta$ 変調器のノイズ・シェーピングのしくみをそのうごきから理解する

$\Sigma \Delta$  変調器はサンプリング・クロック周波数（次回、実験で用いている AD7401 では最大 20MHz）のレートで  $\Sigma \Delta$  変調動作をおこないます。

$\Sigma \Delta$  変調器は 2 値（H / L に相当するデジタル値）の出力しかない 1 ビット ADC です。1 回のサンプリングで得られた 2 値のデジタル値（ここでは H をリファレンス電圧 + VREF [V]、L を 0 [V] と考えます）と入力アナログ電圧量との差が量子化誤差電圧になります。これが量子化ノイズです。ノイズ・シェーピングはこの量子化ノイズのエネルギーを、高い周波数側に押しやるように動作するものです。

そういう私もノイズ・シェーピングの解説を 30 年くらい前に、とある技術雑誌で見たとき、なんど読んでも理解できませんでした（多分筆者自身が理解していなかったと思われる…）。そんなトラウマから、この技術ノートではこのノイズ・シェーピングを「複数の視点から」分かりやすく解説していきたいと思えます。

### 実際にシミュレーションで $\Sigma \Delta$ 変調器の動作を確認

それでは実際にノイズ・シェーピングが動作するようすを LTspice のシミュレーションで確認してみます。ここではリファレンス電圧を 2V、サンプリング・クロック周波数を 1kHz とし、16 回サンプリング・クロックが入り（ $\Sigma \Delta$  変調が行われ）、16 個のシリアル・ビット列が得られるものとしています。

これを図 5 に示します。入力電圧は 3 種類、0.50V（リファレンス電圧の 1/4）、1.00V（同 1/2）、1.50V（同 3/4）としています。それぞれ上が積分器出力、下がシリアル・ビット列です。

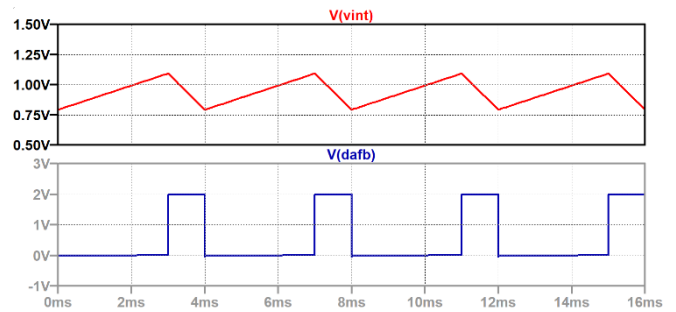
H をリファレンス電圧 + VREF [V]、L を 0 [V] とし、この 16 個のシリアル・ビット列の「平均値」を計算してみると、入力電圧の大きさになります。

入力電圧がリファレンス電圧 + VREF（ここでは 2V）に近い場合、シリアル・ビット列内の H の数は L の数より多くなっています。グラウンド電圧に近い入力電圧の場合は、L の数が H の数より多くなっています。

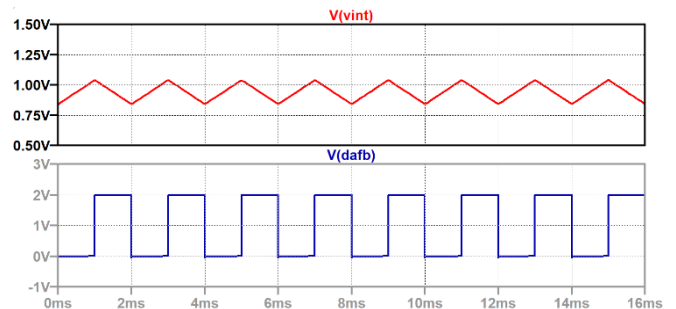
### ビット列を周波数スペクトルで考えると高い周波数の方にノイズが押しやられている

得られた 16 個のシリアル・ビット列は、状態が変化しています（実際の  $\Sigma \Delta$  変調器ではランダムに近い変化になっている）。この 16 ビット列を「信号電圧」として考えると、予想されることとして、この 16 ビット列の周波数スペクトルは、

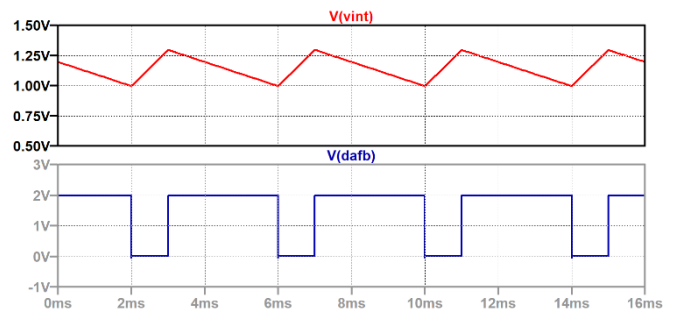
- ① 広い周波数範囲に広がっており、
- ② それも高い周波数成分が存在し、
- ③ 直流成分が入力アナログ電圧に相当する



(a) 入力電圧が 0.50V（リファレンス電圧の 1/4）の場合



(b) 入力電圧が 1.00V（リファレンス電圧の 1/2）の場合



(c) 入力電圧が 1.50V（リファレンス電圧の 3/4）の場合

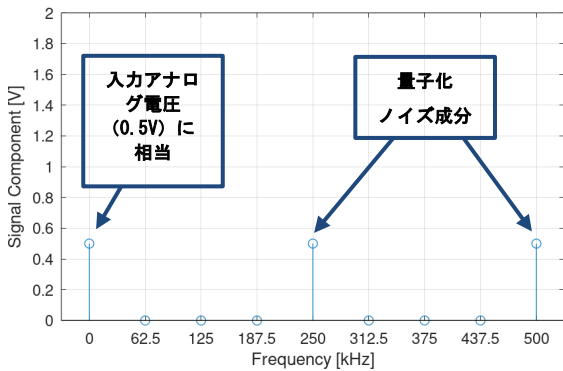
図 5.  $\Sigma \Delta$  変調器の動作をシミュレーションしてみた（リファレンス電圧 2V、サンプリング・クロック周波数 1kHz、サンプリング数 16 回。上側の波形は積分器出力、下側の波形はコンパレータ後のラッチ出力）

ということが考えられます。これを実際に見てみましょう。

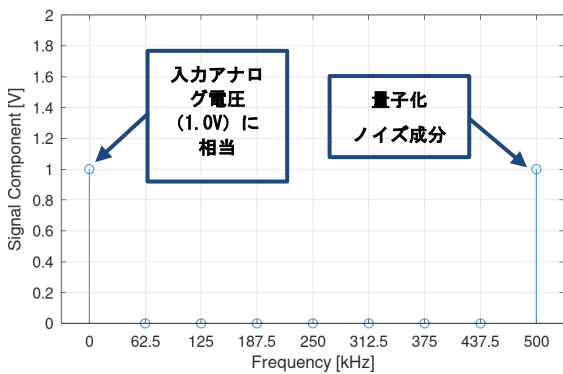
図 6 に図 5(a)~(c)それぞれの 16 ビット列を、16 ポイント FFT (Fast Fourier Transform; 高速フーリエ変換) で周波数スペクトルとしたものを示します。サンプリング周波数は 1kHz です。入力アナログ電圧は直流であり、同図の直流（一番左）のところにその電圧成分が得られています。直流以外の周波数のスペクトルは「量子化ノイズ成分」だと考えられます。高い周波数側に量子化ノイズ成分が押しやられているようにも見えます。

繰り返しになりますが、ここまでで得られたことは以下の 2 点に集約できます。

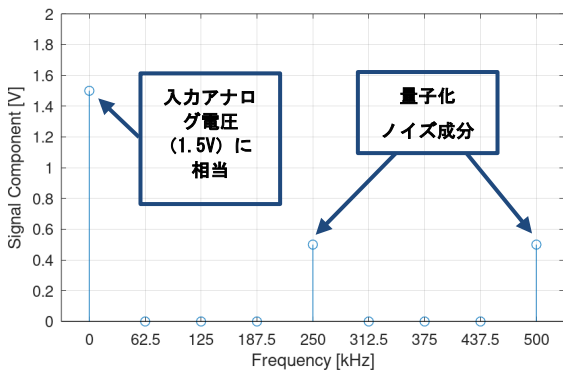
- ① 16 ビット列の平均値は入力電圧の大きさに近い値になっている
- ② 周波数スペクトルで見ると量子化ノイズ成分は高い周波数側に押しやられている



(a) 入力電圧が 0.50V (リファレンス電圧の 1/4) の場合



(b) 入力電圧が 1.00V (リファレンス電圧の 1/2) の場合



(c) 入力電圧が 1.50V (リファレンス電圧の 3/4) の場合

図 6.  $\Sigma \Delta$  変調器から得られたシリアル・ビット列を信号電圧として周波数スペクトルで考えてみる。高い周波数側にノイズが押しやられている (16 ポイント FFT した結果のうち、折り返し部分の 9 ポイント目、500Hz まで表示させている)

### 1 次 $\Sigma \Delta$ 変調器のノイズ・シェーピングのしくみを数式から理解する

ここまで  $\Sigma \Delta$  ADC のノイズ・シェーピングのしくみを、どちらかというイメージ的に示してきました。つづいてここでは、このしくみを数式で考えてみましょう。

図 4 の 1 次  $\Sigma \Delta$  変調器の部分だけをブロック図として取り出したものが、図 7 の上の図です。積分器からの出力電圧  $T$  が、コンパレータで 2 値化された (量子化された) 電圧  $u$  になるとき、この差電圧  $Q$

$$Q = u - T \quad (1)$$

を「量子化ノイズ  $Q$ 」として考えます。アナログ電圧  $T$  が 2 値化された電圧  $u$  に変換されるとき、その差分 (誤差)  $Q$  が量子化ノイズになります。

この関係から、ラッチに加わる電圧  $u$  (2 値化された電圧) は、 $T$  に対して量子化ノイズ  $Q$  が足しあわされたものとして、同図下のように表すことができます。ラッチ出力  $Y$  (後段のデジタル LPF に送られるもの) も 2 値化された電圧で、デジタル論理の H/L の 1 ビット・データに相当します。

そうするとこの図 7 の下のブロックは、ブロック線図として考えると、図 8 のように変形することができます。

量子化ノイズ  $Q$  は単なる誤差量ですから、量子化ノイズ  $Q$  が足しあわされるようすは、後段にラッチを配置してもしなくても同じです (加わるノイズのタイミングが 1 サンプルずれるだけ)。そうすれば図 8 は、図 9 のように  $Q$  のラッチを省略することができます。

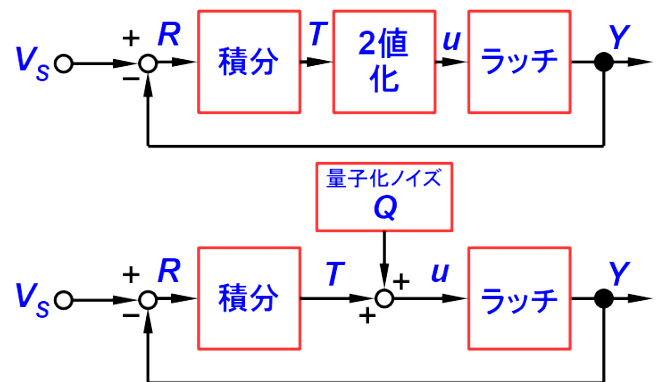


図 7. 1 次  $\Sigma \Delta$  変調器をブロック図にすると、2 値化は量子化ノイズを加算した動作に相当する

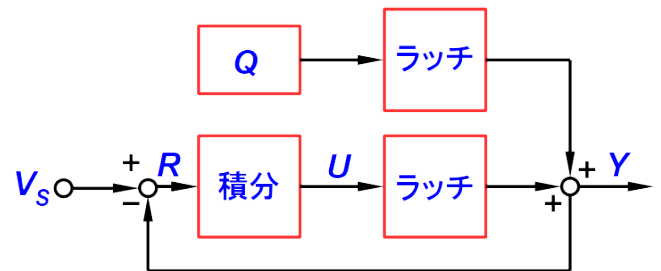


図 8. 図 7 はブロック線図で考えるとこのように変形できる

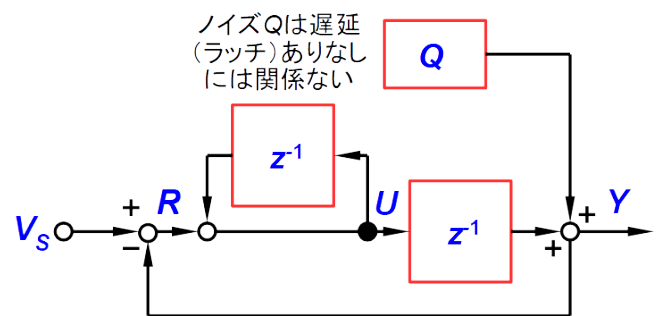


図 9. 積分回路部分をデジタル回路だと想定し  $z$  変換で表してみる

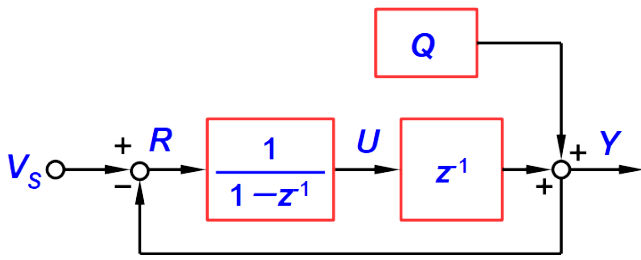


図 10.  $z$ 変換で表わされたフィードバックとなる部分は  
このように変形できる

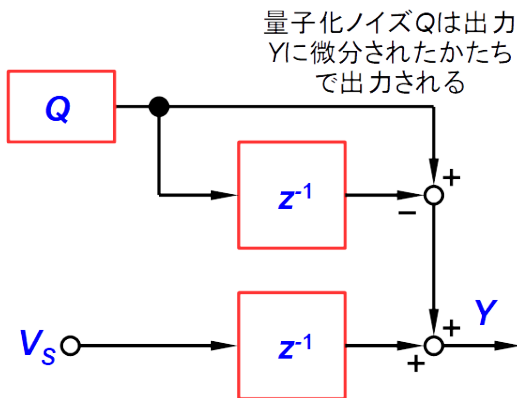


図 11. 計算結果から得られるブロック線図

またさらに図 9 では図 8 の積分を  $z$  変換で表しています。「 $z$  変換」とか  $z^{-1}$  とかいうと、なんだか難しそうだと思うかもしれませんが、単にデジタルのラッチにより 1 クロック遅延させるだけのイメージで、その点だけ理解しておけばほぼ十分です。

ここで注目すべき点は、図 8 でアナログ積分回路だったものが、図 9 では  $z^{-1}$  でループ（フィードバック）となるデジタル回路になっていることです。この部分は図 8 で考えれば  $R$  を時間積分し  $U$  として出力するアナログ回路に相当し、図 9 でデジタル回路として考えれば、 $R$  として入ってきた数値（本来は AD 変換する前のアナログ値ですが、デジタル値になっているとして）を、1 サンプル前の時間の数値  $U$  と足し算し、新しい数値  $U$  を出力する回路になります。「アナログ」と「デジタル」という考え方の違いはありますが、図 8 と図 9 は「等価」です。

さらに図 9 のフィードバックとなる部分は

$$U = R + z^{-1}U \quad (2)$$

$$U - z^{-1}U = (1 - z^{-1})U = R \quad (3)$$

$$U = \frac{1}{1 - z^{-1}}R \quad (4)$$

として変形できることから、図 10 のように表すことができます。 $z^{-1}U$  で 1 サンプル前の数値に相当します。図 10 のブロック線図を数式で表してみましょう。 $U, R, Y, Q, V_S$  の関係は

$$U = R + z^{-1}U \quad (2) \text{再掲}$$

$$U = \frac{1}{1 - z^{-1}}R \quad (4) \text{再掲}$$

$$Y = Uz^{-1} + Q \quad (5)$$

$$R = V_S - Y \quad (6)$$

です。 $Y$  の式 [式(5)] に  $U$  の式 [式(4)] を代入し

$$Y = \frac{1}{1 - z^{-1}}Rz^{-1} + Q \quad (7)$$

$$Y - Q = \frac{1}{1 - z^{-1}}Rz^{-1} \quad (8)$$

ここに  $R$  の式 [式(6)] を代入し、 $Y$  を求める式に整理します。

$$Y - Q = \frac{1}{1 - z^{-1}}(V_S - Y)z^{-1}$$

$$(Y - Q)(1 - z^{-1}) = (V_S - Y)z^{-1}$$

$$(Y - Q) - (Y - Q)z^{-1} = (V_S - Y)z^{-1}$$

$$Y - Q - Yz^{-1} + Qz^{-1} = V_Sz^{-1} - Yz^{-1}$$

$$Y - Q + Qz^{-1} = V_Sz^{-1}$$

$$Y = V_Sz^{-1} + (1 - z^{-1})Q \quad (9)$$

ここで赤の部分は相互に消しあう関係です（式を追いやすいように変形を全て記載しました）。こうするとこの式によるブロック線図は、図 11 のように表すことができます。

入力電圧  $V_S$  と出力  $Y$  との関係（信号伝達関数  $H_S$ ）を式で表すと

$$H_S = \frac{Y}{V_S} = z^{-1} \quad (10)$$

となり、信号源  $V_S$ （本来は AD 変換する前のアナログ値ですが、デジタル値になっているとして）が 1 サンプル遅れて出力  $Y$  に現れる「素通し」の系になります。ここには量子化ノイズ  $Q$  の成分はありません。つまり**分解能に依存しない真の値を得ることができる**わけです。

いっぽう量子化ノイズ  $Q$  と出力  $Y$  との関係（量子化ノイズ伝達関数  $H_Q$ ）は

$$H_Q = \frac{Y}{Q} = 1 - z^{-1} \quad (11)$$

となり、直接の  $Q$  とその 1 サンプル遅れたぶんが引き算されます。これは「微分回路」と考えられ、低い周波数で出力  $Y$  は  $Q$  の大きさが小さくなる、キャンセルされる動作だと分かります。 $Q$  が固定だと出力  $Y$  に出てくる値がゼロになることは、式からも直観的にも理解できるでしょう。

2 次や、より高次の  $\Sigma \Delta$  変調器では、この量子化ノイズ伝達関数  $H_Q$  の式が、その次数  $n$  でべき乗となるのですが、話しが難しくなりますし、基本的なうごきとしてはこの 1 次の場合と同じなので、1 次  $\Sigma \Delta$  変調器のしくみが理解できていれば実用上は十分です。

### 次回は…

今回は CDC の動作を理解する前段として、CDC の原理的動作と同じである  $\Sigma \Delta$  ADC の基本動作、「ノイズ・シェーピング」について解説してみました。 $z$  変換を用いてそのうごきを解析していくと、非常に明確な関係になっていることが数式上で分かりました。

次回以降ではこのノイズ・シェーピングの動作を実際に観測し、数式との関係を考え、本題の CDC での水晶振動子の測定に入っていきたいと思っています。

### さいごに

最初に「家庭菜園」のネタをご紹介しました。ネット情報をいろいろとサーチしてみると、植物栽培では「土壌の pH を適切に管理する必要性」があることが分かりました。「はて、一体、現在の土壌の pH はいくつだろうか？」と図 12 に示すような pH センサを購入しました。その結果は pH  $\approx$  7 程度であり、中性であることが分かりました。中性であることが分かったところでこの pH センサも早速使わなくなってしまいます…

それでも「そうだ、WEB ラボにこの pH センサの動作原理と製作と実験でも執筆してみるか！」と思いつきました。そこで pH

センサの動作原理についてネットで調べてみると「ガラス電極法」[4, 5]という方法（湿式）があるようです。しかし購入した pH センサはニードル棒の途中にテフロンらしき絶縁物で上下の 2 電極を絶縁している乾式です。pH=7 付近しか測定できない簡易的な（抵抗値測定法による）測定器だったようです。値段も安いし、当然（仕方ない）かなあと…。



図 12. 購入した pH センサ

### 参考文献

- [1] セル・トレイ, Wikipedia, <https://ja.wikipedia.org/wiki/セル・トレイ>
- [2] 播種, Wikipedia, <https://ja.wikipedia.org/wiki/播種>
- [3] 石井 聡; アナログ・フィルタの伝達関数をデジタル・フィルタに変換する「双一次変換」とは, TNJ-096, 回路設計 WEB ラボ, アナログ・デバイセス
- [4] 横河電機; ガラス電極による pH 測定の原理について, <https://www.yokogawa.co.jp/library/resources/faqs/an-ph-orp-03-measurement-principle/>
- [5] 堀場製作所; ガラス電極による pH 測定——ガラス電極法の原理, <https://www.horiba.com/jpn/water-quality/support/electrochemistry/the-basis-of-ph/measuring-ph-using-a-glass-electrode/>