

第 4 章

OP アンプの保護

Walt Jung, Walt Kester, James Bryant, Joe Buxton, Wes Freeman / 訳：北村 透, 石井 聡

OP アンプやその他のアナログ IC では、入出力端子に加わる過電圧に耐えるために保護回路を必要とします。これらの IC は比較的壊れやすいので、このような保護回路が必要となるのです。普通の信号では問題がなくとも、定格を越える過渡電圧が印加される用途や、取り扱い上の問題がある場合には特別な考慮が必要です。過渡電圧には、以下の 2 種類があります。一つは、回路の動作中に回路内で発生する過渡電圧です。もう一つは、回路ではなく取り扱い上の問題で、メーカから部品の供給を受けてから、IC の実装や組み立てを行うまでに発生します。

どちらの場合も回路設計者が IC の入力（そして恐らく出力も）の異常電流を制限しないと、過電圧で IC は壊れてしまうか劣化してしまいます。したがって、回路設計者は保護を必要とする IC 内部の異常発生メカニズムを完全に理解しなければなりません。そうすれば、アンプの速度や精度などを犠牲にすることなく、製品寿命にわたり回路を保護するために必要な回路網を設計することができます。あるいは無通電状態の IC を、安全に最終出荷地に届けるための輸送上の要求事項や手順を定めることができます。

本章では、通電/無通電状態を問わず、OP アンプやその他のアナログ IC を保護するための種々の回路や方法について検討します。

4-1 通電時の過電圧保護回路

動作中（通電状態）の OP アンプやその他のアナログ IC の入力には、いろいろなストレスが加わります。これらの IC には外部回路から、絶対最大定格を越える電圧が印加されることがあります。たとえばセンサは、故障時にきわめて危険な高電圧にさらされる可能性のある場所に設置されています。これらのセンサに接続された信号処理アンプの入力には、故障時には高い電圧が加わることが予想されます。

●一般的な同相入力電圧の制限

電源 OFF の状態であっても、OP アンプの同相入力電圧 (V_{CM}) が電源電圧を越えると、OP アンプは壊れることがあります。そのため、ほとんどの OP アンプの絶対最大定格入力電圧は、OP アンプの正負の電圧から 0.3 V 越えた電圧に設定されています ($+V_S + 0.3\text{ V} \sim -V_S - 0.3\text{ V}$)。このルールが適用されない OP アンプも存在しますが、一般的な OP アンプは入力電圧が電源電圧から 0.3 V を越えるとき、入力保護回路が必要となります。

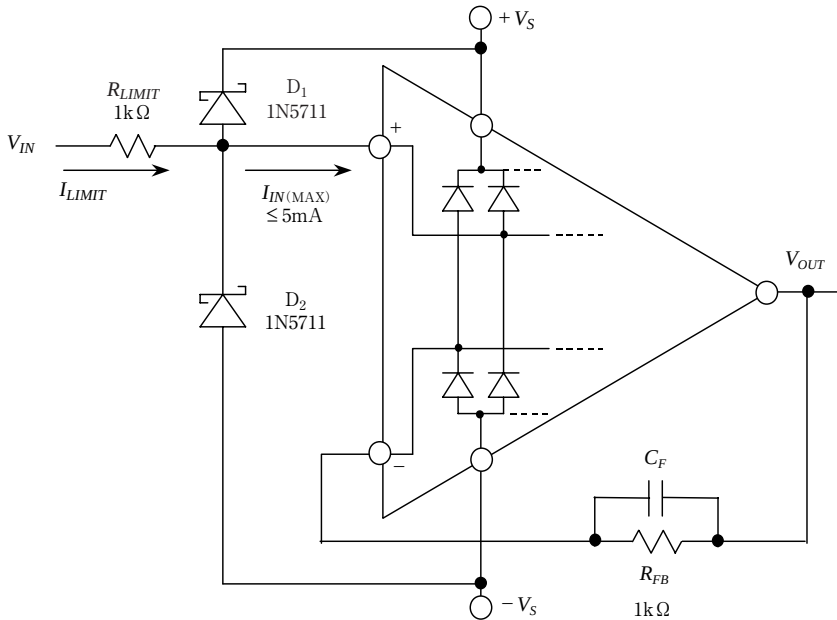
OP アンプの同相入力電圧を、常に電源電圧の範囲に保てば安全です。ここでいう安全とは IC が壊れないことを意味します。後で述べますが、いくつかの種類の OP アンプは電源電圧の範囲内であっても、危険なふるまいを引き起こす電圧範囲が存在します (必ずしも破壊モードではない)。

一般的に、正負の電源電圧を大きく越えた電圧を加えると OP アンプの入力部は破壊されます。この破壊モードでは、大電流が制限されずに流れるために危険です。破壊電圧は個々の OP アンプの入力回路に依存します。その値は、ダイオードの順方向電圧である 0.6 V か、あるいはプロセスに依存した 50 V 程度 (場合によってはそれ以上) の電圧となります。この破壊モードでは過電圧により 100 mA を越える電流が流れ、ほとんど瞬時的に IC が壊れてしまいます。データシートに特段な記載がないかぎり、OP アンプを保護するためには異常時の最大入力電流を 5 mA 以下に抑える必要があります。これは、標準的な OP アンプのアルミ配線を考慮した古典的な指標です。大電流はメタル配線のマイグレーションを引き起こし、繰り返し大電流が流れるとその影響は積算され、最後には配線が断線します (エレクトロマイグレーション)。

マイグレーションは繰り返し印加される過電圧が原因で発生するため、システムが出荷されてしばらく時間が経過したあとに不良が発生し、故障原因を特定するのが大変難しいものです。アンプ入力に短時間 5 mA 以上の電流を流しても問題がなかったとしても、長期的な信頼性を確保するためには電流を 5 mA 以下 (可能なかぎり少ない電流) に制限しなければなりません。

図 4-1 に、外部回路を使用した汎用 OP アンプの同相電圧保護回路を示します。この回路は、ショットキー・バリア・ダイオード D_1 、 D_2 により電圧制限をし、電流制限用抵抗 R_{LIMIT} により過電流を制限しています。適切な部品を選択すれば、この回路はほとんどの OP アンプの入力保護回路として利用できます。図のように、OP アンプの内部入力回路には両電源に向かって内部保護ダイオードが接続されており、このダイオードは正電源電圧から 0.6 V の順方向電圧あるいは負電源電圧から 0.6 V 低い電圧で導通します。しかしこの回路では、外部のショットキー・バリア・ダイオードのほうが並列接続された内部保護ダイオードより先に導通するため、内部保護ダイオードに電流が流れることはありません。異常電流を外部回路に迂回させれば内部回路にストレスが加わる可能性はなくなり、

〈図 4-1〉ショットキー・バリア・ダイオードによる過電圧クランプと電流制限抵抗を使用する一般的な OP アンプ用のコモンモード過電圧の保護回路



OP アンプを保護することができます。

外部ダイオードを使用すると、時には明白でないにしろ設計の自由度を高めることができます。たとえば、OP アンプに流れる異常電流は、 V_{IN} の最悪値でも R_{LIMIT} により 5 mA 以下になるように設計しなければなりません。この基準を満たすために R_{LIMIT} の値を大きくすると、設計上で許容できない大きなノイズやオフセット電圧が発生してしまいます。具体的には、 V_{IN} の最大値を 100 V とした場合、5 mA に電流を制限しようとする R_{LIMIT} は 20 kΩ 以上でなければなりません。しかし、外部にクランプ・ダイオードを付加していれば、 R_{LIMIT} は D_1 、 D_2 の最大許容電流 (5 mA よりも多い) を満足する低い抵抗値に設定することができます。ただし、ショットキー・バリア・ダイオードにあまり大きな電流を流すと、順方向電圧降下が 0.6 V を越えてしまい、内部ダイオードを順バイアスする可能性があるので注意してください。

ノイズやオフセット電圧を最小にするためには、 R_{LIMIT} の値はできるだけ小さくしなければなりません。OP アンプの入力に直列に接続された R_{LIMIT} の両端には、バイアス電流に比例した電圧降下が発生します。この電圧を補正しなければ、回路のオフセット電圧誤差が増加します。したがって、バイアス電流が中程度で正負の入力でほぼ等しい OP ア

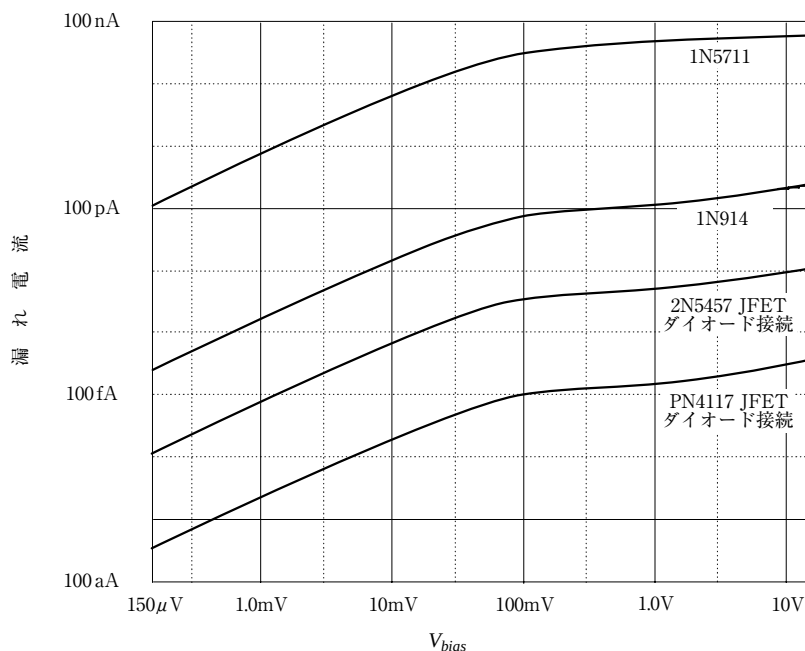
ンプ(ほとんどのバイポーラ・タイプのアンプが該当する)を利用する場合は、補正抵抗 R_{FB} でDCオフセットをキャンセルし、不要な誤差を減らします。バイアス電流の小さなOPアンプ(FET入力か I_b が10 nA以下のOPアンプ)の場合には R_{FB} は不要です。 R_{FB} で発生するノイズを最小にするため、 C_F で電流をバイパスします。

● クランプ・ダイオードの漏れ電流

OPアンプの入力に接続する保護用クランプ・ダイオードの漏れ電流は、アプリケーションのバイアス・レベルに影響を与えない程度に十分小さな値でなければなりません。

図4-2に数種類の一般的なダイオードの漏れ電流特性を、逆バイアス電圧 V_{bias} の関数として示します。この図は25℃におけるPSpiceシミュレーション値であり、ダイオードの種類の差だけでなく、逆バイアス電圧の差による変化もグラフから読み取ることができます。たとえば、1N5711ショットキー・バリア・ダイオードの場合、±15V電源を使用したOPアンプ回路の代表的な逆バイアス電圧15Vにおいて、約100 nAの逆バイアス電流が流れます。入力バイアス電流が数 μ Aと大きなOPアンプを除いて、このような漏れ電流は許容されません。さらに低いバイアス電流のOPアンプ(特にほとんどのFET入

〈図4-2〉クランプ用として使用されるダイオードの漏れ電流特性(PSpiceシミュレーション)



力アンプ)の保護回路では、漏れ電流をさらに低くする必要があります。

図4-2からわかるように、漏れ電流を減らすためにはダイオードの選択だけでなく、低いバイアス電圧で動作させることが重要です。たとえば、1N914や1N4148は、15Vで200 pAの漏れ電流が流れますが、バイアス電圧を1 mVにできれば1 pA程度まで漏れ電流を減らすことができます。しかし、ここに落とし穴があるので注意してください。高インピーダンス・クランプ回路において、1N914や1N4148のようなガラス封止ダイオードを利用するときは、遮光するか、光を透さないタイプのパッケージを選択する必要があります。周囲光により発生した光電電流は、ダイオードの漏れ電流と同じような影響を与えるからです。

FETをダイオード接続すると、低い漏れ電流の保護ダイオードとして利用することもできます[参考文献(2)のDPADシリーズを参照のこと]。図4-2の2N5457は汎用JFETであり、2N4117/PN4117ファミリは低漏れ電流用に特別に設計されています。そのほかの低漏れ電流ダイオードは参考文献(3)および(4)に示されています。

●応用の広いボルテージ・フォロワ保護回路

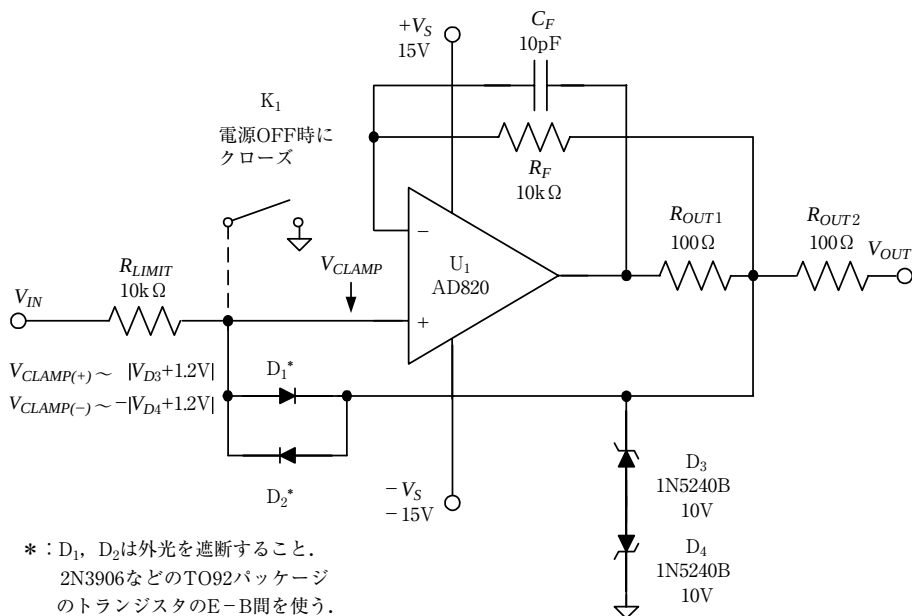
ダイオードのバイアス電圧を数mVに保ちながら、OPアンプの入力をクランプ回路で保護するのは簡単なことではありません。

図4-3に、通電/非通電に関わらず機能する、FET入力OPアンプを使ったボルテージ・フォロワ用の入出力保護回路、つまり低漏れ電流入力クランプ回路を示します。

図中のいくつかのダイオードを無視すると、この回路は出力電流が制限されたボルテージ・フォロワ回路です。D₁-D₂は入力の過電圧保護回路、D₃-D₄は出力電圧の制限回路です。直列接続された出力のツェナー・ダイオードが導通しない範囲では、この回路は高精度ボルテージ・フォロワ回路として動作します。通常のボルテージ・フォロワとしての動作状態、つまり入出力電圧 $< |V_Z + 0.6| V$ (ここで V_Z はD₃、D₄のツェナー電圧)の範囲では、D₁-D₂に印加される電圧は、U₁のオフセット電圧とコモンモード誤差電圧を合算した値です。その結果、FET入力OPアンプの入力バイアス電流と同じ程度のpAレベルまでにD₁-D₂の漏れ電流を抑えることができます。ボブ・ピーズが述べているように[参考文献(3)、(4)]、光電効果を避けるためにD₁-D₂には2N3906などの光を透さないパッケージのものを選択しなければなりません。1N914のようなガラス封止品を採用するならば遮光が必要です。どちらの場合でも、ブートストラップ回路によって、D₁-D₂の漏れ電流をかなり減らすことができます。

入出力電圧が $|V_Z + 0.6| V$ を越える範囲では、ツェナー・ダイオードD₃-D₄はONします。この結果、出力端子 V_{OUT} とともに、D₁-D₂を通じてノード V_{CLAMP} もクランプされます。OPアンプの入力端子電圧は、正負どちらの場合でも図に記載された V_{CLAMP}

〈図4-3〉ダイオード D_1 - D_2 をブートストラップすることで、クランプ・レベルを設定するとともに漏れ電流を無視できるレベルに低減できる



電圧に制限されます。このようにに制限された状態では入力電圧 V_{IN} は U_1 の電源電圧を越えることがありますが、 R_{LIMIT} によって電流が制限されるために U_1 は保護されます。入力電圧が非常に高い場合（たとえば 100 V 以上）では、 R_{LIMIT} は 1 ~ 2 W の耐電力のもの（あるいはヒューズ抵抗）にしなければなりません。

この回路は、クランプ回路網がブートストラップされているために極めて優れた DC 特性を示します。その結果、 V_{CLAMP} 電圧に達しない範囲では、入出力誤差が非常に小さくなります（もちろん OP アンプ自体の特性に依存する）。ブートストラップは AC 特性も改善し、信号源から見た D_1 - D_2 の見かけ上の容量も減少します。 D_3 - D_4 のもつ 100 pF 程度の接合容量は、利用する OP アンプの種類によっては問題となりますが、この負荷効果を軽減するために、アイソレーション抵抗 R_{OUT1} と帰還容量 C_F を接続しています。 R_{OUT1} と R_{OUT2} はどちらも OP アンプの出力保護用です。

入力電圧のクランプ・レベルは、ツェナー電圧 V_Z を選択することにより自由に設定することができます。図中に示すように、クランプ電圧（ツェナー電圧 + 1.2 V）は入力信号の最大電圧より大きくなければなりません、電源電圧以上であってはなりません。図の例では 10 V $\pm$ 5 % のツェナー・ダイオードを利用しているので、入力電圧は代表値で

11.2 V でクランプされ、 ± 10 V の信号を十分に扱うことが可能です。

上記の動作は、回路が通電状態のときにのみ適用できるものです。非通電状態では、 $D_1 \sim D_4$ はすでに述べたように電圧を制限しますが、 U_1 の入力と出力に電源電圧以上の電圧が加わる可能性があります。

U_1 の種類によってはこの状態は極めて危険です。その場合、 V_{CLAMP} 点にリレーを接続することにより、非通電時に安全な電圧で制限を加えることができます。通電時にリレー接点が開放、非通電時に接続されるノーマリ・クローズのリレー接点を利用します。ここで U_1 に FET 入力 OP アンプを使用する際には、pA レベルの漏れ電流とするために、プリント基板のパターン設計に十分な注意を払う必要があります。

4-2 CMOS チャネル保護素子を利用した同相過電圧保護回路

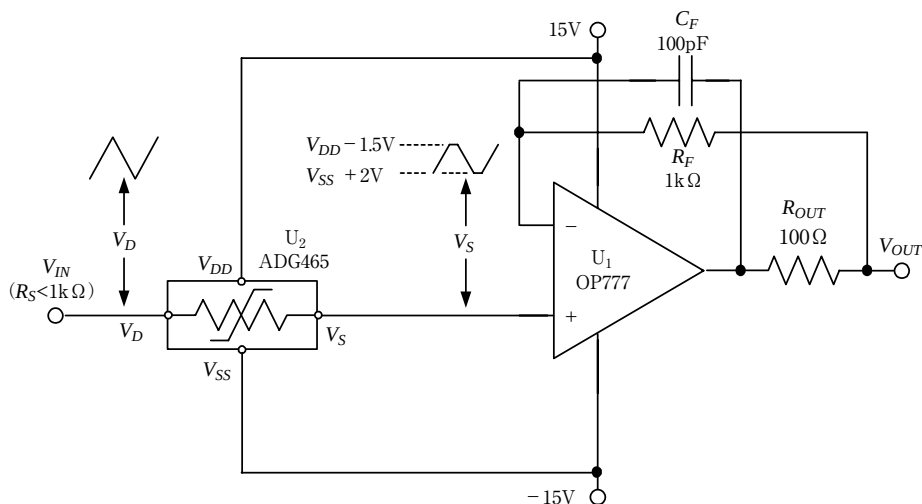
もっと簡単に過電圧保護を行うには、CMOS チャネル保護素子を使うという方法があります。CMOS チャネル保護素子は、OP アンプの入力部などの信号経路に直列に接続します。CMOS チャネル保護素子は、異常状態で抵抗値が高くなり、回路を保護します。この素子は、通電/非通電にかかわらず過渡電圧から回路素子を保護することができるという大変優れたものです。代表的なものとして ADG465/ADG466/ADG467 が挙げられ、それぞれ 1 チャネル、3 チャネル、8 チャネル入りです。この素子は通電/非通電にかかわらず保護が可能なので、過電圧が入力に常に加わる恐れがある場合や電源電圧の投入順序が確定しない用途に最適です。例としては、通電状態のままラックにボード実装をするような場合があげられます。

図 4-4 に、CMOS チャネル保護素子を利用した高精度バッファの過電圧保護回路を示します。 U_1 に OP777 を使った OP アンプ・バッファ回路の入力を、 U_2 の ADG465 で保護しています。

通常の動作状態（保護を必要としない状態）では、チャネル保護素子は $60\ \Omega \sim 80\ \Omega$ の直列抵抗として動作します。複数の PMOS FET と NMOS FET が直列に接続された構造をもつチャネル保護素子は、端子電圧 V_D によってその抵抗値が変化します。 V_D が閾値内にあるとき、つまり $(V_{SS} + 2\text{ V}) < V_D < (V_{DD} - 1.5\text{ V})$ では通常の動作をします。アナログ信号入力がこの値を越えると、つまり $(V_{SS} + 2\text{ V}) \sim (V_{DD} - 1.5\text{ V})$ の範囲を越えると MOSFET のチャネル抵抗が増加し、スイッチ OFF の状態となります。図 4-4 に示すように、 V_S の出力は $(V_{SS} + 2\text{ V})$ 、あるいは $(V_{DD} - 1.5\text{ V})$ で制限されます。

チャネル保護素子は過電圧発生時または電源 OFF 時に、回路と信号源の双方を保護する点が優れています。ここでは $\pm 15\text{ V}$ 電源を利用した OP アンプ回路例を示しましたが、チャネル保護素子は 40 V までの電源で動作します。チャネル保護素子は通電時に $(V_{SS} -$

〈図4-4〉チャンネル保護素子 ADG465 を使えば電源の ON/OFF にかかわらず高精度バッファの保護が容易



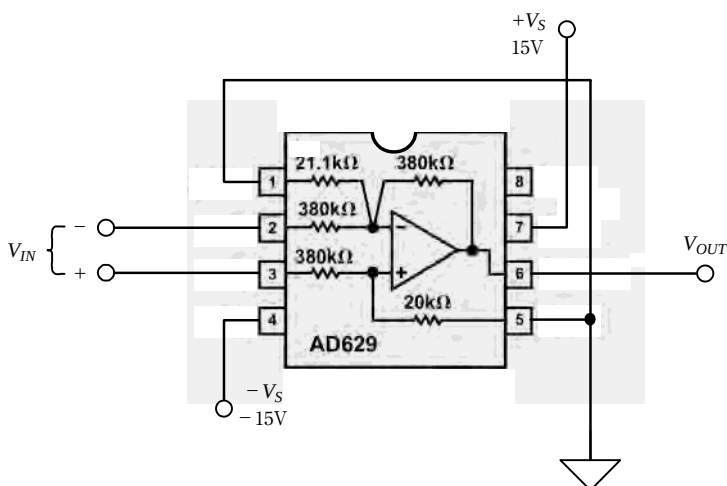
20 V) $\sim (V_{DD} + 20 V)$ の過電圧に耐えます (図の回路では $\pm 35 V$ まで)。非通電時 ($V_{DD} = V_{SS} = 0V$) は $\pm 35 V$ まで耐えることができます。室温における漏れ電流は $1 nA$ なので、入力バイアス電流が数 nA の OP アンプや計装アンプの保護回路に適しています。

ここで紹介した ADG46x シリーズのチャンネル保護素子の類似品として、ADG508F/509F や ADG438F/439F などのような過電圧保護回路機能を内蔵したマルチプレクサがあります。チャンネル保護素子や過電圧保護回路機能内蔵マルチプレクサは低消費電流で、保護動作時であっても消費電流は数 μA レベルです。過電圧保護回路機能内蔵マルチプレクサの利点はチャンネル間の影響がないことで、たとえば一つのチャンネルに過電圧が加わっても、残りのチャンネルは正常に機能します。

●同相電圧耐入力の高い計装アンプを利用した同相過電圧保護回路

一番簡単なアナログ入力過電圧保護回路は、高精度 OP アンプの前に抵抗減衰器 (アッテネータ) を実装することです。 $\pm 270 V$ までの同相電圧に重畳された信号を処理できる AD629 のような高耐圧計装アンプは、この方式をとっています。チップ上に形成された抵抗が $\pm 500 V$ の同相電圧と差動電圧に耐えることは、高電圧保護回路として大きな利点です。図4-5 に示したレーザ・トリム薄膜高精度抵抗ネットワークと高精度 OP アンプを組み合わせたこのデバイスは、素晴らしい特性を示します。

〈図 4-5〉高電圧計装アンプ AD629 は単一のデバイスとして $\pm 500\text{ V}$ の入力過電圧に電源 OFF 時にも対応する



この回路はまず、AD629 内の高精度 OP アンプ周囲の抵抗ネットワークで、入力に加わったコモンモード電圧を $1/20$ に分圧しています。また、AD629 は差動入力信号 V_{IN} をゲイン 1 で接地電位を基準としたシングルエンド信号に変換しています。ゲイン・エラーは $0.03 \sim 0.05\%$ 以下で、オフセット電圧は $0.5 \sim 1\text{ mV}$ 以下です（デバイスのグレードによる）。AD629 は電源電圧 $\pm 2.5\text{ V} \sim \pm 18\text{ V}$ で動作します。

このような特性から AD629 は、外部から加わる高電圧に対してアナログ回路を保護する単一デバイスで構成された簡単な回路であることを理解いただけるでしょう。

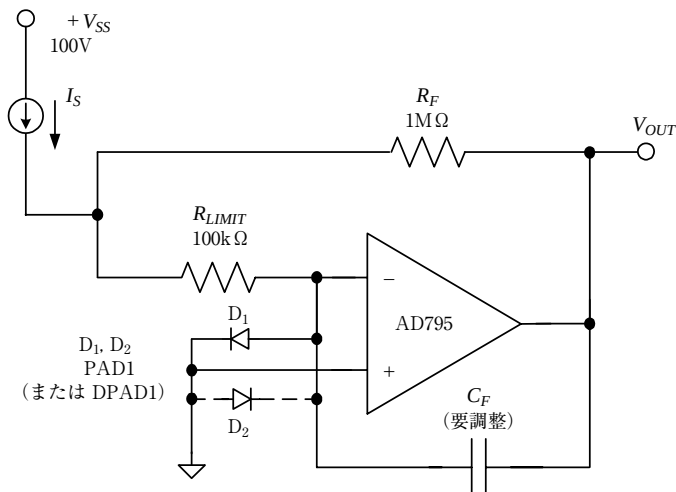
AD629 は比較的高い値の抵抗を使用しているために、電源電圧が印加されていないときでも入力電流が制限され、保護回路は有効に働きます。さらに、計装アンプは同相信号除去比に優れ（ 500 Hz において 86 dB 以上）、直流精度がよく、極性反転機能を備えています。反対に欠点に目を向けると、低ゲイン構成の OP03 などと比較すると、AD629 の出力ノイズやドリフトはやや大きいと言えます。この原因は、高い抵抗値が発生するジョーンソン・ノイズとノイズ・ゲインの大きな回路構成（21 倍）です。この回路構成が、OP アンプのノイズとドリフト、そして抵抗によるノイズを通常の回路より大きくしています。もちろん、このノイズとドリフトが問題となるかどうかは、個々のアプリケーションで検討すべき問題です。

●反転回路を利用した保護回路

いままで述べてきた一般的な同相過電圧保護回路が利用できない特殊な場合もあります。その一例が、図4-6に示した低バイアス電流FET入力OPアンプを利用した I - V 変換回路です。

この回路は、バイアス電流が1 pAのAD795を利用した高精度反転増幅回路です。図の回路では、100 Vという高電圧の V_{SS} から定電流信号が作られています。このような場合、OPアンプの電源電圧範囲外の高電圧電源から、OPアンプの最大許容電流を越える電流が流れる可能性があります。この過大電流を避けるために、帰還回路内に保護抵抗 R_{LIMIT} と保護クランプ・ダイオード D_1 (D_2)を接続します。通常の動作(I_S が10 μ A以下)では、 R_{LIMIT} 両端にはほとんど電圧が発生しませんから、OPアンプの反転入力端子はほぼグラウンド電位です。このとき、 I - V 変換回路のゲインは R_F によって設定できます。保護動作時は、特別にリーク電流が少ない D_1 がOPアンプの反転入力端子の電位を0.6 V以下に制限します。 R_{LIMIT} の値は保護動作時に1 mA以下となるように選択します。制限ダイオード D_1 (D_2)を図のようにブートストラップすると通常動作時の反転入力端子電圧はほぼグラウンド電位となり、その結果、ダイオードのリーク電流は最小となります(図4-2を参照)。高電圧電源が図のように単極性であれば正方向のクランプ・ダイオードだけで足ります。この回路に利用するダイオードは、PAD1(両極ならばDPAD1)のようにリーク電流が1 pA以下の低リーク・ダイオードでなければなりません。すでに述べたよ

〈図4-6〉 R_{LIMIT} と D_1 による過電圧保護回路を付加した低バイアス電流FET OPアンプによる I - V 変換回路



うに、ここで利用する電流制限ダイオードは外部の光による光電効果を避けるために遮光されたダイオード(あるいは光を透さないパッケージ)でなければなりません。このような注意をしても、ダイオードにより入力電流と並列容量が増加するので、周波数特性にピークを生じないように位相補償用コンデンサ C_F が必要となるでしょう。この C_F も漏れ電流の低いコンデンサでなければなりません。AD795 のような低入力バイアス電流 OP アンプでは、保護用内部ダイオードを他の OP アンプのように大きくすることができません。そのため、AD795 は他の一般的なデバイスよりも静電気に弱いので、ESD に対する十分な注意が必要です。

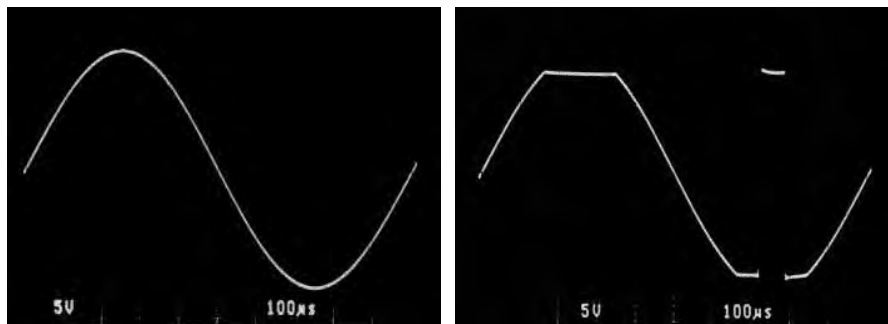
4-3 アンプ出力電圧の位相反転(フェイズ・リバーサル)

すでに示唆されているように、電源電圧範囲内であっても特異な同相電圧で問題が発生する OP アンプもあります。このようなデバイスでは、入力が電源電圧の範囲内であっても保護されるとはかぎりません。入力に対して安定な出力を得るためには、入力が規定された同相電圧範囲内であることが必要となります。

特定の OP アンプに発生するこの現象は、出力電圧の位相反転(フェイズ・リバーサル)と呼ばれています。この現象は、入力電圧が OP アンプの許容入力同相電圧範囲を越えたときに発生します。片方の電源電圧いっぱいの入力が加わってもこの現象は起きませんが、逆極性の電源電圧近くの同相電圧範囲を越えると問題が発生します。一般に、この問題は負電圧側で発生します。位相反転は、JFET や BiFET アンプでよく問題となりますが、いくつかの単電源バイポーラ OP アンプで発生することもあります。

写真 4-1 にこの現象を示します。図の左側にオーバードライブしたボルテージ・フォロワ入力を示し、右側に位相反転を起こした出力を示します。

位相反転が発生する仕組みは OP アンプの品種ごとに異なりますが、入力回路のある部分で発生する出力位相の一時的な反転が原因です。このような状態では、入力の立ち下がり(写真 4-1 左)が同相電圧範囲を越えると、出力はそれ以上は負方向に振れません(写真 4-1 右)。その代わりに、入出力の関係は逆位相となり、出力は突然スパイク波形のように「正」出力となります。この出力位相反転はラッチ状態ではなく、入力の同相入力電圧が範囲内に戻ってくれば出力は再び正常な状態となり、正常な入力信号に追従します。写真 4-1 でも出力反転で発生したスパイクが収まったあと、出力は入力正弦波に追従しています。ほとんどの用途で、出力位相反転は OP アンプ自身や OP アンプを利用した回路にとって問題とはなりません。ある程度のゲインをもたせた非反転増幅回路であれば、入力同相電圧は小さく、出力位相反転が発生する同相電圧に到達しないので、出力位相反転は発生しません。



〈写真 4-1〉JFET 入力 OP アンプにおけるオーバードライブ波形 (左) と出力で位相反転した波形 (右)

反転増幅回路では同相入力電圧が変化することがないので、出力位相反転は発生しません。多くの OP アンプ (古い品種に多い) は位相反転の問題を抱えていますが、システム・デザイン上の問題となることは少ないといえます。

しかしながら、位相反転が発生するアンプがサーボ・ループに利用された場合、問題となる同相電圧範囲を越えると破滅的な結果を引き起こし、大事故につながることもあります。したがって、先に確認試験を行っておくべきです。

●出力位相反転確認試験

出力位相反転特性は常にデータシートに記載されているとは限らないので、この特性について事前に試験をすることは有益です。この試験は以下のような方法で簡単に実行することができます。信号源インピーダンス (R_{LIMIT}) を $1\text{ k}\Omega$ 以下として、ボルテージ・フォロウ構成にした被測定対象 OP アンプを駆動します。 R_{LIMIT} を $1\text{ k}\Omega$ から $100\text{ k}\Omega$ まで可変できるようにしておくとう便利です。

抵抗値を低く ($1\text{ k}\Omega$) 設定し、出力を観測しながら駆動電圧をゆっくりと電源電圧に近づけます。出力反転が発生する OP アンプならば、ある同相電圧を越えると出力は突然反転します (写真 4-1 の右側参照)。出力位相反転の発生しない OP アンプならば、デバイスが出力しうる最大電圧で制限されます。出力反転が発生しない OP アンプの一覧があると便利ですね。このようなデバイスの一例として AD8610 が挙げられます。

この試験を行ううえで、気を付けなければならない点がいくつかあります。信号発生器に直列接続された電流制限抵抗がなく、なおかつ信号発生器の信号源インピーダンスが低いと (または信号振幅が大きいと) 被供試体 OP アンプの内部回路を壊す危険性があるので注意しましょう。

適当な R_{LIMIT} 値を設定すると、素直な特性の OP アンプはオーバードライブしたときに両極ともにスムーズな出力制限波形を示します。このような素直な特性は一般的に、正出力(波形の立ち上がり)側で得られます(写真 4-1 右側)。

●出力位相反転の解決方法

OP アンプの製造メーカーが、出力位相反転を発生させないために必要な抵抗 R_{LIMIT} の値を提示しているとはかぎりません。しかし、その抵抗値は、上記の方法をとれば実験的に求めることができます。通常、出力位相反転を防止するために必要な抵抗 R_{LIMIT} は、同相電圧制限用ダイオードに流れる異常電流の値を安全な範囲に制限します。その値が不確かならば、1 k Ω から試験をするとよいでしょう。

一般的に FET 入力 OP アンプは直列電流制限抵抗だけで十分ですが、バイポーラ入力 OP アンプは直列電流制限抵抗とショットキー・バリヤ・ダイオード(図 4-1 の R_{LIMIT} , D_1 , D_2) を併用したほうがよいでしょう。出力位相反転についてさらに詳しく知りたければ、参考文献(7) および(8)を参照してください。表 4-1 に、出力位相反転に関するキーポイントをまとめておきました。

これまでに述べてきた同相電圧の制限回路を利用して、出力位相反転が発生しない電圧範囲内に同相電圧を制限すれば出力位相反転は回避できます。たとえば図 4-3 の回路では、負電圧制限電圧 $V_{CLAMP(-)}$ が、電源電圧が -15 V のときの代表的な同相電圧制限である -11 V を越えないため、FET 入力 OP アンプの出力位相反転を防ぐことができます。

ここまでに述べた過大電圧から回路を保護する方法は、実際に使用する OP アンプと最終的な応用回路と環境条件下で、妥当性の確認を行う必要があります。【北村記】

〈表 4-1〉FET 入力とバイポーラ入力 OP アンプの出力反転を防ぐ方法の要約

- ・入力電圧が同相電圧の限界値を越えると出力が反転する(反転は保持されない)
- ・FET アンプやバイポーラ(単電源) OP アンプで発生することがある
- ・IC を壊すことはないが、サーボ・システムでは極めて危険
- ・通常はデータシートに規定がないため事前調査が必要
- ・以下の方法で簡単に防げる
 - すべてのアンプ：クランプ回路、あるいは他の方法で同相電圧を制限する
 - BiFET：直列入力抵抗 R_{LIMIT} を接続する
 - バイポーラ： R_{LIMIT} とショットキー・バリヤ・ダイオードを入力-電源間に接続する

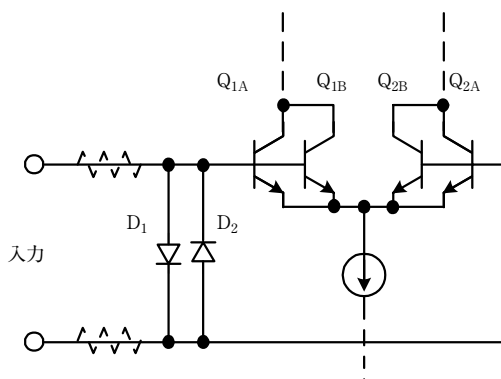
4-4 差動電圧入力からの保護

ここまでは、同相電圧の過電圧状態について詳しく説明してきました。同相過電圧での動作状態は、ICの入力段の構造であるPN接合を順方向にバイアスする形になります。その過電圧保護と比べて、同じくらい重要な別の問題点として、差動電圧による過電圧があります。そのような差動過電圧がOPアンプに印加された場合は、動作特性の性能劣化を引き起こしてしまいます。

性能劣化は、差動過電圧状態のもとで発生する、PN接合の逆方向降伏（ブレイクダウン）によりもたらされます。これは入力段における、もう一つの好まざる状態にあたります。しかし、このPN接合の逆方向降伏の場合は、もともと見つけにくい問題だともいえます。説明のため図4-7に、OPアンプの入力段の回路の一部を示します。

この回路はOP27などの低雑音OPアンプに対して適用でき、差動ペアの低雑音バイポーラ・トランジスタ Q_1 - Q_2 をもつその他の一般的な多くのOPアンプに対しても同様です。保護用ダイオードがない場合は、二つの入力端子間に7V以上の電圧がかかった場合、 Q_1 か Q_2 のどちらかのトランジスタに逆方向降伏を発生させてしまいます（ Q_1 か Q_2 かは電圧の極性による）。注意すべきことは、エミッター・ベース間の降伏の場合、それが小さな逆方向電流であっても、トランジスタのゲインとノイズ特性の両方を悪化させてしまうことです〔文献(6)を参照〕。エミッター・ベース間の降伏が回復したあとも、OPアンプのバイアス電流やノイズ特性などのパラメータは規格から外れてしまったままとなるでしょう。これは、一般に永久的な影響を与える障害となり、特に過渡現象により引き起こされた場合などは少しずつ徐々に進行します。これらの理由から、事実上すべてのローノイズOPアンプでは、NPN型/PNP型にかかわらず、入力端子の間に D_1 - D_2 などの保護ダイオード

〈図4-7〉 D_1 - D_2 による差動入力過大電圧保護回路のついたOPアンプの入力段



が付加されています。これらのダイオードは $\pm 0.6\text{ V}$ を越える電圧が印加された場合に導通し（それらをバイパスさせ）、入力段のトランジスタを保護します。

図に点線で示された直列抵抗は電流制限器（保護ダイオード自体を保護するため）として機能しますが、すべての場合に使われるというものでもありません。たとえば、AD797はこれらの抵抗を内蔵していません。それは、 $1\text{ nV}/\sqrt{\text{Hz}}$ しかないOPアンプのノイズ性能を低下させてしまうという単純な理由からです。これらの抵抗が内部で付加されておらず、一方で差動過電圧状態が発生する危険性がある場合には、なんらかの電流制限回路が外部に必要となります。明らかにこれらはトレードオフの関係であり、回路の過電圧保護を完全なものとするためには、ノイズ性能の低下を受け入れて、保護に重きをおくという判断をしなければなりません。なお、アプリケーションによってはOPアンプ入力端子に十分な抵抗値が使用されるので、その場合はとくに抵抗を追加する必要はありません。

ローノイズ・バイポーラ入力段のOPアンプを使う場合には、そのデバイスのデータシートによって、内部保護回路の有無を最初に確認してください。 Q_1 - Q_2 のエミッタ・ベース間降伏が絶対に発生しないようにするためには、保護ダイオード D_1 - D_2 を付加しなくてはなりません（OPアンプ内部に保護回路がない場合）。もし実使用回路において、 5 V よりも大きい差動過電圧がOPアンプに入力される可能性がある場合、保護ダイオードが必要です。普通の低容量ダイオード、たとえば1N4148ファミリなどが良いでしょう。ダイオードの電流を安全なレベルに制限するために、必要に応じて電流制限抵抗を付加すればよいでしょう。

他のICのPN接合部、たとえばベース-コレクタ間とかJFETのゲート-ソース間の接合部の場合は、降伏状態でも同様の性能劣化は示しません。ただしそのためには、入力電流を 5 mA 以下に制限しなければなりません（データシートに異なる値が記載されている場合は除く）。

●計装アンプを過電圧から保護する

過電圧保護の観点からいえば、計装アンプとOPアンプは多くの点で似ています。OPアンプと同様に、計装アンプの絶対最大定格を、同相/差動入力電圧の両方の状況についてよく考えなくてはなりません。

図4-8は計装アンプAD620の入力部を非常に簡略化した回路で、保護用素子をともなった差動入力トランジスタ回路になっています。

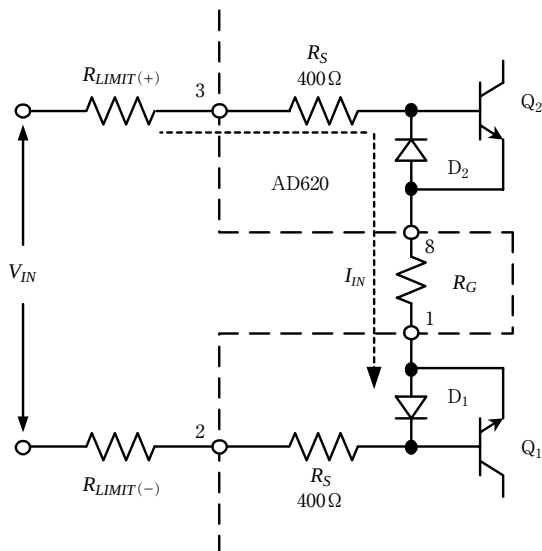
AD620だけに言える重要な点は、このIC内部の $400\ \Omega$ の保護抵抗 R_S は薄膜型抵抗であるということです。そのため、これらの抵抗 R_S はICのサブストレートに対して、ダイオードのようにふるまう（拡散により形成された抵抗で起きるように）ことはありません。

このことから、実際には抵抗 R_S の入力側 (2ピンと3ピン) は、電源電圧より高い (もしくは低い) 電圧まで変化させることができます。異常な差動電流は、2個の入力抵抗 R_S と外部のゲイン設定抵抗 R_G の組み合わせにより制限されます。過度の同相電圧を加えられた場合は、抵抗 R_S により電流が制限されます。

さらに細かく見ると、入力トランジスタの Q_1 と Q_2 には、逆方向降伏を避けるために、それぞれのベース-エミッタ接合の間に保護ダイオード D_1 と D_2 が入っています。したがって差動電圧に関しては、異常電流 I_{IN} は、外部抵抗 R_{LIMIT} (それがあつた場合)、内部抵抗 R_S 、ゲイン設定抵抗 R_G 、そして二つのダイオード (Q_2 , D_1) へと流れることがわかります。AD620を使用した回路構成では、 R_G の値はゲインに反比例し、最悪の場合 (最小の抵抗値) は R_G が $49.9\ \Omega$ のときで、ゲインは最大の1000となります。したがって、経路全体の最小直列抵抗値は約 $850\ \Omega$ になります。

AD620については、同相/差動入力電圧のどのような組み合わせでも、異常入力電流を最大20 mAに制限するように、入力電圧を制限しなければなりません。差動電圧17 Vで最小抵抗値 $850\ \Omega$ の場合に、この電流レベル (20 mA) になります。プラス/マイナス両方の電源電圧を越える同相電圧については、図4-8には示されていない内部ダイオードが導通し、 R_S のIC内部側の端子において、印加された入力電圧レベルを効果的に $+V_S$ かー

〈図4-8〉計装アンプAD620の入力端子は保護のため内部に D_1 - D_2 と直列抵抗をもつ (外部に保護回路を付加することも可能)



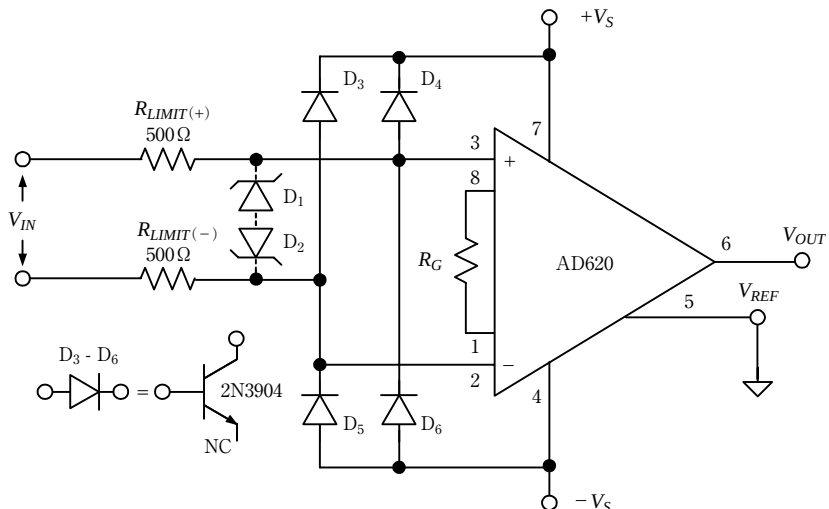
V_S にクランプします。この同相過電圧状態では、 R_S の400 Ω と電源電圧を越えた電圧値によって電流レベルが決定します。例をあげれば、 V_{IN} が23 Vで+ V_S が15 Vであった場合、8 Vが R_S 両端にかかり、20 mAの電流値となります。より高い異常電圧に対しては、抵抗 R_{LIMIT} を付加することで異常電流を20 mA以下に維持でき、そのような高い電圧も取り扱うことができます。

AD620のような計装アンプの電圧保護用の外部回路（一般化したもの）を図4-9に示します。

この回路では、低リークのダイオード $D_3 \sim D_6$ が同相電圧クランプ用として使われています。計装アンプのバイアス電流はほんの1 nA前後であり（AD620の場合）、低リーク・タイプのダイオードが必須になります。この回路構成からわかるように、この方式ではダイオードに対するブートストラップは実現することができません。

注意すべき点として、ダイオードは基本的に低リークであるだけではなく、想定される最大温度においても低リークを維持できることが必要になります。これには、FETタイプのダイオード（図4-2参照）か、トランジスタのコレクタ・ベース間を利用するタイプのダイオードのどちらかがお勧めです。抵抗 R_{LIMIT} は、異常状態におけるダイオードの最大電流を制限するように定数を選びます。さらに補助的な差動電圧保護として、バック・ツー・バック接続した2個のツェナー・ダイオードか、TransZorbsクランプ[参考文献(19)参照]

〈図4-9〉AD620などの計装アンプ用の一般的なダイオード保護回路は、 $D_3 \sim D_6$ を同相電圧クランプ用に、抵抗 R_{LIMIT} を保護のために用いる



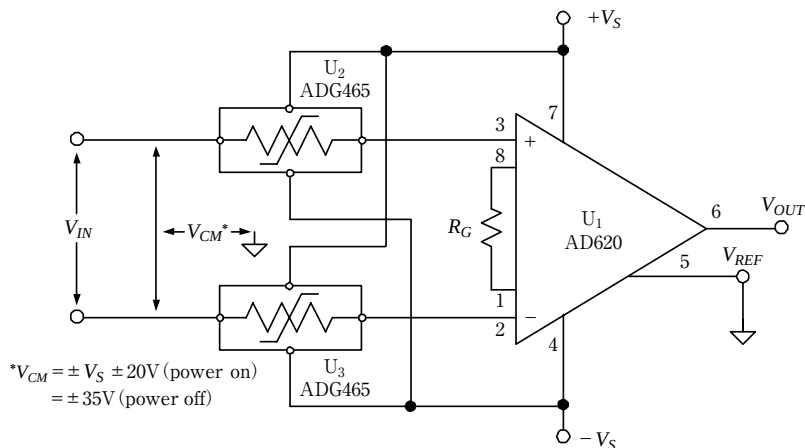
を使用することができます (D_1 - D_2 として示されている)。これを使う場合には、ダイオードのリークについて注意深く検討することが必要です。

図4-9で示した保護方式は適切な部品を使用すれば有効に動作しますが、部品実装密度が上がってしまうという問題点があります。より簡単に計装アンプを保護するには、図4-10に示すような異常電流/電圧保護素子が使えます。AD620のところで示しましたが、この回路はバイアス電流が1 nA かそれ以上の両電源供給方式の多くの計装アンプで有効に動作します。ここでは3回路入りのADG465 (チャンネル・プロテクタ) のうちの2/3を、計装アンプの差動入力保護用として接続しています。

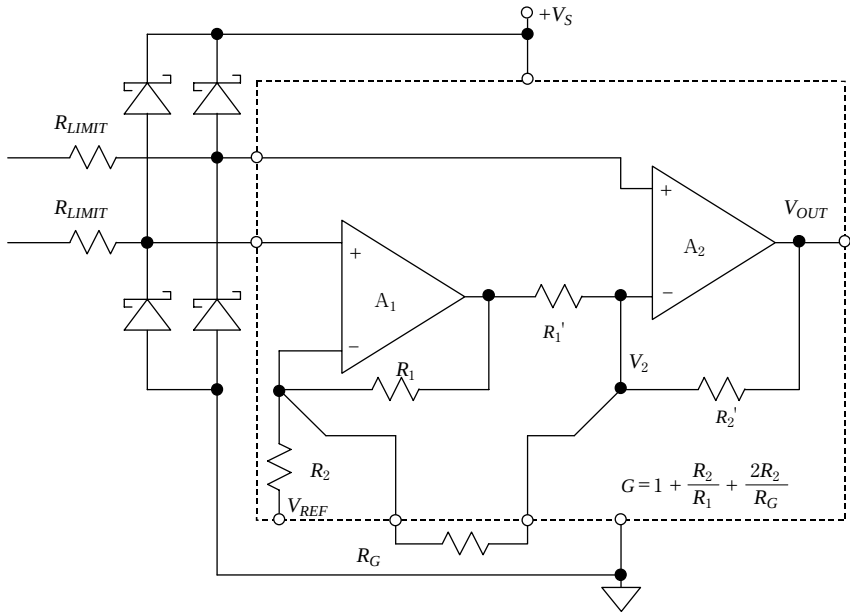
チャンネル保護素子の「 V_{IN} が両側の電源電圧に到達するときターンオフする」という性質により、単一電源の計装アンプの場合には、図4-10の方法は有効に機能しません。もし実際の計装アンプの応用で、電源電圧近くでの動作と回路保護が必要となる場合には、代わりになる方法を考えなくてはなりません。回路形式という点では、多くの単一電源の計装アンプは、図4-11の点線内に示されている2個の増幅器を用いた計装アンプ回路と非常に似通ったものです。

外部に保護回路が必要となるかどうかは、使用する計装アンプによって決まりますから、個々のケースに応じて検討する必要があります。たとえば、計装アンプのうちの何種類かは、図に示されているようなクランプ・ダイオードが素子の内部回路として最初から組み込まれています。AD623はそのようなデバイスの一例ですが、直列抵抗は組み込まれて

〈図4-10〉チャンネル保護素子 (異常電圧/電流保護用マルチプレクサ) を使うと最小の外付け部品数で両電源供給型計装アンプの回路保護が実現できる



〈図 4-11〉単一電源の計装アンプで抵抗やクランプ・ダイオードによる外部保護回路が必要な場合はこのように付加する



いません。直列抵抗が必要な場合には、外部に接続しなくてはなりません。この方法は、 R_{LIMIT} の大きさを「保護」という観点で最適化できるとともに、保護回路を付けないときのノイズ特性と比べても、影響度を無視できる程度にすることができます。

同様に、計装アンプのうち何種類かは、内部に保護抵抗とクランプ・ダイオードの両方を備えています。例をあげればAD627がそうです。このデバイスの内部保護回路は、電源電圧を40Vも越えるような過渡電圧に対しても十分に働きます（内部抵抗に流れる異常電流は20mA）。もし過電圧のレベルがこれを越える場合には、外部に抵抗素子 R_{LIMIT} を取り付けることもできます。

二つの入力端子にショットキー・バリア・ダイオードを入れることは、計装アンプの回路保護においてはあまり一般的ではありません。IC内部にクランプ回路がない場合に、この方法を用いることができます。これらの素子の使いかたは、図4-1に示したOPアンプ保護回路と非常によく似ています。リーク電流に対する注意点も同じです。一般的に言えることは、最近の計装アンプはデバイス内部に保護回路をもっているため、外部ダイオードは必要がなくなってきました。とは言っても、回路の保護に対する完全な「決め打ち」の方法はないので、設計を完了させる前にデータシートで必ずチェックすること

〈表 4-2〉 回路内での過電圧対策のまとめ

- ・入力電圧は絶対最大定格を越えないこと
(一般的には電源電圧を基準にして規定される)
- ・ $V_{IN(CM)}$ は電源電圧に対して 0.3 V 大きい値より内側であること
($-V_S - 0.3\text{ V} \leq V_{IN} \leq +V_S + 0.3\text{ V}$)
- ・IC 入力段の異常電流は必ず制限すること
(5 mA 以下、別途表記なき場合)
- ・入力段の PN 接合において逆バイアスによる降伏を避ける
- ・差動電圧と同相電圧の余裕率はそれぞれ異なる
- ・二つの増幅器が完全に同一であることはない
- ・JFET や単一電源型バイポーラ OP アンプの出力位相反転に気をつける
- ・何種類かの IC は内部に入力保護回路が入っている
 - ・ダイオードによる電圧クランプ、抵抗による電流制限、もしくは両方
 - ・絶対最大定格は必ず守ること

が必要でしょう。

表 4-2 に、この節で説明してきた回路内での過電圧保護の要点をまとめています。

このように、OP アンプや計装アンプの過電圧へのあらゆる注意点について、読者が複雑だと感じるとすれば、実はそのとおりなのです。OP アンプや計装アンプの入力/出力端子が機器の外部に接続されている場合には、それらのデバイスに対して危険な状態や素子破壊が発生する危険性が必ずあるといえるからです。これらの危険が内在する状態は、当初から適確に予想しておくべきです。それも、特に高い信頼性が要求される場合には必須です。

一方、運の良いことに、多くの用途においてデバイスは完全に機器内部の回路の一部として使われており、一般にデバイスの入出力端子は同一電源回路から供給される電源によって動作する他の IC と接続されています。したがって、そのような場合には一般に、過電圧クランプや回路保護について考慮する必要はありません。

4-5 回路実装以前における過電圧からの保護

OP アンプや計装アンプのようなリニア IC は、プリント基板に実装されるまえ (回路実装以前の状態) であっても、同じように過電圧から保護されなければなりません。この状態の場合、IC は「かなり強烈な電圧サージを受ける環境下」で取り扱われます。ダメージを受けるような電圧サージで一番多いものは静電気放電であり、一般的には ESD (Electro Static Discharge) と呼ばれています。これは、以下に示す二つの状態のうち、どちらか一つの結果として生じる、単発/高速で高い電流伝達を伴う静電気放電現象です。

(1) 異なる電位をもつ二つの物体が直接接触することにより伝達する（接触放電とも呼ばれる）

(2) 近接して配置される二つの物体間での高い静電気電界（空間放電とも呼ばれる）

静電気のおもな発生源はおおむね絶縁体であり，一般的には合成材料（たとえば表面がビニールやプラスチックのもの，絶縁された靴，塗り仕上げされた木製のイス，スコッチ・テープ，プチプチ袋（エアークラップ），先端がアースされていないはんだごてなど）です．これらの発生源から発生した電圧レベルはかなり高い電圧となります．充電量が物体表面全体に分散したり，他の物体に対して導通するというようなことがないからです．

二つの物質をこすり合わせた場合に発生する静電気は，摩擦帯電効果と呼ばれています．普段，我々が行う行動のうち，かなりの高電圧 ESD を発生するいくつかの事例を表 4-3 に示しておきました．

IC は，ESD により発生した高電圧と高いピーク電流によりダメージを受けてしまいます．精密アナログ回路（多くは低バイアス電流という特徴がある）は，一般的なデジタル回路と比較してダメージを受けやすくなっています．それは，従来方式による入力端子保護構造が使えないからです（ESD によるダメージに対しての保護回路は入力リーク電流を増加させてしまうため）．

設計者やエンジニアが直面する，もっとも一般的で明確な ESD ダメージは IC の致命的故障です．しかし，デバイスを ESD 環境下にさらすことにより，リーク電流の増加やその他の回路性能の劣化を招いてしまうこともあります．もし回路の評価段階において，デバイス性能がデータシートに示されている仕様に合致しないことがわかった場合は，ESD によるダメージを受けた可能性があると考えるべきでしょう．表 4-4 は，ESD が誘発する故障について，いくつかの関連するポイントを示しています．

すべての ESD に敏感なデバイスは，静電気保護された梱包で出荷されています．IC は

〈表 4-3〉ESD 電圧は普通のさまざまな状態において発生する

- ・ カーペットの上を歩く
1000 V ～ 1500 V
- ・ ビニールの床の上を歩く
150 V ～ 250 V
- ・ 透明プラスチック・カバーで保護された材料を取り扱う
400 V ～ 600 V
- ・ ポリエチレンの袋を取り扱う
1000 V ～ 2000 V
- ・ ポリウレタン材料を箱の中に注ぎ込む
1200 V ～ 1500 V

注意：上記の仮定は湿度 60 % の場合のもの．より低い湿度（30 %）では，電圧は 10 倍以上になる

〈表 4-4〉ESD によるダメージを理解する

- ・ ESD による故障のメカニズム
 - ・ 誘電体, もしくは PN 接合のダメージ
 - ・ 表面電荷の累積
 - ・ 導体の溶断
- ・ ESD のダメージは以下を引き起こす
 - ・ リークの増大
 - ・ 性能の劣化
 - ・ IC の機能障害
- ・ ESD のダメージは一般的には累積的
 - ・ たとえば ESD に繰り返し叩かれると, PN 接合のダメージが最後には故障まで増大していく

導電マットか静電気防護型スティックのいずれかにパッキングされ, その梱包は静電気保護のプラスチック・バッグに入れられて密閉されます。密閉されたバッグは, 図 4-12 に示すような取り扱い注意シール (適切な取り扱い手順が示されている) が張られます。

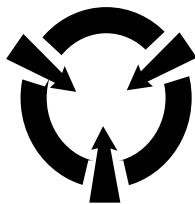
図 4-12 にあるような, 梱包外側にある注意書きは, ユーザに対して「素子は ESD 保護に対して適切な取り扱い手順が必要である」旨を通告するものになっています。

これに加えて, ESD に敏感な IC のデータシートはその影響に関する注意書きを太字で示しています。実例を図 4-13 に示します。

ESD に敏感なデバイスが特定できた場合は, その保護は比較的簡単です。明らかに言える最初のステップは, IC をできるだけ長い期間, 使用する直前までは, そのもとも

〈図 4-12〉梱包と注意書きにより ESD に敏感なデバイスを認識する

すべての静電気に敏感なデバイスは保護梱包で密閉され,
適切な取り扱い手順が示されたマーキングがされている



CAUTION

SENSITIVE ELECTRONIC DEVICES

注意

敏感な電子部品

静電界/電磁界/磁界/放射線などが強いものの近く
に保存, 運搬してはならない



CAUTION

SENSITIVE ELECTRONIC DEVICES

注意

敏感な電子部品

電磁場から保護されている認定された作業台以外で
は開けないこと

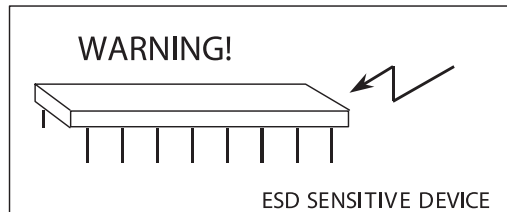
との保護パッケージに入れたままにしておくことです。次のステップは、IC へのダメージを引き起こしてしまうまえに、ダメージを引き起こす可能性のある ESD の元を放電させることです。ESD 電圧の放電は、高いインピーダンスを通すことで、簡単かつ安全に行うことができます。

ESD に対して安全に IC を取り扱うための重要な道具は、静電気を逃がす構造になっている図 4-14 のような作業机です。その表面は $1\text{ M}\Omega$ の抵抗によりグラウンドに接続されており、すべての静電気充電電荷を放電させ、かつ静電気とグラウンド間の過電流ショックによる危険から作業者を守ることもできます。もし、使用している機の表面が非導電体であるならば、放電用抵抗とともに静電気放電マットを追加すべきです。

作業機の表面はいくぶん高めのシート抵抗値となっています。作業台の表面は低抵抗体（たとえば銅のプリント基板など）である必要はありませんし、それは望ましいことでもありません。忘れてはならないことは、静電気を帯電した IC が低いインピーダンスを通して放電した場合に、高いピーク電流が流れる可能性があるということです。これは、静電気を帯電した IC がグラウンドに接続された銅板と接触したときに、まさしく起こりうることです。同じように帯電した状態の IC が図 4-14 のような高いインピーダンスの表面に置かれた場合には、ピーク電流は大きくはなく、デバイスにダメージを与えることはありません。

作業者の取り扱いテクニックのいくつかが、ESD によるダメージを最小にするキーポイントとなります。まず、作業台上で ESD に敏感なデバイスを取り扱うときに、導電リ

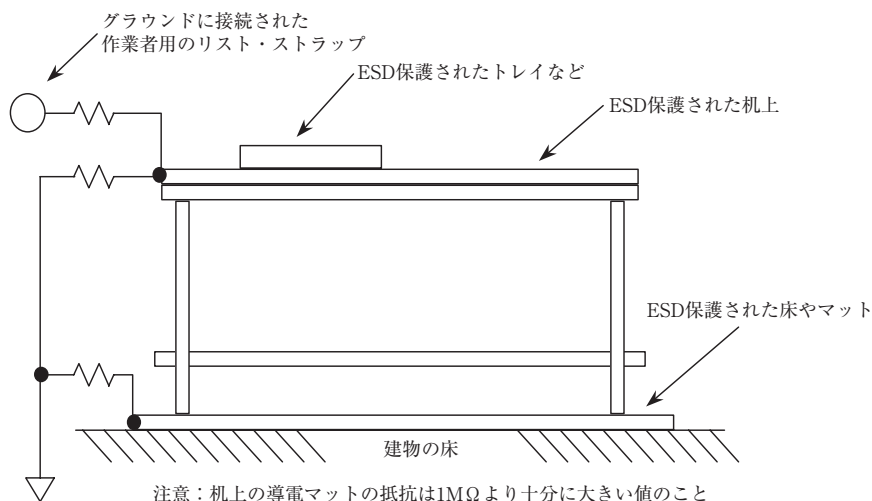
〈図 4-13〉リニア IC での ESD に関するデータシート上での記述



注意

ESD (ElectroStatic Discharge ; 静電気放電) に敏感なデバイスです。静電気放電は人体や測定機器に蓄積された 4000 V にも達するもので、検知されることなく放電します。ADxxx は ESD 保護回路を内蔵していますが、高いエネルギーの静電気放電によりデバイスに永久的なダメージを与えることがあります。そのため、性能劣化や機能障害を避けるために、ESD に対する適切な対策をすることを推奨します。

〈図 4-14〉ESD に敏感な IC を取り扱うための作業台の環境



スト・ストラップを着用することを推奨します。リスト・ストラップは普通の作業（パッケージからテープを剥がすような）を邪魔せずに、IC へのダメージを防ぐことができます。また安全性の点からは、 $1\text{M}\Omega$ の抵抗を通してリスト・ストラップをグラウンドに落としておくことが必要です。ESD に敏感な IC デバイスを含む、プロトタイプブレッドボードを作ったり、プリント基板を組み立てたりする際には、IC を挿入したりはんだ付けをするまえに、すべての受動部品を挿入してはんだ付けしておくべきです。これは、敏感な IC にとって ESD 環境への暴露を最小限にすることにつながります。もちろん、はんだごては必ず先端がアースされたものを使用してください。

ESD から IC を保護するためには、IC メーカーとユーザの両方の協力が必要になります。IC メーカーは自社の製品について可能なかぎり、最大限のレベルで ESD 保護技術を提供しています。IC 設計者、プロセス技術者、パッケージングの専門家、その他の技術者は、新たに改善されていく回路設計手法、プロセス、梱包形態に関して、ESD のエネルギーに耐え、またそれをそらす方法を常に研究しています。

ESD 保護回路を IC 内部に作り込むことよりも、完璧な ESD 保護の手法を考慮することが求められます。ユーザ側においても、ESD の取り扱いに必要な知識とトレーニングを従業員に対して行うことが必要です。そうすることで、表 4-5 に概要を示した作業にそったすべての重要項目に、静電気保護対策を組み込むことができます。

〈表 4-5〉メーカとユーザのパートナ関係と重要項目の管理が ESD 保護のためには必要

アナログ・デバイスズ

■回路設計と作り込み

製品を設計/製造するにあたり要求されるアナログ/デジタル性能に一致できるよう最高のレベルの ESD に対しての注意を払う。



■梱包出荷

静電気を逃がす素材で梱包する。梱包に ESD の警告表示を付ける。

**ユーザ**

■受け入れ検査

グラウンドに落とされた作業台で検査を行う。取り扱い是最小限にする。



■資材倉庫管理

メーカから来たオリジナルの梱包のまま保管する。取り扱い是最小限にする。



■製造

製造現場にメーカから来たオリジナルの梱包のまま供給する。梱包はグラウンドに落とされた作業台だけで行う。静電気を逃がす梱包に仕掛品を保管する。



■梱包と出荷

必要があれば静電気を逃がす材質で梱包する。返却時や再配送時には特に注意を払う必要がある。

ブレッドボードを作るときや IC を評価するときには、特に注意を払わなくてはなりません。ESD ダメージは累積的となることもあり、デバイスの不適切な取り扱いを繰り返すことは、最終的にデバイスの故障を引き起こしてしまいます。テスト・ソケットへの IC の抜き差し、評価中のデバイスの保管方法、ブレッドボード上で周辺部品を付加したり取り去ったりすること、これらすべては ESD に関する適切な注意を払いながら行わなくてはなりません。あらためて言っておきますが、もしプロトタイプの開発中にデバイスがおかしくなった場合には、繰り返し引き起こされた ESD のストレスが原因であるかもしれません。

ESD に関して覚えておきたいキーワードは「予防」です。ESD によるダメージを復旧させたり、その影響を取り繕ったりする方法は何ひとつありません。

4-6 ESD のモデル化とテスト

ESD に関して、他と比較してより注意すべき用途があります。プリント基板上において、機器外部に接続されていたり他のプリント基板とインターフェースをとらなくてはならないような IC は、他の回路に囲まれているように接続された IC と比較すると、一般に ESD ダメージ

〈表 4-6〉ESD の規格とテスト方法に適用可能な IEC 標準

- ・ IEC1000-4 : 電磁両立性 (EMC ; Electromagnetic Compatibility)
- ・ IEC1000-4-1 : イミュニティ試験の概要
- ・ IEC1000-4-2 : 静電気放電イミュニティ (ESD ; Electrostatic Discharge)
- ・ IEC1000-4-3 : 放射無線高周波電磁界イミュニティ
- ・ IEC1000-4-4 : 電気的高速過渡信号 (EFT ; Electrical Fast Transients)
- ・ IEC1000-4-5 : 雷サージ
- ・ IEC1000-4-6 : 9kHz を越える導電性無線高周波妨害
- ・ 適合マーク : 

を受ける影響度が高い傾向があります。これらの IC に対して規定/保証された ESD 規格は一般にはありません (例外として MIL-STD-883 メソッド 3015 に分類されるデバイスがある)。ESD に敏感なインターフェースの良い例がコンピュータの EIA-232 ポートで、これは過電圧にさらされることが多々あります。このようなデバイスで ESD 性能を保証するためには、テスト方法と限度レベルを規定しなければなりません。

ESD に対するデバイスの感受性を評価するために、検査用波形と規格の基準が策定されています。半導体やディスクリート素子に用いられるこれらの波形のうち、よく知られているものは以下の三つです。

人体モデル (HBM ; Human Body Model)

機械モデル (MM ; Machine Model)

帯電素子モデル (CDM ; Charged Device Model)

これらのモデルは、それぞれ基本的に異なる ESD 発生状態を表現しています。その結果、モデル相互における測定結果の相関関係は低いものになっています。

1996 年から EC (European Community) 圏に出荷/販売されるすべての電子機器は、IEC1000-4-x 規格*1 として示される EMC レベルに適合していなければなりません。これは、IC デバイスそれぞれに対して適用されるということではなく、最終製品に対して適用されるものです。これらの基準は、表 4-6 に示す IEC1000 の多くの規格におけるテスト方法にそって規定されています。

IEC1000-4-2 では、二つの結合方法により適合試験を規定しています。それは接触放電と空間放電です。

接触放電は、テストするユニットに対して直接に接触して放電するものです。空間放電は、より高いテスト電圧を使いますが、テストするユニットに対して直接に接触すること

* 1 : 【訳注】現在は、IEC61000 に番号が変更になっている。

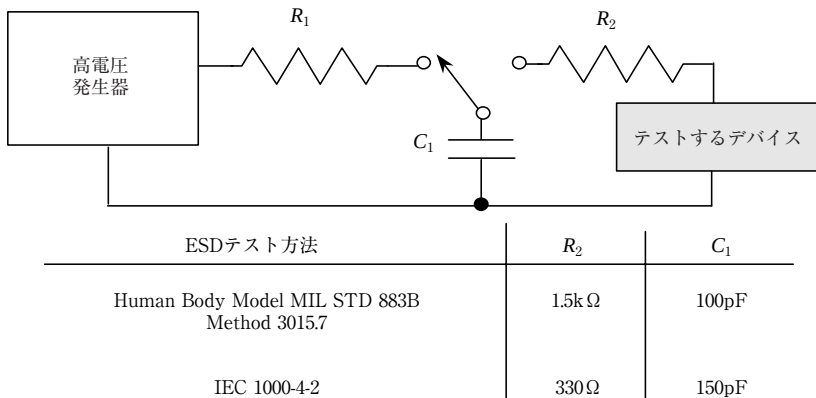
はありません。空間放電では、放電銃をテストする機器に近づいていくようにしていくと、その際にエアー・ギャップの間でアーク放電が発生します。それゆえ、空間放電という用語が使われているわけです。この方法は、湿度、温度、大気圧、距離、放電銃を近づける速度によって影響を受けます。接触放電は、現実的な ESD 環境での遭遇度は低いのですが、より高い再現性をもち、空間放電よりも好んで用いられています。

ESD パルスは非常に低いエネルギーしか含まないのですが、高電圧が非常に高速に立ち上がるため、ESD 保護されていない IC は故障を引き起こしてしまいます。アーク放電や温度上昇によって、致命的な破壊が一瞬で引き起こされてしまうのです。致命的な破壊が一瞬で起こらないにしても、デバイスは部分的な性能低下を受けている可能性もあり、これによる性能劣化を生じます。ESD 環境への連続した暴露による累積的な影響は、最後には完全な故障につながっていくこともあります。

入出力ラインは、特に ESD ダメージに対して脆弱です。単に入出力ケーブルを触ったり、コネクタを挿入したりするだけで、入出力ポートに接続されているインターフェース素子（たとえば EIA-232 のライン・ドライバ/レシーバなど）にダメージを与えるか、完全に破壊することになるかもしれません。

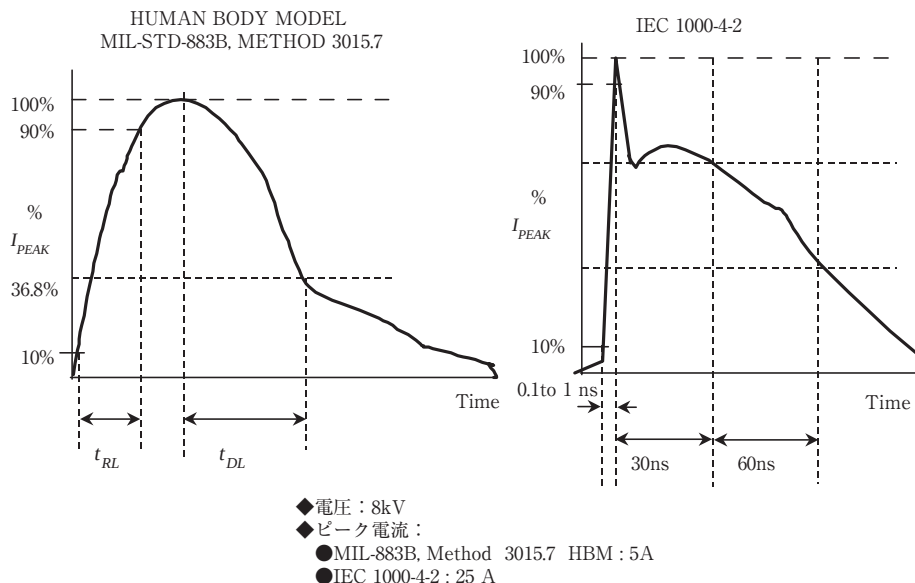
MIL-STD-883B メソッド 3015.7 などの従来からある ESD テスト手法は、この種の放電に対しての IC 製品の感受性を完全にテストすることはできません。このテストは IC の取り扱い時に受ける ESD ダメージに対する、IC 製品の感受性をテストすることを意図したものです。それぞれのピンは他のピン間との電位差としてテストされます。MIL-STD-883B メソッド 3015.7 と IEC のテストとの間の重要な違いについて以下に示しておきます。

〈図 4-15〉 ESD テスト回路と定数の比較



注：IEC 1000-4-2の接触放電電圧は ± 8 kV

〈図 4-16〉ESD テスト波形の比較



- (1) IEC テストは，放電エネルギーという点でより厳しい．注入されるピーク電流は4倍も大きくなっている．
- (2) IEC テストでは，電流の立ち上がり時間が非常に高速．
- (3) IEC テストは，デバイスに通電させた状態で実施する．

ESD 放電は，テストするデバイスのラッチアップを誘発する危険性があります．このテストは，機器が電源を供給されて通常動作している状態で，実際の入出力端子への放電の影響を示すことになります．いずれにしても，インターフェース用デバイスに対しては両方のテストが行われるべきであり，それによってデバイスの取り扱い作業中，およびその後の市場保守の両面において最良の保護特性を確信できることにつながります．

IEC1000-4-2でのモデルと MIL-STD-883B メソッド 3015.7 の人体モデルで，テスト回路と定数の比較を図 4-15 に示します．

MIL-STD-883B メソッド 3015.7 と IEC 1000-4-2 のテストにおける ESD 波形の比較を図 4-16 に示します．

ESD 保護対策に関して適切な設計を行うことは比較的簡単で，この章ですでに説明してきた過電圧保護の方法の多くの部分が役に立つでしょう．また，ESD に強いデバイスを選択するという手段もあります．たとえば EIA-232/485 のドライバ/レシーバ

〈表 4-7〉 ESD 対策の要点のまとめ

- ・ データシートですべての絶対最大定格を確認する
- ・ ADI AN-397 [参考文献 (16)] を参照する
- ・ ESD 仕様が規定されたデジタル・インターフェース素子を使用する
 - ・ ADMXXX-E シリーズ EIA-232/485 ドライバ/レシーバなど [参考文献 (18) 参照]
- ・ 一般的な過電圧保護に関する推奨方式に従う
 - ・ 電流制限のための直列抵抗を挿入する
 - ・ ツェナー・ダイオードが過渡電圧レベル低減素子を付加的な保護に用いる [参考文献 (19) 参照]

ADMxxx-E シリーズは、15 kV 人体モデル ESD の仕様を保証しています。

一般的な用途では、TransZorbs をシステム内の適切な箇所に付加することで ESD に対しての防御を実現できるでしょう [参考文献 (19) 参照]。

表 4-7 に、ESD 保護に関するおもな項目をまとめておきます。これらは回路の外部および内部の双方からの視点で示しています。 【石井訳】

◆参考文献◆

- (1) Walt Kester, Wes Freeman, Joe Buxton, "Overvoltage Protection", portion of Section 10 within Walt Kester, Editor, Practical Design Techniques for Sensor Signal Conditioning, Analog Devices, Inc., 1999, ISBN 0-916550-20-6.
- (2) Siliconix PAD/JPAD/SSTPAD series Low leakage Pico-Amp Diodes, Vishay/Siliconix, <http://www.vishay.com/brands/siliconix/SSFsglld.html>
- (3) Bob Pease, "Bounding, Clamping Techniques Improve Circuit Performance", EDN, November 10, 1983, p.277.
- (4) Bob Pease, "Understanding Diodes and Their Problems", Chapter 6 within Troubleshooting Analog Circuits, Butterworth-Heinemann, 1991, ISBN 0-7506-9184-0.
- (5) Dov Kurz, Avner Cohen, "Bootstrapping Reduces Amplifier Input Capacitance", EDN, March 20, 1978.
- (6) C. D. Motchenbacher, J. A. Connelly, Chapter 5, within Low Noise Electronic System Design, John Wiley, 1993.
- (7) Adolfo Garcia, "Operational Amplifier Output Voltage Phase Reversal", Section 11, pp.1 ~ 10 within Walt Kester, Editor, 1992 Amplifier Applications Guide, Analog Devices, Inc., Norwood, MA, 1992, ISBN 0-916550-10-9.
- (8) Adolfo Garcia, Wes Freeman, "Overvoltage Effects On Analog Integrated Circuits", Section 7 within Walt Kester, Editor, Practical Analog Design Techniques, Analog Devices, Inc., Norwood, MA, 1995, ISBN 0-916550-16-8.
- (9) Charles Kitchen, Lew Counts, A Designer's Guide to Instrumentation Amplifiers, Analog Devices, Inc., 2000.
- (10) Walt Kester, Wes Freeman, James Bryant, "Electrostatic Discharge", portion of Section 10 within Walt Kester, Editor, Practical Design Techniques for Sensor Signal Conditioning, Analog

Devices, Inc., 1999, ISBN 0-916550-20-6.

(11) MIL-STD-883 Method 3015, "Electrostatic Discharge Sensitivity Classification", Standardization Document Order Desk より入手可能, 700 Robbins Ave., Building #4, Section D, Philadelphia, PA, 19111-5094.

(12) EIAJ ED-4701 Test Method C-111, "Electrostatic Discharges", Available from the Japan Electronics Bureau, 250 W 34th St., New York NY 10119, Attn.: Tomoko.

(13) ESD Association Standard S5.2 for "Electrostatic Discharge (ESD) Sensitivity Testing-Machine Model (MM)- Component Level", ESD Association より入手可能, Inc., 200 Liberty Plaza, Rome, NY 13440.

(14) ESD Association Draft Standard DS5.3 for "Electrostatic Discharge (ESD) Sensitivity Testing - Charged Device Model (CDM) Component Testing", ESD Association, Inc.より入手可能, 200 Liberty Plaza, Rome, NY 13440.

(15) ESD Prevention Manual, Analog Devices, Inc.

(16) Niall Lyne, "Electrically Induced Damage to Standard Linear Integrated Circuits: The Most Common Causes and the Associated Fixes to Prevent Reoccurrence", Analog Devices AN397.

(17) Mike Bryne, "How to Reliably Protect CMOS Circuits Against Power Supply Overvoltageing", Analog Devices AN311.

(18) データシート ADM3311E RS-232 Port Transceiver, Analog Devices, Inc., <http://www.analog.com>

(19) TransZorbs は General Semiconductor から入手可能. 10 Melville Park Road, Melville, NY, 11747-3113, (631) 847-3000, <http://www.gensemi.com/product/categories/tvs/tvs.htm>

第 5 章

熱に関する考察

Walt Jung / 訳：石戸谷 徹

信頼性という観点から、電力を扱う OP アンプ応用システムでは、熱を管理することが求められます。すべての半導体は接合面温度（ジャンクション温度） T_J によって、安全に使用できる上限温度が特定され、それは通常の場合は約 150℃（場合によっては 175℃）程度です。最大供給電源電圧と同様に、最悪条件となる最大の接合面温度は越えてはならない制限です。従来の設計では、十分な安全マージンをとる手法がとられています。半導体の寿命は動作時の接合温度と反比例の関係にあるため、このことは重要です。簡単に言うと、OP アンプをよく冷却すれば、より長い寿命をもたせる手段になるということです。

この消費電力と温度の制限は基本であり、典型的なデータシートでは表 5-1 に示すように記述されています。これは AD8017AR（8 ピン SOIC 素子）の例です。

このような記述は、たとえば素子の電力消費のような動作上の確定条件や、プリント基板へのパッケージの実装仕様などに関係しています。放熱を目的として、2 オンス（約 57 g）の銅を使用した 4 平方インチ（約 2500 mm²）の 2 層プリント基板上に実装された 8 ピン SOIC パッケージを仮定します。AD8017AR の場合には、周囲温度 25℃時で、定格電力は 1.3 W となります。他の条件下での素子の安全動作の予測方法については後述します。

〈表 5-1〉AD8017AR の最大消費電力に関するデータシートの記述（ADI 製の耐熱強化型 SOIC パッケージの場合）

AD8017 の安全な最大消費電力は、接合部の温度上昇によって制限される。プラスチック封入素子の最大安全接合温度は、そのプラスチックのガラス遷移温度によって決定され、それはおよそ +150℃である。一時的にでも、この限界を越えると、パッケージによってダイに加えられるストレスの変化により、パラメータ性能の変化を引き起こすことにつながる。また、長期間にわたって +175℃の接合温度を越えることは、素子の故障を招く結果となる。

5-1 熱についての基本

記号 θ は、一般に熱抵抗を示すために使用されます。熱抵抗の単位は $^{\circ}\text{C}/\text{W}$ で表されます。特別な断わりのないかぎり、それはIC 接合部からの発熱が周囲の空気に移動する際の接触熱抵抗と定義されます。これを特に、接合部-周囲間 (junction-to-ambient) の熱抵抗 (thermal resistance) という意味で θ_{JA} として表記します。また、 θ_{JC} と θ_{CA} という二つの θ 記号も使用されます。これらについては後に説明します。

一般に、 $100^{\circ}\text{C}/\text{W}$ の熱抵抗 θ をもつ素子は、1 W の電力を消費したとき、2ヶ所の基準点間の測定において、 100°C の温度差が生じることを表します。そして、この関係がリニアであることに注目すると、1 W を消費する素子は 100°C の温度差を生じることがわかります (他の消費電力でも同様)。AD8017AR を例にとると、 θ は約 $95^{\circ}\text{C}/\text{W}$ です。1.3 W の消費電力は接合-周囲間に 124°C の温度差を発生させます。設計の熱的信頼性を判断するため、この温度上昇値が内部温度を予測するために用いられます。この例では、周囲温度が 25°C のとき、内部接合温度は約 150°C となり、条件を満足します。実際には、ほとんどの場合で周囲温度は 25°C を越えるので、より少ない電力での使用が必要条件となります。

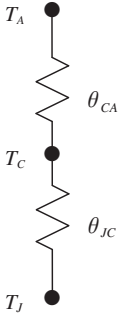
任意の消費電力 $P[\text{W}]$ において発生する温度差 $\Delta T[^{\circ}\text{C}]$ は、次式で計算することができます。

$$\Delta T = P \times \theta \quad \dots\dots\dots (8-6)$$

θ : IC 全体に適用される熱抵抗 [$^{\circ}\text{C}/\text{W}$]

表 5-2 に、基本的な熱に関する要因の関係を要約します。

〈表 5-2〉基本的な熱要素の関係

θ : 熱抵抗 [$^{\circ}\text{C}/\text{W}$]	θ_{JA} : 接合部-周囲間の熱抵抗	
P : 素子の全消費電力 [W]	θ_{JC} : 接合部-パッケージ間の熱抵抗	
T : 温度 [$^{\circ}\text{C}$]	θ_{CA} : パッケージ-周囲間の熱抵抗	
T_A : 周囲温度	$\theta_{JA} = \theta_{JC} + \theta_{CA}$	
T_C : パッケージ表面温度	$T_J = T_A + (P \times \theta_{JA})$	
T_J : 接合部温度	注 : $T_{J(\text{max})} = 150^{\circ}\text{C}$ (場合によって	
ΔT : 温度差 (temperature differential) = $P \times \theta$	$175^{\circ}\text{C})$	

表の右に示した2個の直列に接続された熱抵抗は、素子から見た全体の熱抵抗の経路を表しています。全体の熱抵抗 θ はその合計となるので、 $\theta_{JA} = \theta_{JC} + \theta_{CA}$ という計算で求められます。ここで、周囲温度 T_A 、消費電力 P 、および θ_{JA} が与えられれば、 T_J を計算することができます。この関係は、 T_J を低く保つには、 θ または消費電力 P (あるいはその両方) を低く保たなければならないことを意味しています。したがって、 ΔT を低く保つことが最大接合部温度を下げることになり、半導体の寿命を延ばす鍵となります。

ICにおいては、素子の接合部はつねに温度の基準点となり、所定のパッケージ内で動作しているチップ上で最も熱い場所です。他の基準点としては、素子のパッケージ表面温度である T_C 、またはそれを取り囲む空気温度の T_A になるでしょう。このことから、すでに述べたように熱抵抗 θ_{JC} および θ_{JA} を、それぞれ個別に考えることができます。

最初に、最も単純な場合について説明します。 θ_{JA} は、所定の素子の接合部 (junction) と周囲の空気 (ambient) 間で測定される熱抵抗です。この熱抵抗は、OP アンプのように比較的低電力の IC (1W 以下の消費電力) に対してよく使われます。一般的に、OP アンプや他の小型素子の標準的な θ_{JA} の値は、8 ピン DIP パッケージではおおよそ 90 ~ 100 °C/W 程度で、SOIC パッケージではそれより少し良い数値になります。

これらの熱抵抗は、パッケージに極めて依存していることを理解しておくべきです。異なる素材は、異なる熱伝導率をもっているということです。一般的には、導体の熱抵抗は電気抵抗と似ており、銅が最も良く、それにアルミニウム、鉄鋼などが続きます。したがって、銅のリード・フレーム・パッケージは最も高い性能、すなわち最も低い θ を示します。

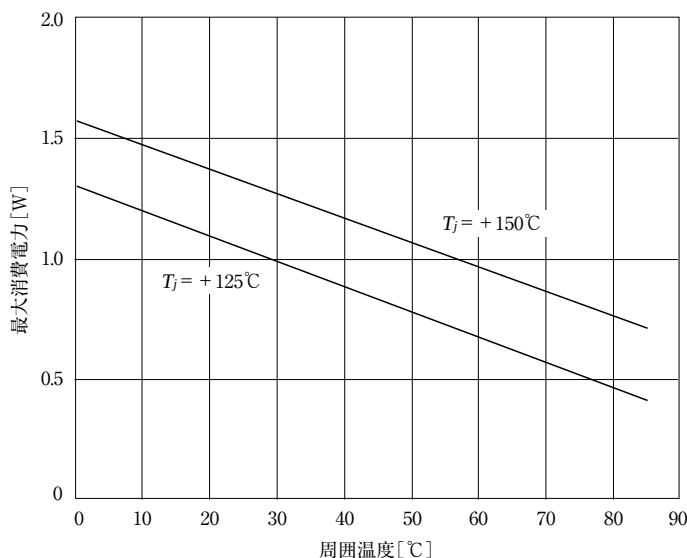
5-2 放熱

放熱板 (heat sink ; ヒート・シンク) とは、熱の除去を補助する目的で IC に取り付ける低熱抵抗の部品です。放熱板それ自体も、°C/W で表される θ_{CA} という熱抵抗をもっています。しかしながら、ごく最近の OP アンプ・パッケージは、簡単に放熱板を取り付けられるようになっていません (例外は旧い金属ケースの TO99 タイプ)。放熱板を取り付けた素子では、 θ_{JC} が θ_{JA} より劇的に低くなります。この場合、 θ は一つ以上の構成要素から成り立っています。追加する熱抵抗の正味は、比較的簡単に計算できます。たとえば、正味の θ_{JA} は適切な θ_{JC} が与えられれば計算でき、放熱器の熱抵抗 θ_{CA} (ケース-周囲間熱抵抗) が θ_{JC} に追加され、その計算式は下記になります。

$$\theta_{JA} = \theta_{JC} + \theta_{CA} \cdots \cdots (8-7)$$

θ_{JA} がこの場合の熱抵抗の値です。

〈図 5-1〉AD8017AR OP アンプの消費電力遅減グラフ

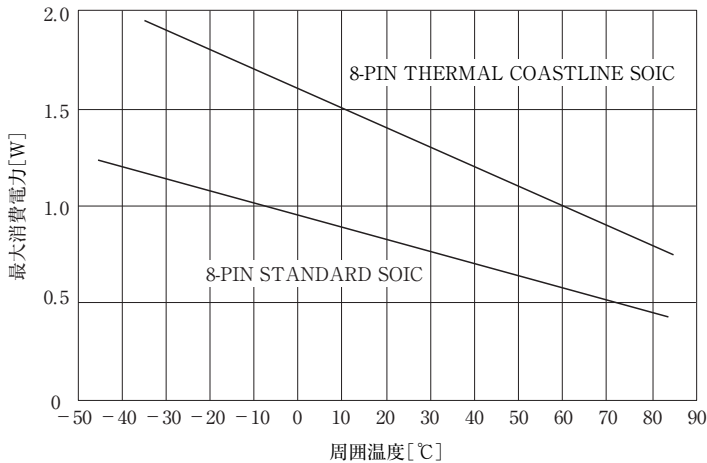


しかしながら一般的には、最近の OP アンプは市販の放熱器を使用しません。その代わりに、1 W 以上の大きな消費電力が必要となるときは、低い温度抵抗をもつプリント基板の銅箔パターンが放熱器として使われます。このような場合に、製造メーカから得られるデータとして最も有益なものは、プリント基板上のレイアウト・サンプルの条件と、それらの条件下で結果として得られる θ_{JA} です。具体例として、前述した AD8017AR で提供されている仕様を図 5-1 に示します。このデータは 2 層、2 オンスの銅張プリント基板上の約 4 平方インチの面積を放熱器として実装した AD8017AR に適用されます。

図の曲線は、AD8017 の最大接合部温度 150 °C と 125 °C における最大消費電力対周囲温度特性の関係を示しています。このようなグラフを、周囲温度の上昇につれて許される電力が低下することから、消費電力遅減曲線（ディレーティング・カーブ）と呼ぶことがあります。

AD8017AR においては、アナログ・デバイセズ社の「サーマル・コーストライン (Thermal Coastline)」という IC パッケージが使用されています。これにより、SO-8 パッケージの寸法を大きくすることなく増加分の電力を発散させることを可能にしました。図の上部のグラフは、150 °C の $T_{J(max)}$ で、このパッケージが使用できる電力を示し、周囲温度 25 °C 時で 1.3 W です。もし、安全を見て $T_{J(max)} = 125$ °C を適用する場合には、二つのグラフの下側が当てはまります。

〈図 5-2〉標準パッケージ（下側カーブ）と「サーマル・コーストライン」8ピン SOIC パッケージ（上側カーブ）の定格熱カーブ



8ピン標準 SOIC とサーマル・コーストラインの性能比較を図 5-2 に示します。25℃のとき、標準パッケージではわずか 0.8 W しか使用できないのに対して、サーマル・コーストラインでは 1.3 W の消費電力で使用できることに注目してください。サーマル・コーストラインでは熱伝導が増大するので、パッケージの熱抵抗 θ_{JA} が低くなったと見なせます。

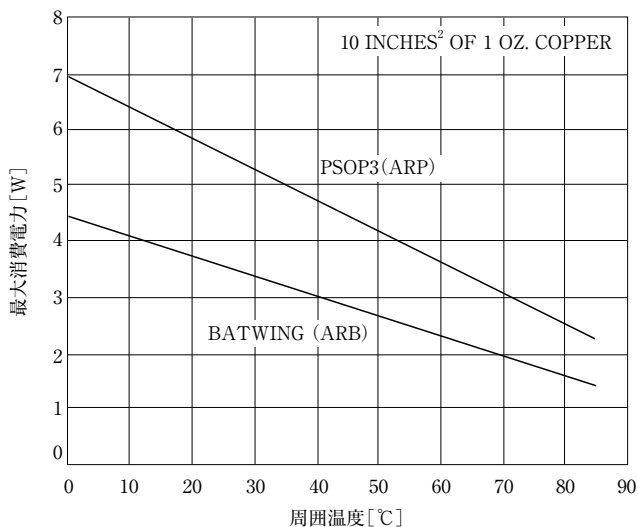
熱をチップからプリント基板に効率良く移すことができる IC パッケージの使用によって、よりいっそう大きな消費電力を扱うことが可能になります。AD8016 の例を図 5-3 に示します。入手できる 2 種類のパッケージ・オプションにおいて、25℃におけるそれぞれの消費電力定格は 5.5 W と 3.5 W です。

高消費電力定格オプションの AD8016ARP PSOP3 パッケージについて言うと、10 平方インチ、1 オンスの放熱平面で使用されるとき、図の上側カーブでわかるように、周囲温度 70℃で最大 3 W の電力を処理することができます。これは、 θ_{JA} では 18℃/W に相当します（最大接合部温度は 125℃としている）。

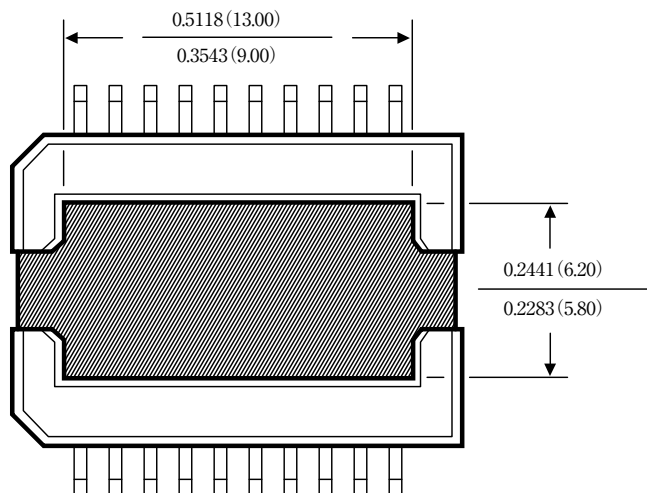
AD8016 の PSOP3 パッケージが効率良く電力を扱うことができる理由は、IC の広い範囲に銅片が取り付けられているからです。内部的には、図 5-4 に示すように、IC の底面に露出する状態で銅片があり、この上に直接 IC のダイが置かれています。したがって、この底面が直接にプリント基板の銅箔上にはんだ付けされることにより、効率良く放熱が行えるようになります。

AD8016 の二つのパッケージ・オプションはどちらも、静止および流動状態の空気の双

〈図 5-3〉 $T_{J(max)}$ が 125°C と等しいときの AD8016 におけるバットウィング・パッケージ（下側カーブ）と PSOP3 パッケージ（上側カーブ）の熱特性



〈図 5-4〉 8016AD 20 ピン PSOP3 パッケージの底面図。熱伝導を補う銅片が取り付けられている（中央の斜線部分）



方で特性が定められています。前述の場合の熱的条件は、直接のエア・フローを使用しない状態のもので、したがって、エア・フローを追加することで熱抵抗はもっと下げられます [文献 (2) を参照]。

信頼性の面から、OP アンプを低熱抵抗で使用するために、設計上で考慮すべきポイントを以下に示しました。実際には、これらすべての点について考慮すべきです。

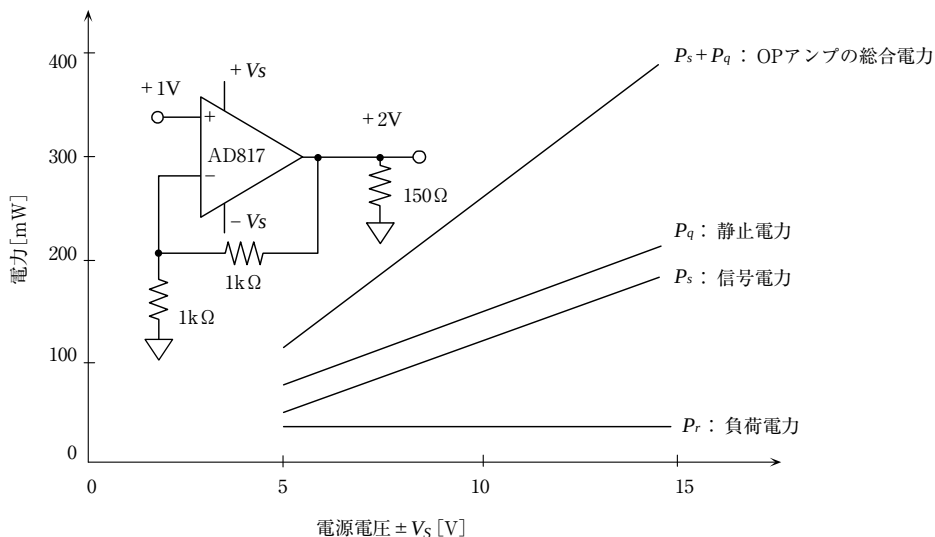
- (1) リターンを低減するために、プリント基板の放熱面は可能な限り広い銅箔面積を使用すること。
- (2) (1) と関連して、多層タイプのプリント基板では外層を放熱に使用する。各層は複数のビアで相互に接続すること。
- (3) プリント基板には実用上できるだけ重い銅を使うこと (2 オンス以上)。
- (4) 熱せられたプリント基板表面から自由に熱が発散できるように、システムには十分な自然換気ができる出入口を取り付けること。
- (5) 放熱板の周囲を空気がスムーズに対流するように、電力を消費しているプリント基板の面を垂直の方向に置くこと。
- (6) 高精度 OP アンプにおいては、外部にパワー・バッファ段の使用を考慮すること。
- (7) 限られたスペースのなかで、複数の W 級の電力消費がある状況では、強制空冷の使用を考慮すること。
- (8) 放熱効果をねらった平面部分には、はんだマスクをかけないこと。
- (9) IC の送出する電力を越える過大な電源電圧を与えないこと。

大部分において、これらは当然のことです。しかし、あまり考慮されていないのが (9) でしょう。アプリケーションが軽い電圧振幅 (たとえば標準ビデオ信号の $2V_{p-p}$ など) しが必要としていないときでも、広い範囲の電源電圧が使われることがあります。しかし、**図 5-5** のデータが示すように、たとえ負荷電力が一定であっても、高い電源電圧で OP アンプのドライバが動作していると、IC の消費電力は大きくなります。

このような場合、アプリケーションの歪み特性が犠牲にならなければ、 $\pm 15\text{ V}$ ではなく $\pm 5\text{ V}$ といった、より低い電源電圧で IC を動作させることは有利になります。上記の例は直流基準で計算されています。一般に、DMT 信号 [参考文献 (2) 参照] のような、正弦波や疑似雑音波形よりも、電力の観点では重い負担がかかります。一般的な概念としては、このような交流波形にも同様のことが言えます。すなわち OP アンプでは、低電圧でも負荷に供給する電流が大きければ、消費電力は大きくなります。

AD8016 と AD8107 については、上記で説明したように熱的に強化したパッケージがあるので、高出力用途での採用の機会が充分あるのに対して、一般的な小型 IC パッケージ

〈図 5-5〉低電圧振幅の出力で電源電圧を変化させたときのビデオ・ドライバ OP アンプの消費電力



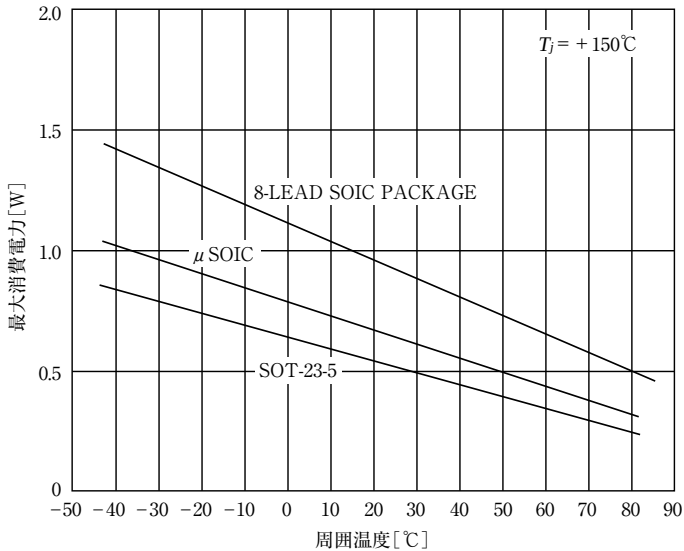
は実際のところ逆の方向に向かっていきます。今日の小型化パッケージが著しく熱性能を犠牲にしているという事実は、疑いようのないことです。しかし、これは OP アンプのパッケージをより小型化し、より高密度なプリント基板をシステム全体として実現することに関心が高いからです。

図 5-6 に、シングル/デュアル OP アンプ AD8057, AD8058 ファミリの熱通減カーブを示します。AD8057 と AD8058 OP アンプは、3 種類の異なったパッケージで入手可能です。それは、SOT-23-5, 8 ピン μ SOIC, そして標準 SOIC です。

図のデータが示すように、パッケージ・サイズが小さくなるにつれて、いかに消費電力を少なくできるかが要になります。そのような小さいパッケージにとっては、リード・フレームが唯一の放熱器となるため、IC の熱特性は低下することになります。それぞれのパッケージに対応する θ_{JA} は、240, 200, 160 $^{\circ}\text{C}/\text{W}$ です。これは素子の限界というより、パッケージの限界であることに注意してください。同一パッケージの場合、他の IC でも同等な特性となります。

ここまでの、OP アンプの放熱問題についての解説では、クリップ留め（またはボルト留め）タイプの放熱器を使用するような古典的技術については扱いませんでした。また、一般に数十 W 程度の電力を取り扱う際に考慮される強制空冷についても言及しませんでした。これらについて省略したのは、それらの必要性が主に今日の OP アンプ・パッケー

〈図 5-6〉AD8057/58 OP アンプのパッケージ種類と熱性能の比較



ジにとって不可能かまたは役立たないためです。

参考文献 (4) ~ (7) に掲載されているより一般的な解説が、これらの技術や補助情報として参考になります。

◆参考文献◆

- (1) Data sheet for AD8017 Dual High Output Current, High Speed Amplifier, Analog Devices, Inc., <http://www.analog.com>
- (2) Data sheet for AD8016 Low Power, High Output Current, xDSL Line Driver, Analog Devices, Inc., <http://www.analog.com/>
- (3) "Power Consideration Discussions", data sheet for AD815 High Output Current Differential Driver, Analog Devices, Inc., <http://www.analog.com/>
- (4) Walt Jung, Walt Kester, "Thermal Management", portion of Section 8 within Walt Kester, Editor, Practical Design Techniques for Power and Thermal Management, Analog Devices, Inc., 1998, ISBN 0-916550-19-2.
- (5) General Catalog, AAVID Thermal Technologies, Inc., One Kool Path, Laconia, NH, 03246, (603) 528-3400.
- (6) Seri Lee, "How to Select a Heat Sink", Aavid Thermal Technologies, <http://www.aavid.com>
- (7) Seri Lee, "Optimum Design and Selection of Heat Sinks", 11th IEEE SEMI-THERM Symposium, 1995, <http://www.aavid.com>

第 6 章

EMIとRFIへの対策

James Bryant, Walt Jung, Walt Kester / 石井 聡

アナログ回路の性能は、回路の周辺で起こる電気信号の変化により大きく影響を受けます。そして、あなたが設計したアナログ回路を内蔵する機器も、同じくその機器外のシステムに大きく影響を与えてしまうかもしれません。参考文献(1)では、近くにある機器からの(もしくは機器への)、この望まない高周波信号の相互伝達をIEC50の規定にしたがって詳解しています。広義での「電磁両立性」(electromagnetic compatibility ; EMC)においては、上記に相当する次のような側面があります。

- 電気/電子システムにおいて、他のシステムに対して影響を与えることなく動作できる性能を表す
- 電気/電子システムにおいて、ある一定の電磁界環境のもとで要求される動作をする能力を表す

完全無欠なEMC対策は、設計中の機器が副次的な不要信号を発生せず、なおかつ帯域外の周波数(機器の使用する周波数範囲外の意味)の不要信号から影響を受けないものでなければなりません。アナログ機器ではほとんどの場合、後者の問題が重要となります。この章で強調したいのは、この不要信号に対するエレガントな対処法です。

外部で誘起された電気的な変化はノイズを発生させます。このことは、電磁干渉(EMI ; electromagnetic interference)や高周波干渉(RFI ; radio frequency interference)とも呼ばれます。この章では、EMCを電磁干渉と高周波干渉の両面から考えていきたいと思います。アナログ技術者にとって非常に大変な仕事は、EMI/RFI環境下で自らが設計した機器が思いもよらない動作をしないようにすることでしょう。ここでは、EMIやRFIは有害なものであると考えることを前提にしています。ひとたび設計した機器に不要信号の入り口を作ってしまうと、その機器の動作を阻害してしまいます。それは多くの場合、大きな問題となってしまいうでしょう。

この章では、EMIやRFIを受けたことによるアナログ回路の予期しない動作を最小限

にする方法について深く言及していきます。この種の誤動作はEMI感度とかRFI感度と呼ばれ、機器がEMI/RFI環境下にさらされたとき、おかしい挙動をする傾向の度合いを示しています。

もちろん、EMCの問題としては、不要輻射を出さないようにすることも含まれます。しかしながら、アナログ回路は一般的に不要輻射の信号レベルを上昇させるようなパルス信号/高速信号/大電流信号のスイッチングなどを取り扱うことは（高速デジタル回路などと比較して）少ないため、この種のEMCについてはここでは詳細には取り扱いません。しかしながら読者の皆さんには、アナログ回路と高速ロジック回路が一緒に動作するミックス・シグナル環境の場合には、不要輻射も重要な項目になることを心しておいていただきたいと思います。

これらの各種のEMC設計に関するポイントはすべて非常に大切なことなので、より深く理解するためには本章の最後に示す参考文献を読むことを強く勧めます。実際問題として、EMI、RFI、EMCに対して完璧に強靱な設計を行うためには、設計者はこれらの参考文献で述べられている内容についてよく理解することが必要になります[参考文献(1)～(6)を参照]。以下では、非常に広範囲に重要になりつつあるこの話題について、わかりやすく紹介していくことにします。

6-1 EMI/RFIのメカニズム

EMIとRFIを理解して上手にコントロールするためには、まずそれらを取り扱いやすい部分ごとに分解することがその一助になります。EMI/RFIの問題が発生したときに、それらは基本的に発生源、経路、受け側に分解できるということを覚えておくといえます。

全体を俯瞰するシステム設計者としては、このように分解された部分のうち、受け側（および経路のうちのいくつかの部分）について直接的に対応することになります。しかし、ときには実際の発生源について対応することもあるでしょう。

● EMIノイズの発生源

アナログ回路の性能を劣化させてしまう不要なノイズは、数え切れないほど多くの経路で回路に結合していきます。これらのノイズ源の多くの例のうちのいくつかを、表6-1に示します。

これらのEMIノイズ源に対しての制御はあまりできないことから、この問題に対して次のステップの対応策は、設計している機器に対して電磁的に結合してくるノイズの経路を認識し、理解することになります。

〈表 6-1〉一般的な EMI ノイズ源の種類

◆EMI/RFI ノイズ源はどこからでも結合する
◆一般的な外来ノイズ源：
・ラジオやテレビの放送波
・移動体無線通信機器
・携帯電話
・車のイグニッション
・雷
・商用電源線
・モータ
・コンピュータ
・ガレージのドア開閉器
・テレメータ機器

● EMI の結合経路

EMI の結合経路は、実際には非常に少ない種類に分類されます。一般的な経路は、以下のようなものが考えられます。

- (1) 導通による干渉（共通インピーダンス）
- (2) 容量結合か誘導結合による干渉（近傍電磁界干渉）
- (3) 電磁放射（遠方電磁界干渉）

▶ ノイズの電磁結合のメカニズム

EMI のエネルギーは、システム内においてインピーダンス不整合や不連続性があるところなら、どこでも混入する可能性があります。一般的に、外乱を受けやすいアナログ信号を伝送するケーブルがプリント基板に接続され、それがさらに電源につながっている場合に発生します。不適切に接続されたケーブルや貧弱な電源フィルタリングは、干渉ノイズにとって都合の良い進入経路になります。

導通によるノイズ結合は、二つ以上の電流が共通の経路（共通インピーダンス）を共有するときに起こることが多いです。この共有経路は、高いインピーダンスのグラウンド・ラインであることがままあります。もし二つの回路がこの共通経路を共有していた場合、ひとつのシステムからのノイズ電流は他のシステムに対してのノイズ電圧を発生させます。いくつかのステップを踏んで、この種の潜在的な干渉ノイズ源を特定していくことが必要です[参考文献 (1), (2), および第 2 章を参考のこと]。

表 6-2 は、外部信号源から混入する一般的な経路について示しています。

いかなる二つの導体でも、その間が誘電体で分離されている（空気や真空も固体とか液体の絶縁物と同様に誘電体である）ものはキャパシタンスをもちます。ここで片側の導体

〈表6-2〉どのようにしてノイズは機器への進入経路を見つけるか

- ◆インピーダンスのミスマッチと不連続性
- ◆コモンモードのインピーダンス・ミスマッチ → 差動信号に変換
- ◆容量結合 (電界による干渉)
 - ・ dv/dt → 相互結合キャパシタンス → ノイズ電流
(例: 1 V/ns は 1 mA/pF を発生する)
- ◆誘導結合 (磁界による干渉)
 - ・ di/dt → 相互結合インダクタンス → ノイズ電圧
(例: 1 mA/ns は 1 mV/nH を発生する)

の電圧レベルが変化した場合、他方に電荷量の変動が発生し、変位電流は誘電体の中を流れます。キャパシタンスや dv/dt 値が高い場合、ノイズは容易に結合してしまいます。たとえば、1 V/ns の電圧変動は変位電流を 1 mA/pF 上昇させます。

もし、片側の回路での電流の流れによる磁力線の変化がもう一方の回路を突き抜けた場合、2次回路側に EMF (Electro Motive Force ; 誘起電圧) を誘起します。その相互インダクタンスは、 di/dt 値の高い回路からの結合によるノイズのトラブルの元になります。例を挙げれば、相互インダクタンスが 1 nH で変化電流が 1 A/ns であった場合、1 V の電圧を誘起します。

●共通インピーダンスによるノイズを低減する

表6-3に、インピーダンスを共有する導通ライン上で発生するノイズや、共通インピーダンスによるノイズの抑圧/低減手順の概要を示します。

これらの方法は、本書の第2章で説明した関連テクニックすべてとともに適用しなければなりません。

複数の回路に電源を供給する電源供給ラインは、共通インピーダンスの典型的な例です。実際の電源は、低い出力インピーダンスを示しますが、特に高い周波数ではそうならない場合もあります。それ以上に、プリント基板上で電源を分配する配線パターンは誘導性や抵抗性であり、グラウンド・ループを形成しているかもしれません。多層プリント基板で専用の電源層とグラウンド層を使用すれば、電圧分配のインピーダンスを低減することができます。そのようなプリント基板の導電層は、(理想的には) 切れ目のない広いパターンによって、実用的な低い抵抗値とインダクタンスを実現します。

共通インピーダンスによるノイズが高レベルで発生する回路で、低レベル信号を取り扱うアプリケーションにおいては干渉を避けることができず、場合によってはシステム構成を変える必要があるかもしれません。それらの変更の方法としては、下記のようなものが

〈表 6-3〉共通インピーダンスによるノイズへの対策

- | |
|---|
| <ul style="list-style-type: none">◆共通インピーダンスによるノイズ<ul style="list-style-type: none">・ OP アンプの電源ラインを低周波ラインや高周波ラインとデカップリングする・ 共有インピーダンスを減らす・ 共有の配線経路をなくす◆テクニック<ul style="list-style-type: none">・ 低インピーダンス (対低周波) と個々の回路での低インダクタンス (対高周波) のバイパス・コンデンサを併用する・ グラウンド・プレーンと電源プレーンを使う・ システム設計を最適化する |
|---|

考えられます。

- (1) 違う方式で信号を伝送する
- (2) 高いレベルに信号を増幅して S/N を改善する
- (3) 伝送に際して信号を電流に変換する
- (4) 信号自体をデジタル化する

6-2 近傍電磁界干渉によるノイズ

クロストーク (closs-talk) もまた、一般的な干渉の原因です。ノイズ源の付近 (近傍電磁界) では、干渉信号は電磁波として伝送されるものではありません。そのためクロストークという用語は、誘導性結合か容量性結合のどちらかにより発生した信号に対して用いられます。

●容量結合によるノイズを低減させる

結合容量を減らす (導体同士の距離を広くする) ことで、容量結合によるノイズを低減させることができます。しかし、シールドを施すことが一番簡単です。信号源と影響を受ける導体との間に、導体のグラウンド電位でのシールド (Faraday shield ; ファラデー・シールド) を配置するのは、変位電流を直接グラウンドに流すことで、この種のノイズを抑圧することができます。

この種のシールドを使う場合、ファラデー・シールドはグラウンドに必ず接続することに注意してください。フローティング状態やオープンなシールドは大体の場合、容量結合によるノイズを増加させてしまいます。シールドの方法については、本書の第2章を参照するか、または本章の最後にある参考文献 (2) と (3) を参照してみてください。

〈表 6-4〉容量結合によるノイズの低減

- ◆ dv/dt の大きいノイズ源のレベルを低減させる
- ◆ ケーブルのシールドは適切にグラウンドに結合する
- ◆ ストレイ容量(浮遊容量)を減らす
 - ・ 入力のリード線の長さを等しくする
 - ・ 配線を最短で結合する
 - ・ 信号グラウンド、信号経路の適切な配線方法を用いる
- ◆ グラウンド電位に接続したファラデー・シールドを電界に対しての保護として用いる

容量結合によるノイズを低減させる方法について表 6-4 に要約しました。

● 磁気結合によるノイズを低減させる

磁界による干渉を抑圧する手法について、表 6-5 に要約しました。

磁気結合によるノイズの影響を図式化するため、 $A \text{ cm}^2$ の面積をもつ閉ループの回路が、2乗平均(RMS)磁束密度が B ガウスの磁界の中で動作していることを考えてみましょう。この回路が誘起するノイズ電圧 V_n は、以下の式で表すことができます。

$$V_n [\text{V}] = 2 \pi f B A \cos \theta \times 10^{-8} \dots\dots\dots (8-8)$$

この式で、 f は磁界の周波数を示し、 θ は磁界 B の方向と閉ループ領域 A の平面のなす角度を示します。回路のループ面積、磁界の強度、磁界とループのなす角度を低減させることで、磁気結合の結合度を低減させることができます。回路のループ面積を低減させるには、回路の導体同士を相互に近接させるように配置することが必要です。導体をツイスト・ペアにすることで、全体のループ面積を低減させることができます。この手法は、磁界成分をピックアップするのをキャンセルする効果をもっています。それは、ツイスト・ペアの正と負の一つ一つの微小ループの合計は理想的にはゼロに等しいからです。

磁界自体を低減させることは非常に難しいと考えられます。しかしながら、磁界強度は発生源からの距離の3乗に反比例するので、ノイズ電流を低減させる方法として物理的に距離を離すことは非常に大きな効果があります。また、回路が磁界に対して直角に配置された場合、磁界のピックアップは最小になります。もし、磁界に対して回路の導体が同じ方向に配置された場合、相互の角度がゼロになってしまうことから、誘導されるノイズ量は最大になります。

発生源自体の干渉磁界量を減らすテクニックもあります。いままでの説明のように、受ける側の回路をツイスト・ペアにすることが、リード線に沿って発生する磁界をキャンセ

〈表 6-5〉誘導結合によるノイズの低減

- ◆配線の経路を注意深く検討する
- ◆高周波磁気シールドのために導体のスクリーンを使用する
- ◆高い透磁率のシールドを低周波の磁界対策に使用する（ミュー・メタルなど）
- ◆受け側のループ面積を低減する
 - ・ツイスト・ペアによる配線
 - ・物理的な配線の配置
 - ・干渉ノイズに対する回路の配置角度
- ◆ノイズ源を減らす
 - ・ツイスト・ペアによる配線
 - ・分割シールド

ルするために有効です。同じ原理が、発生源のリード線にもいえます。磁界の発生源が隣接するリード線を伝わる大電流によるものであるなら、全体の磁界量を低減させるために、これらのリード線もツイスト・ペア化します。

シールドや密閉は、電界によるノイズに対しては、磁界によるノイズには有効ではありません。しかし、場合によっては有効なこともあります。高い透磁率の材料（たとえばミュー・メタルなど）を用いた低周波シールドは、磁界量をゆるやかに減衰させることができます。高周波においては、単純な導体シールドが非常に有効となります。そのシールドの厚さとしては、使用する導体の表皮効果による表皮深さ（目的周波数に依存する）より大きいものを使うことです。ちなみに、銅の表皮深さは $6.6/\sqrt{f}$ cm となります（ f の単位は Hz）。

●受動部品：EMI に対抗するための味方

抵抗、コンデンサ、コイルなどの受動部品は、それらを適切に使用した場合には、外部で発生する干渉を低減させることのできる有効なツールとなります。

シンプルな RC ネットワークは、有効かつ低コストな単一ポール型のローパス・フィルタになります。外部から到来するノイズは抵抗で熱に変換されます。しかし、固定抵抗器はそれ自体が熱雑音を発生することに注意してください。同様に、OP アンプや計装アンプなどの入力回路にそれらの抵抗器が使われた場合、入力バイアス電流によりオフセット電圧を誘起することもあります。二つの抵抗値をマッチングさせることで DC オフセットを低減させることができますが、それでもノイズは残ってしまいます。表 6-6 に、EMI を低減させる一般的なローパス・フィルタのいくつかについてまとめてあります。

信号ラインとそのリターン・ラインが磁氣的に結合していない場合、コモンモード・チョークは相互インダクタンスを上昇させることに使えます。これらの内容は計装アンプ

〈表 6-6〉受動部品を使用した EMI 対策用のフィルタ

ローパス・フィルタの種類	利点	欠点
RC型	簡単 低価格	抵抗体による熱雑音 $I_B \times R$ による電圧降下→オフセット 単一ポールのカットオフ周波数
LC型 (パイファイラ)	低周波で非常に低いノイズ 電圧降下が非常に低い 低価格 二つの極をもつカットオフ特性	やや複雑 コアの非線形効果の影響
π 型 (C-L-C)	低周波で非常に低いノイズ 電圧降下が非常に低い パッケージングされたフィルタ 複数の極をもつカットオフ特性	複雑 コアの非線形効果の影響 高価格

(平衡入力信号を受けることが一般的) に対して適用できます。一方で OP アンプは元来の使いかたから (計装アンプとして使用されていないかぎり) は, 不平衡入力の回路になっています。コモンモード・チョークは, 単純に高い透磁率 (2000 以上) のフェライト・ビーズに差動信号のリード線を何回か巻きつければ作ることができます。フェライトの磁性特性は, コモンモード電流を阻止しながら, 差動電流を妨げずに流すことができます。

コンデンサも, チョークの前段にコモンモード除去用として, またチョークの後段に差動モード除去用として使うことができます。コモンモード・チョークは低コストながら, 非常に小さな熱雑音と低バイアス電流による低いオフセット電圧を実現できます (線材の非常に低い直流抵抗のため)。しかしながら, コアの周辺に電磁界が発生してしまいます。コアの周りをメタルによるシールドで囲むことが, 他の回路との結合を避けるために必要になるかもしれません。また, 大電流での動作は, フェライトの磁気飽和を発生させてしまうので避けなければなりません。

受動部品による 3 番目の方法は π 形 (C-L-C) ネットワークを使用することです。これらのフィルタはノイズ放射源のインダクタンスから発生する磁束を抑圧するシールドとして作用し, また入力側と出力側ともにフィード・スルー・コンデンサが内部に配置されている単一構造の製品となっています。これらの回路部品は高いレベルのノイズ抑圧効果もち, 広い範囲の周波数において動作します。ただし, これらのフィルタはフェライトが飽和しないような動作電流レベルのものを選択する必要があります。

● EMI に対してのシステム感度を低減させる

ここまで説明してきた一般的な事例やテクニックは, EMI/RFI を除去したり低減させたりするための要点について述べたものです。さらにシステム全体として考えた場合の対

〈表 6-7〉システム全体の EMI/RFI 感度を低減する

- ◆いつでも干渉波があると考えること
- ◆導体の筐体を電界および高周波磁界の対策に用いること
- ◆ミュー・メタルの筐体を低周波磁界の対策に用いること
- ◆ケーブルのシールドを効果的に使用すること
- ◆フィード・スルー・コンデンサとパッケージ化された π 形フィルタを用いること

策について、表 6-7 にまとめました。

EMI に対して有効なフィルタリング・テクニックの他の例は、この章の後半の「OP アンプや計装アンプ回路において RFI 整流作用を低減する」で解説されています。次節では、シールドの原理について詳細を説明します。

6-3 シールドとは何か

これから示すシールドの有効性の考えかたは基礎的な内容です。興味ある読者はより詳細な情報を得るために、この章の最後に掲載されている参考文献 (4) ~ (9) を読むとよいでしょう。

シールドの有効性について考える際には、

- 干渉の発生源
- 発生源の周りの環境
- 発生源と観測点（干渉の受け側）との距離

を把握することが必要になります。回路が発生源に近いところで動作している場合（近傍界，誘導界とも呼ばれる），周辺電磁界の特性は発生源により決定されます。一方，回路が発生源から遠方に位置している場合（遠方界，放射界とも呼ばれる），周辺電磁界の特性は伝播媒体により決定されます。

回路と干渉発生源の距離が波長 λ を 2π で割った長さ、つまり $\lambda/2\pi$ より近い距離の場合、回路は近傍界で動作しているといえます。もし、干渉発生源と回路との距離がこの長さよりも長い場合は、回路は遠方界で動作しているといえます。たとえば、1 ns のパルスのエッジにより干渉が発生している場合は、帯域の上限は 350 MHz になります。350 MHz の波長は約 32 インチ (81 cm) です。ここで光速は 12 inch/ns (30.5 cm/ns) です。この値を 2π で割ると距離は 5 インチ (12.7 cm) になり、ここが近傍界と遠方界との境になります。回路が 350 MHz の干渉発生源から 5 インチ以内で動作している場合、その回路は近傍界による干渉環境下で動作しているといえます。逆に、5 インチより遠いところで動作

している場合、その回路は遠方界による干渉環境下で動作しているといえます。

干渉の種類によらず、それに付随する特性インピーダンスというものがあります。特性インピーダンス、または波動インピーダンスとも呼ばれますが、これは電界（E界）と磁界（H界）の比で決定されるものです。遠方界では、電界と磁界の比は、 $Z_0 = 377 \Omega$ で与えられる自由空間特性インピーダンス（波動インピーダンス）となります。近傍界では、波動インピーダンスは信号源の距離と干渉量により決定されます。もし干渉発生源が大電流/低電圧（たとえばループ・アンテナや電源用トランス）の場合、その電磁界は磁界が支配的になり、波動インピーダンスは 377Ω よりも低い値を示します。もし、干渉源が低電流/高電圧（たとえばロッド・アンテナや高速デジタル・スイッチング回路）の場合、その電磁界は電界が支配的になり、波動インピーダンスは 377Ω よりも高い値を示します。

導電性の筐体によって、外部の電磁界からの影響にセンシティブな回路をシールドできます。筐体の材質は、存在する干渉に対して特性インピーダンスのミスマッチ部分となります。なぜなら、シールドのインピーダンスは干渉の存在する空間の特性インピーダンスよりも低いからです。導電シールドの有効性は二つのことがらに依存します。一つめは、シールド材から反射する干渉波の反射ロス量です。二つめは、シールド材内部での干渉波の減衰吸収による損失です。反射ロス量は、干渉波の種類と波動インピーダンスに依存します。しかしながら減衰吸収量は、干渉波の種類に依存しません。それは近傍界でも遠方界でも同じで、同様に電界でも磁界でも同じであるということです。

二つの伝播媒体間における干渉波の反射ロスは、それぞれの伝播媒体の特性インピーダンスの違いに依存します。たとえば電界では、反射ロスは干渉波の周波数とシールド材に依存します。このロスはdBで表現され、下記の式で与えられます。

$$R_e[\text{dB}] = 322 + 10 \log_{10} \left(\frac{\sigma_r}{\mu_r f^3 r^2} \right) \dots\dots\dots (8-9)$$

σ_r : シールド材の比導電率 [S/m]

μ_r : シールド材の透磁率 [H/m]

f : 干渉波の周波数 [Hz]

r : 干渉源からの距離 [m]

磁界については、反射ロスはシールド材の材質と干渉波の周波数に依存します。磁界での反射ロスは下記の式で与えられます。

$$R_m[\text{dB}] = 14.6 + 10 \log_{10} \left(\frac{f r^2 \sigma_r}{\mu_r} \right) \dots\dots\dots (8-10)$$

さらに、平面波 ($r > \lambda/2\pi$) では、反射ロスは下記の式で与えられます。

$$R_{pw}[\text{dB}] = 168 + 10 \log_{10} \left(\frac{\sigma_r}{\mu_r f} \right) \dots\dots\dots (8-11)$$

減衰吸収は、シールド材での副次的なロスメカニズムになっています。減衰吸収による干渉波レベルの低減は下記の式で与えられます。

$$A[\text{dB}] = 3.34 t \sqrt{\sigma_r \mu_r f} \dots\dots\dots (8-12)$$

t ：シールド材の厚さ [inch]

この式は、電界および磁界が平面波の場合に有効です。送出される電磁波はシールド材の厚さに対して指数関数的に減少するため、単一表皮効果深さ δ 当たりのシールド内部での減衰吸収ロスは9 dBになります。減衰吸収ロスは厚みに比例し、表皮効果深さに反比例するため、シールド材を厚くすることで高周波領域でのシールド効果を向上させることができます。

遠方界での平面波の反射ロスは、周波数が上昇するにしたがって小さくなります。なぜなら、シールドのインピーダンス Z_s は周波数が上昇するにしたがって大きくなるからです。逆に、減衰吸収ロスは、周波数が上昇するにしたがって大きくなります。それは表皮効果による表皮深さが小さくなるからです。平面波での電界では、主たるシールド効果は反射ロスで、高い周波数になると減衰吸収ロスが主体となります。

このように高周波での干渉信号には、軽量で高い伝導度を確保できる銅やアルミ材が十分なシールド効果を実現できます。一方で低い周波数では、反射ロスと減衰吸収ロスは、磁界に対してともに低くなってしまいます。これらのアプリケーションでは、低い磁気抵抗を示す高い透磁率の材質がベストな防護材になります。これらの低い磁気抵抗を示す材質は、保護される回路から磁界を隔離するように、外部磁界を別経路としてバイパスさせることができます。

シールドの目的で一般的に使われる金属材料の特性をまとめると、高周波干渉においては高い伝導度の金属を用い、低周波干渉に対しては高い透磁率の金属を用いるということです。

適切にシールドされた筐体は、その中の回路に妨害を与えるような外部干渉から防御するとともに、内部で発生した干渉波を筐体内部に閉じ込めることにも効果的です。しかしながら、現実にはシールドの一部に調整ノブやスイッチ、コネクタのための開口部や、換気や冷却のための穴が必要となります。残念なことにこれらの開口部は、高周波の干渉波を機器内部に入り込ませる経路をつくってしまい、シールド効果を妥協しなくてはならないこともあります。

開口部の最大の寸法（全体の面積ではない）は、筐体内部に入り込んでくる外部電磁界の量を評価するために使うことができます。なぜなら、開口部はスロット・アンテナとしてふるまうためです。式 (8-13) はシールド効果を検証する際に、EMI の漏洩量（浸透量）に対する筐体の開口部による感度 E_s を計算するために使うことができます。

$$E_s[\text{dB}] = 20 \log_{10} \left(\frac{\lambda}{2L} \right) \dots\dots\dots (8-13)$$

λ : 干渉波の波長

L : 開口部の最大寸法

開口部を通しての EMI の輻射量は、開口部の最大寸法が干渉波の周波数に対して $1/2$ 波長のとき最大になります（ここではシールド効果が 0 dB になってしまう）。大体の目安の数値として、20 dB のシールド効果を確認するためには、干渉波の波長の $1/20$ 以下の長さの開口部にすべきです。

さらには、筐体の両面にいくつかの小さい開口部を設けたほうが、たくさんの開口部が片面だけにある場合に比較すると良いといえます。なぜなら、異なる面にある開口部は異なる方向に対してエネルギーを放射するので、結果としてシールド効果の減少は少なくなるからです。もし開口部や合わせ目が避けられないのであれば、導電性のガスケット、スクリーン、ペイントを適切に併用して使用し、最大の開口部を干渉波の波長の $1/20$ 以下にとどめるようにしなければなりません。ケーブル、線材、コネクタ、表示器、もしくは制御シャフトなど、いずれも筐体の大部分を占めるものについては、その部位の円周上に金属シールドを配置し、それにより筐体への取り付けポイントのすぐそばで物理的にアースすることです。シールドされていないケーブルやリード線が用いられる用途では、シールドがはじまる点にフィルタを挿入するとよいでしょう。

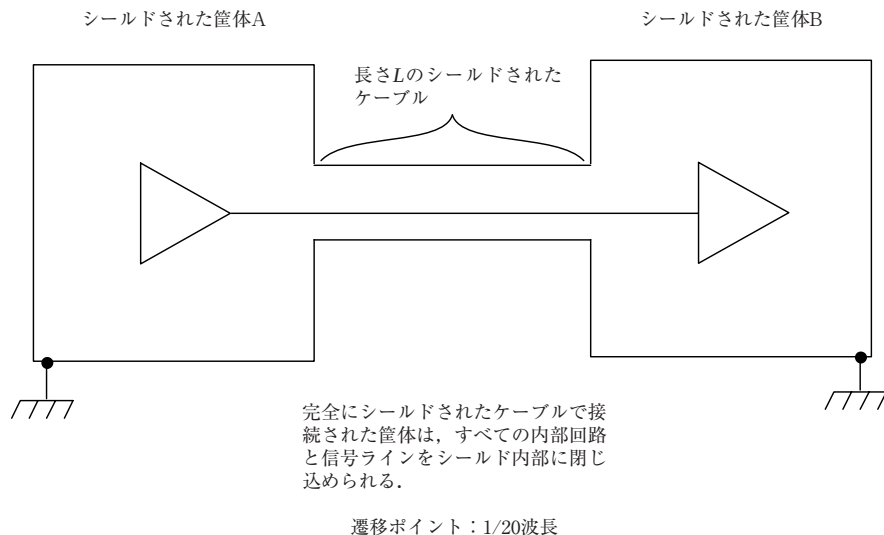
●ケーブルとシールドについての一般的な注意点

詳細は別に述べますが、ケーブルとそのシールドを不適切に使用することは、放射干渉ノイズと導電干渉ノイズの大きな源になってしまうことがあり、まったく価値がありません。これらの問題に対しての自分なりの方法論を確立することよりも、この件に興味のある読者の方は参考文献 (2), (3), (5), (6) を基礎知識として読んでおくことをお勧めします。

図 6-1 に示すように、ケーブルや筐体の適切なシールドは、シールド効果を損なうことなく、その内部にセンシティブな電子回路や信号を完全に閉じ込めることができます。

このブロック図で示されるように、筐体とシールドは適切にグラウンドに落とさなければなりません。そうしないと、それらはアンテナとして動作してしまい、放射干渉と導電

〈図 6-1〉シールドされた接続ケーブルは動作周波数によって電氣的に長いか短いかのどちらかになる



干渉の問題をさらに悪化させてしまいます（良い方向にはならない）。

干渉波の種類に応じて（ピックアップか輻射か，低周波か高周波か），適切なケーブルのシールド方法はそれぞれ異なる方式で実現されますが，それはケーブルの長さに非常に深くかかわってきます。最初のステップは，対策しなければならない周波数に対して，ケーブルの長さが電氣的に長いか短いかを見極めることです。ケーブルが干渉波の最大周波数の $1/20$ 波長より短い場合は，ケーブルは電氣的に短いと考えられます。それ以上は電氣的に長いと考えなくてはなりません。

たとえば $50/60\text{ Hz}$ では， 150 マイル (240 km) 以下のどんな種類のケーブルでも電氣的に短いケーブルであり，その場合，この周波数の電磁界における支配的な結合メカニズムは容量性となります。 150 マイル よりも短いケーブルでは，干渉波の振幅はケーブル長の全体において同一になります。

電氣的なケーブルの長さが長いと考えられる場合や，高周波干渉に対しての防御が必要な用途では，ケーブルの両端のシールド線を低インピーダンスの点に接続することが良好な結果をもたらします。これから見ていくように，送出端では直接に接続し，受信端では容量性で結合することで実現できます。もしグラウンドに落とさないままにした場合は，終端していない伝送線路としての効果からケーブルに沿った定在波を発生させてしまいま

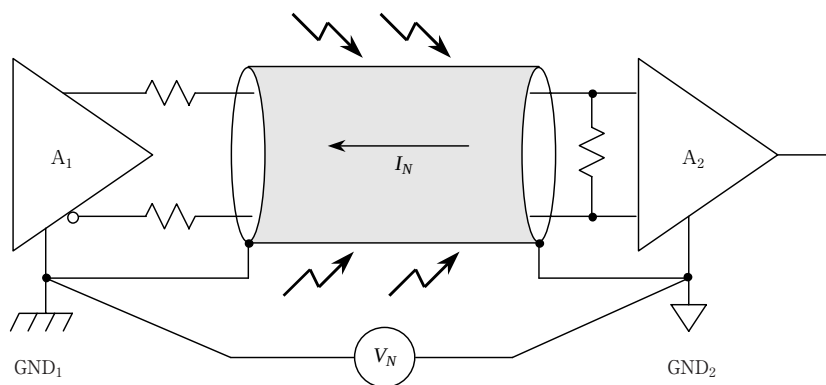
す。周波数が10 MHz以上の場合、グラウンドに対して確実な低インピーダンス接続を確保するために、ケーブル全周(360°)上でのシールド接続と金属製コネクタが必要になります。

まとめておくと、1 MHz以下の低周波、つまり電界による干渉波に対しての防護は、シールドの片側でグラウンドに落とすことで十分です。1 MHzを越える高い周波数の干渉波では、ケーブルの両端でグラウンドに接続し、さらにシールド線とコネクタを360°の円周上で接続することが良い方法と言えます。そして、コネクタと筐体間では金属と金属との連続的な結合(電氣的に面でつながっている)を維持することです。

しかし実際には、両端でシールドを直接グラウンドに接続する際には注意が必要です。そのようにすると、結果として低周波でのグラウンド・ループが形成されてしまうことになります。これを図6-2に示します。

二つのシステム A_1 と A_2 が相互に離れて設置されている場合、それぞれのシステム間にグラウンドの電位差 V_N が発生しています。このグラウンド電位差は商用電源周波数(50/60 Hz)か、その整数倍になります。しかし、もし図に示すように、シールドがケーブルの両端で直接グラウンドに接続されている場合は、ノイズ電流 I_N はシールド線の中を流れます。完全に平衡なシステムの場合には、システムの同相電圧除去比は無限大であ

〈図6-2〉シールドされたツイスト・ペア・ケーブルによるグラウンド・ループは誤差を発生させる



- ◆ V_N はシールド内に電流を生じさせる(普通では50/60 Hz)
- ◆ A_2 の入力端子に差動誤差電圧が、以下の条件以外では発生する
 - ・ A_1 出力は完全にバランスされていて、
 - ・ A_2 入力も完全にバランスされていて、
 - ・ ケーブルも完全にバランスされている。

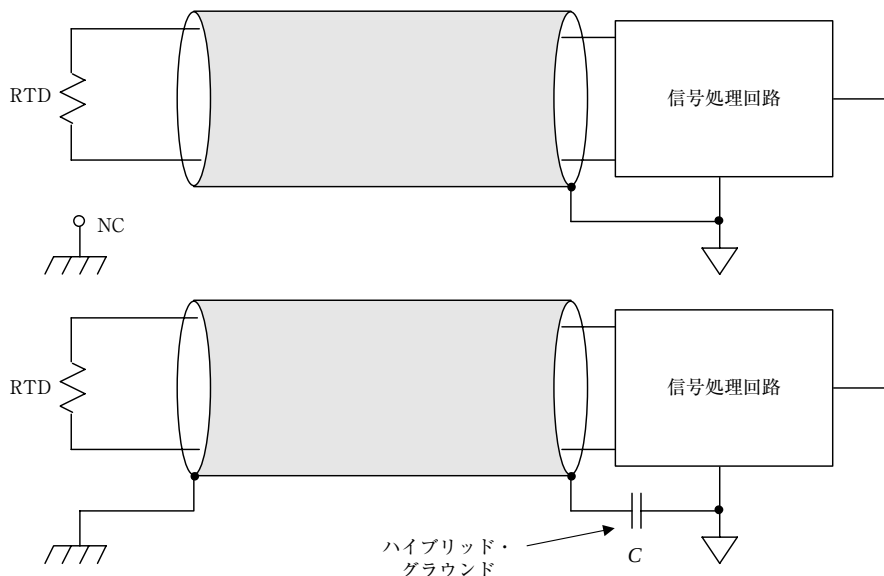
り、この電流は受端側の A_2 では差動誤差電圧をまったく発生させません。しかしながら、ドライバ、インピーダンス、ケーブル、レシーバを含めての完全な平衡などなしえるものではなく、それゆえシールドに流れる電流のいくらかは受端側 A_2 の入力において差動ノイズ信号として現れてしまいます。以下に、シールド線のグラウンドとの正しい接続について説明します。

上に示したように、ケーブルのシールドは低い周波数の干渉か高い周波数の干渉かによって対応が異なります。良い設計の見本は、ケーブルが干渉周波数に対して電氣的に長い場合、シールドをケーブルの両端でグラウンドに落とすことを必要としますが、それは一般的に「高周波での干渉」の場合です。

図 6-3 は、離れて設置されたパッシブ RTD (Resistance Temperature Detector ; 測温抵抗体) センサが、シールドされたケーブルにより信号処理回路に接続されているものです。適切なグラウンドの取りかたは上側の図に示されていますが、ここでは受信端にてシールドがグラウンドに落とされています。

しかし安全性への考慮から、この離れて設置されたセンサ側のシールドもグラウンドに落とすことが必要になるかもしれません。もしその場合は、受信端側を低い寄生インダク

〈図 6-3〉パッシブ・センサを接続するシールド・ケーブルのハイブリッド・グラウンド

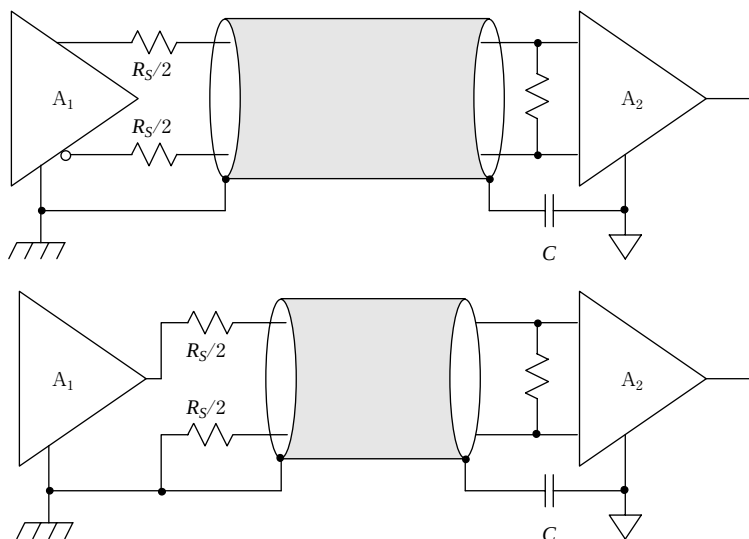


タンスのセラミック・コンデンサ ($0.01 \sim 0.1 \mu\text{F}$) でグラウンドに落とせば、高周波に対しては低いインピーダンスのグラウンド接続を実現することができます。コンデンサは高周波信号に対してシールドをグラウンドに接続し、一方でシールドに流れる低い周波数の電流に対してはそれをブロックするように動きます。このテクニックは「ハイブリッド・グラウンド (hybrid ground)」と呼ばれます。

離れて設置されたアクティブ回路によるセンサを利用するような電子機器の例を図6-4に示します。平衡型ドライバ (上の例) の場合も、不平衡型ドライバ (下の例) の場合も、ハイブリッド・グラウンドはどちらも適切といえます。それぞれコンデンサ C にて、低周波のグラウンド・ループを遮断しており、図の右端に示す A_2 の受端でシールド・ケーブルに有効な高周波グラウンドを提供しています。

さらに、信号源の終端に抵抗 R_S が使われる場合に少し注意しなければならない点があります。ドライバ回路が平衡型であってもシングル・エンド型であっても、全体のインピーダンス R_S から生成された平衡ライン上に出送された信号を見てみると、二つの $R_S/2$ のツイスト・ペア線間の信号に分割することができます。上図の場合は完全に差動ドライバ型であり、これは非常に単純で、 $R_S/2$ の大きさの抵抗が A_1 からの差動出力に対して直列に接続されています。

〈図6-4〉バランスされたシールド・ケーブルをインピーダンス・バランスされた信号で駆動すると平衡/不平衡の信号源のどちらもノイズ耐性が向上する

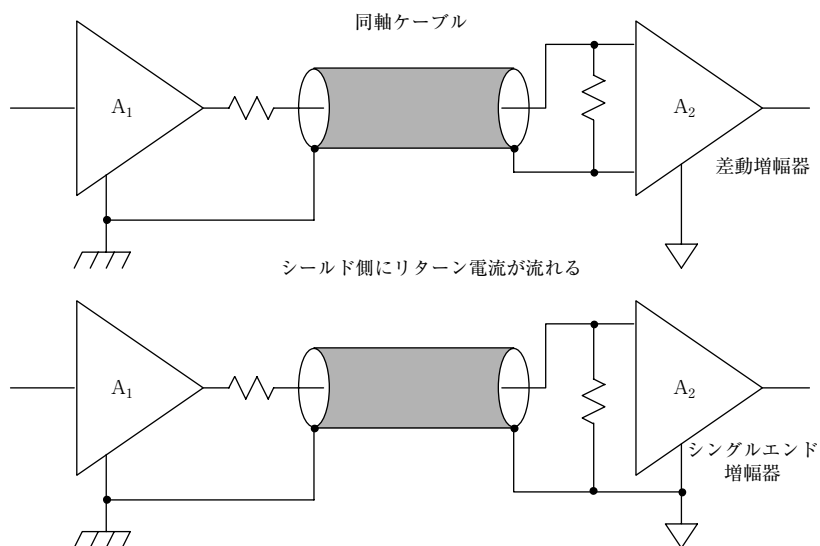


下図の場合はシングル・エンド型のドライバ回路の例であり、これも二つの $R_S/2$ の抵抗が使われていると考えられ、ひとつは端子から直列に接続されています。ここでグラウンドに接続されたダミーのリターン・ライン上の抵抗は、インピーダンスをバランスさせた差動ラインのグラウンド接続を実現します。そして、これは全体のシステムのノイズ耐性を向上する助けになっています。この実用例は図のように、 A_2 が平衡型のレシーバである場合のアプリケーションで有効であることに注意が必要です。

同軸ケーブルが、シールドされたツイスト・ペア・ケーブルと比較して異なる点は、信号電流のリターン経路がシールド線を通ることです。この理由により、理想的な状況はシールド線を送信端でグラウンドに接続し、図 6-5 の上部に示すように差動レシーバ A_2 側ではシールド線をフロートにしておくことです。このテクニックを有効に働かせるためには、レシーバは差動型であり、高い周波数において高いコモンモード除去性能が得られることが必須です。

しかしレシーバに、標準的な OP アンプを 1 個用いた回路のようなシングル・エンド型を使用することもあるでしょう。これは図 6-5 の下の例で示すように、選択のしようもありますが、この場合は同軸ケーブルのシールド線を両端でグラウンドに落とすしかありません。

〈図 6-5〉同軸ケーブルは差動/シングルエンドのどちらの受信回路でも使うことができる



6-4 入力段でのRFI整流作用の感度

RFI整流作用は、よく知られているものの十分には理解されていないアナログ集積回路上での現象です。とくにこれはOPアンプや計装アンプで発生します。これらのデバイスは非常に小さいレベルの信号を増幅するため、大振幅の帯域外の高周波信号（つまりRFI）を整流してしまいます。その結果として、DCエラーが希望信号に合わさって出力に現れます。この不要の高周波信号は、いろいろなところから敏感なアナログ回路に混入してしまいます。

内部回路に入出力される信号線は、回路に対しての干渉波の電磁結合の経路となってしまいます。これらの信号線は、ここまでに解説してきた容量性/誘導性/放射による結合を通してノイズをピックアップしてしまいます。この不要信号は、希望する信号と同時に増幅器の入力側に現れます。不要信号の振幅は数十mV程度ですが、それでも問題を引き起こします。端的に言えば、感度が高く帯域の狭いDC増幅器は、帯域外の不要信号を除去するとは仮定できないということです。これは、単純なりニアのローパス・フィルタや、OPアンプや計装アンプ素子が、実際に高いレベルの高周波信号を整流し、非線形性と予期しないオフセットを発生させてしまうということです。本節では、RFIを避ける方法と同様に重要なRFIの解析方法についても説明していくことにします。

●予備知識：OPアンプと計装アンプのRFI整流作用の感度のテスト方法

計装アンプとOPアンプの入力段にはいくつかのタイプがあり、エミッタ結合のバイポーラ・トランジスタソース結合のFETの差動ペアなどの回路が用いられています。デバイスの動作電流、干渉波の周波数、相対振幅に依存して、これらの差動ペアは高周波検波器としてふるまってしまう。これから示すように、検波プロセスはDCと一緒に干渉波の高調波のスペクトル成分を生成してしまいます。干渉信号が検波されることで発生するDC成分により増幅器のバイアス・レベルがシフトしてしまい、結果として増幅器の不正確さを招いてしまいます。

OPアンプや計装アンプにおいて、RFI整流作用は比較的簡単にテスト回路で評価することができます。これは、「RFI整流作用のテスト方法」[参考文献(10)のpp.1～38を参照]に示されています。これらのテストでは、OPアンプや計装アンプは利得を-100(OPアンプの場合)か+100(計装アンプの場合)に設定し、他の干渉信号からの妨害を防ぐために付加した100Hzのローパス・フィルタの出力のDC信号を測定します。テストに用いる励振信号は100MHzの20mV_{p-p}の信号で、テストされる素子の周波数リミットよりもかなり高い周波数を選びます。このテスト方法では、励振信号を与えた状況下でDC出力シフトを観測して評価します。この測定において理想的なDCシフトはゼロとな

りますが、実際のテスト回路でのDCシフトは、RFI整流作用の感度の相対的指標を示します。バイポーラ、FETのどちらのデバイスでもこの方法により、デバイスの消費電流の大小にかかわらずテストすることができます。

参考文献(10)で解説されているOPアンプ用のオリジナルのテスト・セットでは、いくつかのFET入力デバイス(OP80, OP42, OP249, AD845)は出力での電圧シフトは観測されませんでした。一方で、別のいくつかのものは、入力換算で $10\mu\text{V}$ 以下のDCシフトを示すものがありました。バイポーラ入力のOPアンプでは、素子の供給電流を増加させることでこのDCシフトは減少しました。ただ二つのデバイス(AD797とAD827)は、出力電圧のシフトが観測されず、他のもの(OP200とOP297)は入力換算で $10\mu\text{V}$ 以下のシフトが観測されました。さらに他のOPアンプにおいても、このテストで同様な傾向を認めることができると考えられます。

これらのテスト結果によって、RFI整流作用についていくつかの点を一般化することができます。まず、素子の感受性は供給電流に逆比例するということ、つまり低い静的な供給電流でバイアスされている素子は大きい出力電圧シフトを示すということです。二つめとして、FET入力段をもつICはバイポーラ入力段のICと比較してより少ない整流感度特性を示します。

これらのポイントは、デバイスがOPアンプか計装アンプであるかについては関係ないということに注意してください。これは実際には、ローパワーのOPアンプや計装アンプほど、RFI整流効果に高い感度があるということです。また、FET入力段のOPアンプ(および計装アンプ)は、特に大電流で動作している場合に、RFIに対しての感度が低い傾向にあります。

これらのデータや基本的なバイポーラとFETの違いに基づいて、知りえた事柄をまとめることができるでしょう。バイポーラ・トランジスタの動作は順方向にバイアスされたPN接合(ベース-エミッタ間接合)により制御され、その I - V 特性は指数関数的で、まさしく非線形であるといえます。一方でFETは、逆方向にバイアスされたPN接合ダイオード(ゲート-ソース接合)にかけられた電圧で制御するように動作します。FETの I - V 特性は2乗特性であり、バイポーラ・トランジスタと比較すると元来のリニアリティをもっているといえます。

電流供給量の少ないデバイスでは、回路内のトランジスタは f_t を最大にするコレクタ電流以下でバイアスされているのが普通です。ICなどは、デバイス自体の f_t が数百MHzにも達するプロセスにより作られています。トランジスタが低電流領域で動作するときは電荷移動時間が長くなってしまいます。同じく、使用されるインピーダンスのレベルでもこれらのデバイス内部でのRFIによる整流作用を悪化させます。ローパワーOPアンプでは、インピーダンスは数百～数千 $\text{k}\Omega$ の範囲ですが、適度な消費電流で設計された場合の

〈表 6-8〉OP アンプや計装アンプの入力段での RFI 整流作用感度の一般的要点

- ◆ バイポーラ・トランジスタによる入力回路の素子は整流作用をもつ
 - ・ 順方向にバイアスされたベース-エミッタ接合
 - ・ I - V 伝達関数が指数関数である
- ◆ FET による入力回路の素子は整流感度が低い
 - ・ PN 接合が逆バイアスされている
 - ・ I - V 伝達関数が 2 乗則をもっている
- ◆ 供給電流の低い素子と供給電流の高い素子
 - ・ 低い供給電流 $\Rightarrow$ より高い整流感度
 - ・ 高い供給電流 $\Rightarrow$ より低い整流感度

インピーダンスは数 $k\Omega$ 以上にはならないでしょう。以上の点を考慮すると、これらのファクタはローパワー素子における RFI 整流作用の感度特性を劣化させる傾向があります。

表 6-8 は、RFI 整流作用の感度について一般的に見られる傾向についてまとめてあります。これらは OP アンプにも計装アンプにも当てはめることができます。

● 解析的アプローチ：バイポーラ・トランジスタの RFI 整流作用

実験室内での実験にて、バイポーラ・トランジスタ入力段の素子が FET 入力段の素子と比較して、より大きな RFI 整流作用の感度を示すことを確認することができます。また、この現象を説明するために、もっと解析的なアプローチをとることもできます。

高周波回路設計者は、PN 接合ダイオードは非線形な I - V 特性をもつため、有効な整流素子であることを昔からよく知っています。高周波のサイン波を入力したときのバイポーラ・トランジスタ出力電流のスペクトルを解析すると、素子がカットオフに近いところでバイアスされると非線形性が増大することを示します。これは実際に、入力段のトランジスタが非常に低いコレクタ電流領域でバイアスされるローパワー OP アンプで特に言えることです。

バイポーラ・トランジスタのコレクタ電流と整流作用についての解析は参考文献 (10) に示されています。したがって、ここでは重要な結論についてのみ説明することにします。解析の結果から、伝達関数の 2 次方程式の 2 次項は、入力周波数の 2 倍に依存する項 $\Delta i_{C(AC)}$ と、DC 項 $\Delta i_{C(DC)}$ に簡単化できることを示しています。後者の項は式 (8-14) のようになり、整流された DC 項の最終形を示します。

$$\Delta i_{C(DC)} = \left(\frac{V_X}{V_T} \right)^2 \cdot \frac{I_C}{4} \dots\dots\dots (8-14)$$

この式は、2次項のDC成分は高周波ノイズの振幅 V_X の2乗に比例し、トランジスタのコレクタ静状態電流 I_C に比例します。この整流作用の要点を述べると、バイポーラ・トランジスタにおいては、コレクタ直流電流 I_C が1mAで動作しているとき、高周波ノイズがピーク値10mVで混入した場合、コレクタ直流電流の変化量は38 μ Aとなります。

整流作用によるコレクタ電流の変化量を低減するには、静状態電流を減らすか、干渉量を減らす必要があることがわかります。OPアンプや計装アンプで入力段コレクタ消費電流の可変機能をもっているものはまれなので、高周波ノイズ V_X のレベルを低減させることはベストな方法（ほとんど唯一の方法）となります。たとえば、高周波ノイズを1/2に低減させることを考えると、ピーク値5mVのノイズは、全体として整流作用によるコレクタ電流の変化量を1/4にできます。これは明白に、不要な高周波信号をRFIに対して敏感なアンプの入力端子から隔離することの重要性を示しています。

●解析的アプローチ：FETのRFI整流作用

接合型FETでのドレイン電流に対する整流作用の解析も、参考文献(10)に示されています。そのため、ここでは繰り返して説明はしません。FETのドレイン電流の整流作用を解析するためには、ゲートに印加される小信号電圧 V_Z の関数として、先と同様なアプローチを用いることができます。FETのドレイン電流における2次項の整流作用の結果を示す式を式(8-15)に示します。バイポーラ・トランジスタと同様に、FETの2次項もACとDCの成分を含んでいます。ここでは、整流作用によるドレイン電流のDC項について簡単な表記を示しています。整流されたあとのドレイン電流は、高周波ノイズ V_X の振幅の2乗に比例することがわかります。式(8-15)はまた、FETとバイポーラ・トランジスタとでは整流作用の程度に大きな差があることを示しています。

$$\Delta i_{D(DC)} = \left(\frac{V_X}{V_P} \right)^2 \cdot \frac{I_{DSS}}{2} \dots\dots\dots (8-15)$$

バイポーラ・トランジスタでは、コレクタ電流の変化はコレクタ静状態電流のレベルに直接関係がありますが、接合型FETのドレイン電流の変化はゲート・ソース間電圧がゼロのときのドレイン電流 I_{DSS} に比例しており、そのチャネル・ピンチオフ電圧 V_P の2乗の逆数に比例しています。これらのパラメータには幾何学的関係があり、プロセスに依存しています。典型的には、計装アンプやOPアンプの入力段に使われる接合型FETでは、静状態電流を I_{DSS} の約0.5倍になるように設定しています。したがって、接合型FETのドレイン電流の変化はドレイン静状態電流に依存しません。つまり、動作点に依存しないことになります。

この2次項による整流について、バイポーラ・トランジスタとFETでのDC成分の量

〈表 6-9〉バイポーラ・トランジスタと接合型 FET の相対的な感度の比較

◆ BJT (バイポーラ・トランジスタ) :	◆ JFET (接合型 FET) :
エミッタの広さ: $576 \mu\text{m}^2$	$I_{DSS} = 20 \mu\text{A}$ ($Z/L = 1$)
$I_C = 10 \mu\text{A}$	$V_P = 2\text{V}$
$V_T = 25.68\text{mV}@25^\circ\text{C}$	$I_D = 10 \mu\text{A}$
$\Delta i_c = \left(\frac{V_X}{V_T} \right)^2 \cdot \frac{I_C}{4}$	$\Delta i_D = \left(\frac{V_X}{V_P} \right)^2 \cdot \frac{I_{DSS}}{2}$
$= \frac{V_X^2}{264}$	$= \frac{V_X^2}{400 \times 10^3}$
◆ 結論: BJTはFETの1500倍も感度が高い	

的比較を表 6-9 に示しました。この例では、エミッタの単位面積 $576 \mu\text{m}^2$ のバイポーラ・トランジスタと、それに対応する $20 \mu\text{A}$ の I_{DSS} 、 2V のピンチオフ電圧として設計された接合型 FET とを比較しています。それぞれの素子は $10 \mu\text{A}$ でバイアスされ、周辺温度 $T_A = 25^\circ\text{C}$ で動作しています。

重要な結論は、同一の消費電流レベルでは、バイポーラ・トランジスタのコレクタ電流の変化量が接合型 FET のドレイン電流と比較して 1500 倍も大きいことです。このことは、FET 入力増幅器が高いレベルの高周波励振信号に対して低感度で動作する理由を示しています。結果として、FET 入力アンプは RFI 整流作用への耐量をより高くできます。

これらすべてを要約すると、ユーザは増幅器の内部回路にアクセスすることがほぼできないので、RFI による IC 回路の性能低下を防ぐことは、IC 外部に何かしらの対策を施すことが必須であるということになります。

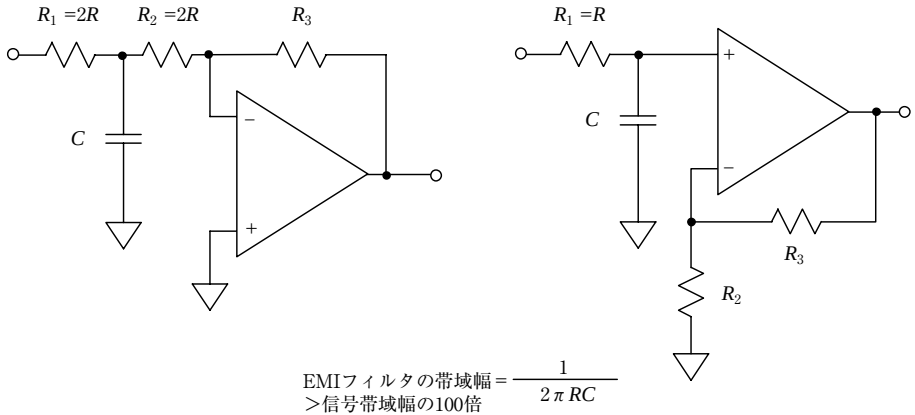
上に説明してきた解析のように、増幅器の種類によらず、RFI による整流作用は干渉信号の振幅の 2 乗に直接比例します。それゆえ、高精度なアンプにおいて RFI 整流作用を低減させる方法は、その前段で干渉波のレベルを低くするかゼロにすることであるといえます。そのための一番直接的な手立ては、適切なフィルタリングをすることです。

このトピックについては、すぐ次の節で説明しています。

6-5 OP アンプや計装アンプ回路において RFI 整流作用を低減する

EMI や RFI は、高精度アナログ回路の DC 性能に大きく影響を与えます。相対的に低

〈図 6-6〉OP アンプ回路のための簡易的な EMI/RFI フィルタ



い帯域幅を扱うので、高精度 OP アンプや計装アンプは正確な増幅度で MHz 帯域の高周波信号を単純に増幅はしません。しかしながら、これらの帯域外の信号は高精度なアンプの内部に、その入力端子や出力端子や電源端子から入り込んでしまい、内部にある多数の増幅素子の PN 接合部で整流され、最終的にその出力に望まない DC オフセットを生じてしまいます。この現象にかかわるここまでの説明では、その基本的なメカニズムについて示してきました。次のステップとして、適切なフィルタリングが、いかにこの誤差量を小さくし、取り除けるかについて説明していきます。

本書のいたるところで、IC 電源ピンに適切な電源デカップリングをすることが RFI を最小化すると説明してきました。ここからの説明では、デバイス・レベルでの増幅器の入力および出力について考えることが必要です。前節まででシステム・レベルの EMI/RFI に対する対処法は、すでに紹介してきたと考えます。それらは RFI に対して頑丈な筐体であったり、適切にグラウンドに落とされたシールドであったり、電源ラインのフィルタリングなどでした。ここからのステップでは、回路レベルでの EMI/RFI の防御について考えていきましょう。

● OP アンプの入力

入力段での整流作用を避けるベストな方法は図 6-6 に示すように、OP アンプの入力端子のすぐそばにローパス・フィルタを配置することです。図の左側の反転増幅回路の場合では、フィルタにはコンデンサ C が同じ大きさの抵抗 R_1 と R_2 の間に配置されています。この結果として、同図に示すように単純なコーナ周波数が得られることになります。非常

に低い周波数かDCでは、回路のクローズドループ・ゲインは $R_3/(R_1 + R_2)$ になります。コンデンサ C は、OPアンプの反転入力端子には直接接続できません。なぜなら、そうすると不安定性を誘発してしまうからです。また、フィルタの帯域幅は信号のロスを最小にするために、信号帯域幅の少なくとも100倍に選ばなければなりません。

非反転増幅器の場合を図の右側に示してあります。コンデンサ C がOPアンプの入力に直接接続されています。そして、大きさが R の入力抵抗は反転増幅器の場合と同じコナ周波数を作り出します。それぞれの場合とも、低い寄生インダクタンスのチップ型コンデンサ（たとえばNPOタイプのセラミック・コンデンサ）を使わなければなりません。コンデンサはどんな場合でも、それらの性能を制限してしまうロスや電圧依存の性能変化などの問題がない、NPO型かフィルム・コンデンサでなければなりません。

R_1 の代わりにフェライト・ビーズを使用することも可能です。しかし、フェライト・ビーズのインピーダンスは正確にコントロールされているものではありません。10 MHz～100 MHzにおいて、100 Ω を越えないのが一般的です。したがって低い周波数においては、大きい容量のコンデンサが必要になります。

●計装アンプ（インスツルメンテーション・アンプ）の入力端子

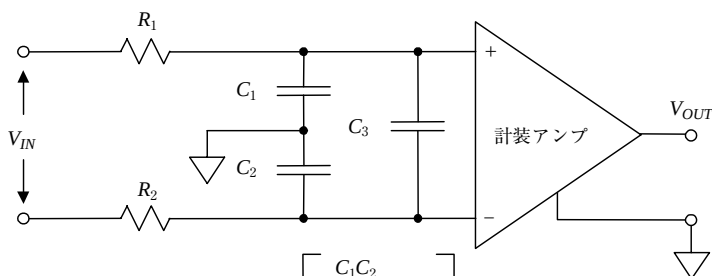
高精度の計装アンプは、コモンモードのEMI/RFIで発生するDCオフセット誤差に対して特別に敏感です。これはOPアンプでも同様な問題となります。そして、OPアンプでもそうであったように、EMI/RFIに対する敏感さは低電力で動作する計装アンプ素子ではより深刻な問題となります。

計装アンプにおいて、デバイス・レベルでの適切なフィルタリングの汎用的なアプローチを図6-7に示します。この回路は、どのような計装アンプにも適用できます。ここで、計装アンプ前段のバランス型のRCフィルタは多少複雑になっていますが、高周波でのフィルタリングのすべてをまかさないです。計装アンプは、その用途に必要なゲインをゲイン設定抵抗（図には示されていない）でプログラムされるものとします。

このフィルタは完全に平衡化されているので、コモンモード（ R_1-C_1 と R_2-C_2 ）でも差動モード*1（ $R_1 + R_2$ と $C_3//C_1-C_2$ ）でも機能します。ここで、 R_1-R_2 と C_1-C_2 が最適にマッチしていない場合、入力端 V_{IN} に印加されるコモンモード信号は、計装アンプの入力のところで差動モード信号に変換されます。この理由から、 C_1 と C_2 は少なくとも相対誤差として5%以内にマッチングしていなければなりません。同じく、 R_1 と R_2 は1%の金属皮膜抵抗でなくてはならず、それによりマッチングが向上します。ここでは、 V_{IN} 端子から

*1【訳注】：差動モード(differential mode)は、国内では「ノーマルモード(normal-mode)」と呼ぶこともある。

〈図 6-7〉計装アンプのためのコモンモード/差動モード用の汎用 RC 型 EMI/RFI フィルタ



$$\tau_{DIFF} = (R_1 + R_2) \left[\frac{C_1 C_2}{C_1 + C_2} + C_3 \right]$$

$$\tau_{CM} = R_1 \cdot C_1 = R_2 \cdot C_2$$

$$\tau_{DIFF} \gg \tau_{CM}$$

$$R_1 \cdot C_1 = R_2 \cdot C_2$$

$$R_1 = R_2 \text{ (誤差1\%)}$$

$$C_1 = C_2 \text{ (誤差5\%)}$$

$$W_{BD} = \frac{1}{2\pi (R_1 + R_2) \left[\frac{C_1 C_2}{C_1 + C_2} + C_3 \right]}$$

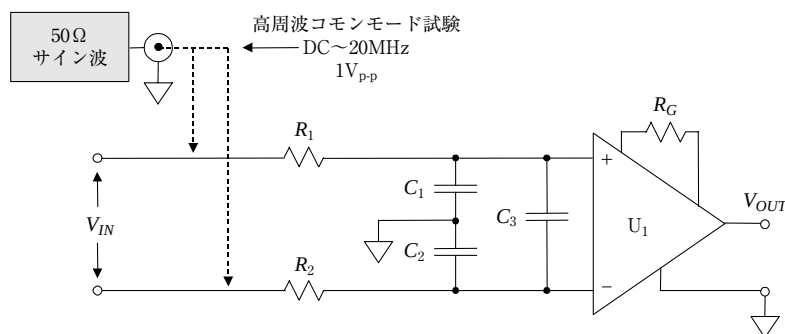
入力を見たときの信号源抵抗は小さく、 R_1 - R_2 にマッチングしていると仮定しています。なお、この種のフィルタでは、 R_1 - C_1 と R_2 - C_2 の時定数のミスマッチによるコモンモードから差動モードへの信号変換で生じる余計な差動信号を低減させるために、 C_3 は C_1 (C_2)に比較して十分に大きくなければなりません($C_3 \geq C_1, C_2$)。

フィルタ全体での帯域幅 W_{BD} は、少なくとも入力信号帯域の 100 倍以上でなくてはなりません。また実装上の注意として、フィルタに使用する部品は理想的な性能を確保するために、計装アンプの入力端子の近くに広いベタ・グラウンドを設けて基板上で対称に配置することが必要です。

図 6-8 は、計装アンプの種類ごとに、それぞれに適したフィルタの定数を示しています。RC 部品は表に示すように、異なる計装アンプ素子によって適切に選定しなくてはなりません。これらのフィルタ部品は、ノイズ・レベルの上昇を抑え、EMI/RFI に対しての感度を低くするために、バランスが取れたものを選定してあります(フィルタの付いていない計装アンプと比較して)。

この回路構成における EMI/RFI 感度をテストするために、図のように、二つの入力抵

〈図 6-8〉コモンモード/差動モード用の柔軟性のある RC 型 EMI/RFI フィルタは AD620 シリーズ, AD623, AD627 やその他の計装アンプに使用できる

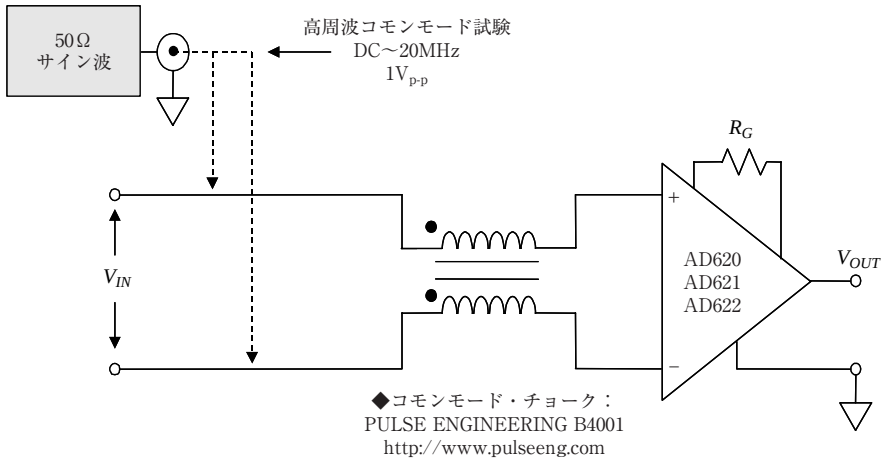


U ₁	R ₁ /R ₂ (1%)	C ₁ /C ₂ (≤5%)	C ₃ (10%)
AD620/621/622	4.02k	1nF	47nF
AD623	10k	1nF	22nF
AD627	20k	1nF	22nF

抗に対して $1V_{p-p}$ のコモンモード信号を与えます。よく使われる AD620 などの計装アンプをゲイン 1000 倍で動作させたとき、最大の入力換算オフセット電圧のシフト量は 20 MHz の帯域にわたって $1.5\mu V$ でした。図の AD620 のフィルタ定数では、差動信号の帯域はおおよそ 400 Hz です。

コモンモード・チョークは、RC フィルタの代替として、簡単に部品 1 個で EMI/RFI 防護に利用可能です。これを図 6-9 に示します。少ない部品数ですむことに加えて、チョーク・コイルでバイアスされたフィルタは抵抗成分を用いないことから、低ノイズを実現できます。しかしながら、適切なコモンモード・チョークを選択することはなかなか難しいものです。図 6-9 に示す回路に使われているチョーク・コイルは、パルス・エンジニアリング社の B4001 です。DC ~ 20 MHz, $G = 1000$ での最大の入力換算オフセット・シフト量は $4.5\mu V$ でした。この用途のフィルタには、B4001 のような市販のチョークでも自作したコイルでも使うことができます。コイルの巻きかたのバランスが重要になるので、バイファイラ巻きがお勧めです。もちろんコア材は、所望の周波数でまともに動作するものでなくてはなりません。図 6-8 での RC フィルタの類と異なり、チョーク・コイルだけのフィルタは差動モードのフィルタリング性能がありません。差動モードのフィルタリングは、コモンモード・チョークの後段に、図 6-7 に示したような R_1 - C_3 - R_2 接続のフィルタを付加することで対処できます。

〈図 6-9〉コモンモード・チョークを AD620 シリーズ計装アンプに使用した例。簡略だけでなく最適な EMI/RFI フィルタとして動作する



計装アンプにおける EMI/RFI のフィルタリングのさらに詳細な事項に関しては、参考文献 (10), (12) ~ (15) が参考になるでしょう。

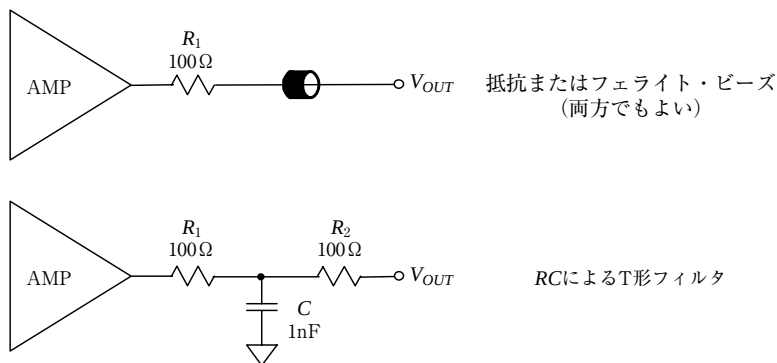
●増幅器の出力と EMI/RFI

入力端子と電源端子のフィルタリングに加えて、アンプの出力端子も EMI/RFI から保護しなくてはなりません。とくに、出力端子が長いケーブル（アンテナとなってしまうような）をドライブしなくてはならない場合、非常に重要になります。出力端で受けた高周波信号は、IC 内部で増幅器入力に向かって逆流していき、整流されて、オフセット電圧として再び出力端に現れます。

抵抗やフェライト・ビーズのどちらか、もしくはその両方を出力に直列に接続することが、一番簡単で安価な出力用フィルタになります。この例を図 6-10 の上側に示します。

図 6-10 の下側に示す抵抗-コンデンサ-抵抗の T 形回路は、ほんの少し複雑になりますが、この種のフィルタの性能を向上できます。出力の抵抗とコンデンサが高い周波数のエネルギーを増幅器から分離するため、低電力アクティブ素子の場合にも非常に使いやすい方式です。もちろん、このフィルタ部品の時定数は、所望の出力信号の減衰を最小にするように十分に注意して選択しなくてはなりません。この例では、RC の定数は 3 MHz の帯域幅に設定されており、計測や低周波の用途に適したものとなっています。

〈図 6-10〉OP アンプや計装アンプの出力も EMI/RFI に対して防護しなければならない。特にそれらが長いケーブルをドライブする場合に重要



6-6 EMI/RFI 対策のためのプリント基板の設計

この節では、EMI/RFIのためのプリント基板 (PCB ; printed circuit board) レイアウトの一般的なポイントについて解説します。前章で説明した、一般的なプリント基板設計テクニックを補完するものです。

EMI/RFIに対してプリント基板の設計が最適化されていなかった時代では、システムの性能を妥協せざるをえませんでした。これは信号経路での性能だけではなく、システムのEMIに対しての感受性と、そのシステムから放射されるEMIの度合いについても当てはまるものでした。適切なプリント基板レイアウト・テクニックを使用しないと、システムや計器のEMI性能の悪化を招いてしまいます。

この節で述べることの要点をはじめにまとめます。現実のプリント基板レイアウトは、回路内へ(回路外へ)高周波ノイズが結合(放射)する複数の経路を許してしまっています。これは実際に、速い立ち上がり/立ち下がりエッジをもつデジタル回路で顕著であるといえます。高速な論理レベルの変化 ($1 \Rightarrow 0$ か $0 \Rightarrow 1$) は、非常に高い周波数のエネルギーをもっており、それらは簡単にEMIを放射してしまいます。同様な点が高精度/高速アナログ回路やアナログ/デジタル混在回路にも当てはまるので、ロジック・デバイスはEMI発生源としての最悪のポテンシャルをもつものといえます。プリント基板の設計作業においては、問題になりそうな回路や経路を特定しておくことが、外部や内部のノイズ源からの放射や伝導に対して、低いEMI放射レベルと感度を実現することに役立ちます。

●ロジック・デバイスの選定に注意！

ロジック・デバイスの選定において、システムのノイズ問題を最小にするポイントは、その用途で実際に必要となる処理速度よりも速いデバイスを使用しないことです。多くの設計者は「速いことは良いことだ」と考えているのではないのでしょうか。高速のロジック・デバイスは低速のものより良い、広帯域増幅器は帯域の狭い増幅器より良い、A-D/D-A コンバータは高速なものほど良い…システムがその速度を必要としていなくてもです。残念なことに、速いことは良いことではなく、実際にはEMIの問題をより悪化させてしまいます。

多くの高速 A-D/D-A コンバータは、その立ち上がり/立ち下がりエッジのレートが 1 ns/V という高速なデジタル入出力をもっています。このような広帯域特性をもつため、サンプリング・クロック入力端子とデジタル入力端子は、いろいろな種類の高周波ノイズに対して反応してしまいます。1～3 ns という非常に細いグリッチ・パルスにも反応します。高速なデータ・コンバータや増幅器は、マイクロプロセッサ、デジタル・シグナル・プロセッサ (DSP)、モータ、スイッチング電源、携帯型無線機、電気碎石ドリルなどが発生する高周波ノイズの餌食に簡単になってしまいます。このような高速な素子を使用する場合は、入出力端子でのフィルタリングが、EMI/RFI 環境からの感受性を低減させるために必要になるでしょう。デカップリング・コンデンサのすぐ前にフェライト・ビーズを配置すると、電源供給ラインからの高周波ノイズをフィルタリングする非常に有効な手段となります。もちろん、プラス/マイナスの両電源が必要な回路では、これらのテクニックはプラス側/マイナス側の両電源ラインに適用しなくてはなりません。

D-A コンバータの入力端子や A-D コンバータの出力端子では、高速度で動作するデジタル信号から生成されるノイズ放射を低減させるために、小さい値の抵抗やフェライト・ビーズの挿入が必要になるかもしれません。

●よく考えてプリント基板を設計する

そのシステムで問題となりそうな回路や経路が特定できたら、プリント基板レイアウト技術を適用する次のステップは、回路の動作に従ってプリント基板上での回路分割を行うことです。これは電源層、グラウンド層、信号配線層を適切に使うということも含んでいます。良いプリント基板レイアウトは、レベルの高い干渉源（たとえば I/O ラインやコネクタ）から、問題となりそうなアナログの信号ラインを離してあります。高い周波数の回路（アナログ/デジタルとも）は、低い周波数で動作する回路から分離しなければなりません。それ以上に、CAD の自動配線機能は最大限の注意を払って使うべきです。問題となりそうな信号経路はマニュアルで配線し、望まない結合や放射を避けることが大切です。

適切に設計された多層プリント基板はEMI放射を低減し、さらに高周波電磁界環境で

のEMI耐性を両面基板と比較した場合の10倍以上に向上させます。多層プリント基板では、ある1層の全面をグラウンドに使うことができます。両面プリント基板では、片面を全面ベタ・グラウンドにしても信号ラインの交叉などで分断されてしまいます。設計において、アナログ・グラウンド、デジタル・グラウンド、電源パターンを分離した場合、アナログ・グラウンド層はアナログ電源層のすぐ下(絶縁層をはさんで)でなくてはなりません。同様に、デジタル・グラウンド層もデジタル電源層のすぐ下に配置しなければなりません。アナログ・グラウンド層とデジタル・グラウンド層をオーバーラップさせてはなりませんし、アナログ電源層とデジタル電源層もオーバーラップさせてはなりません。

●インピーダンス・コントロールされた配線をプリント基板上に設計する

プリント基板のパターン設計では、幾何学的な形状によってインピーダンスをコントロールすることができます。ここからは、これらのインピーダンス・コントロールに関しての基本的な方法について、IPC (Institute for Printed Circuits) のスタンダード 2141 を元にして解説します[参考文献(16)を参照]。

以下に示す図のなかで「グラウンド・プレーン (ground plane)」という用語が使われていることに注意してください。これは、この面は非常に大きいエリアで、インピーダンスの低いリファレンス面であるということを表しています。実際には、これはグラウンド面か電源面ですが、どちらであっても交流的な電位としてゼロ電位であることを仮定しているということです。

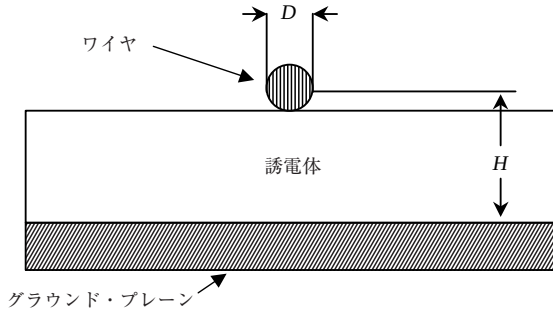
最初に示すのは、伝送線路として単純な「面の上を走る配線」であるということから、ワイヤ・マイクロストリップ (wire microstrip) と呼ばれるものです。図 6-11 に断面図を示します。この種の伝送線路としては、たとえばブレッドボードで用いられるような単線などが相当します。これは、グラウンド面の上に、固定した距離をもった位置に配線された、単独の絶縁された電線です。ここでの誘電体は、電線の絶縁材か、絶縁材と空気とが組み合わされたものを示しています。

ワイヤ・マイクロストリップのインピーダンス $Z_0 [\Omega]$ は、式 (8-16) を使って見積もることができます。ここで、 $D [\text{mil}]$ はワイヤ導体の直径、 $H [\text{mil}]$ はワイヤのグラウンド面からの距離、 ϵ_r は誘電体の誘電率です。

$$Z_0 [\Omega] = \frac{60}{\sqrt{\epsilon_r}} \log_e \left(\frac{4H}{D} \right) \dots\dots\dots (8-16)$$

プリント基板上に実現する配線パターンとしては、さまざまな物理的形状 (シングルエンド型や差動型など) があります。これらの具体的なことは IPC のスタンダード 2141 [参

〈図 6-11〉ワイヤ・マイクロストリップのインピーダンスはグラウンド・プレーンからの距離と絶縁物により決定される



参考文献 (16)] に記載がありますが、ここでは二つの最もポピュラな例を示しています。

プリント基板ベースの伝送線路設計を開始するまえに、それらの設計をカバーすると主張するたくさんの計算式があることを理解しておかなくてはなりません。この件について、「いったいどれが正確か？」というのは非常に適切な質問です。残念ながらこの答えは、「どれ一つとして完全ではありません」となります。すべての存在する計算式は近似式であり、その正確さは「要求に対しての度合い」によります。一番よく知られており、非常に広く引き合いに出される計算式は参考文献 (16) に示されているものですが、これらであっても用途限定ということもあります。

参考文献 (17) は、参考文献 (16) に示される計算式を、非常に多岐なプリント基板サンプルによる物理形状において評価し、目的とするインピーダンスによって精度が変化するというを示しています。参考文献 (18) もまた、参考文献 (16) の式を評価し、代替となるより複雑な計算式を提案しています [参考文献 (19) を参照]。以下に示した数式は参考文献 (16) からのものであり、そこでも設計の開始時点や、さらなる解析の用途、テストと設計検証のためとして示されています。結局のところは十分に研究したうえで、適宜なプリント基板パターン・インピーダンスが算出できる計算式を選ぶことです。

●マイクロストリップによるプリント基板伝送線路

単純な両面プリント基板の設計においては、片面をグラウンド面として用い、信号配線にもう一方の片面を用いるという方法で、インピーダンスをコントロールすることができます。この物理配置は表面マイクロストリップ (surface microstrip)、より簡単にはマイクロストリップとして知られています。

〈図 6-12〉マイクロストリップによる伝送線路のインピーダンスはグラウンド面から隔離した適切な物理形状のプリント基板パターンにより決定される

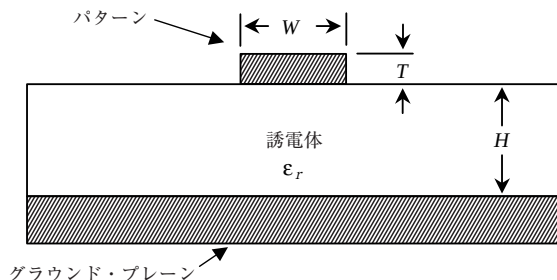


図 6-12 に示す 2 層プリント基板の断面図は、このマイクロストリップの物理形状を示しています。

使用するプリント基板の絶縁積層材と銅の重量により、 W (信号ラインの幅) 以外についてのすべてのパラメータは事前に決定できます。式 (8-17) は、回路で要求されるインピーダンスにマッチするプリント基板上の信号ラインを設計するときに使えます。幅 W と導体厚さ T 、グラウンド面 (もしくは電源面) から誘電率 ϵ_r のプリント基板誘電体をはさんで H の距離で隔離したときの、信号ラインの特性インピーダンスは次式で与えられます。

$$Z_0[\Omega] = \frac{87}{\sqrt{\epsilon_r + 1.41}} \log_e \left(\frac{5.98H}{0.8W + T} \right) \dots\dots\dots (8-17)$$

これらの式では、寸法測定は共通の単位 mil にて測られています*2。

これらの伝送線路は特性インピーダンスをもつだけではなく、同じく容量もちます。これは、pF/inch として次の式 (8-18) で計算することができます。

$$C_0[\text{pF/inch}] = \frac{0.67(\epsilon_r + 1.41)}{\log_e [5.98H / (0.8W + T)]} \dots\dots\dots (8-18)$$

これらの計算例を示すと、FR-4 材 ($\epsilon_r = 4.0$) の誘電体材料の両面基板では、基板の厚さ $H = 10$ mil の場合、ラインの幅 $W = 20$ mil、1 オンス (導体厚さ $T = 1.4$ mil) の銅パタ

* 2 【注釈】 : 1 mil = 1/1000 inch (inch ; インチ, 1 inch $\approx$ 25 mm)

ーンが良いことになります。このパターンの特性インピーダンスは約 50 Ω になります。その他の標準的なインピーダンス、たとえば 75 Ω ならば、W を 8.3 mil に変更することで得られます。

● マイクロストリップにおけるいくつかの概算方法

ここで非常に興味深く、かつ汎用的に使える手法を紹介します。参考文献 (17) は、プリント基板上のマイクロストリップでのインピーダンスの概算方法について解説しています。比誘電率が 4.0 (FR-4) の場合、W/H の比は 2/1 になり、結果としてインピーダンスは 50 Ω に近づきます (最初の例では W = 20 mil としている)。

注意深い読者は、式 (8-17) は Z_0 が約 46 Ω を示すことに気づくと思います。一般的に参考文献 (17) で取り上げられている精度は 5% 程度です。インピーダンス・コントロールしたマイクロストリップに関しての公式は、50 ~ 100 Ω の間でもっとも精度が良くなります。しかし、より低い (より高い) インピーダンスについては、少し精度が落ちます。参考文献 (20) は、プリント基板業界において使われている各種のインピーダンス計算ツールによる計算結果を表にして示してあります。

マイクロストリップ・ラインの伝播遅延も、式 (8-19) に示すように同様に計算することができます。これは、マイクロストリップ・ライン上を、信号が一方方向に伝播する時間を示しています。興味深いことに、与えられた寸法でのモデルでは、ns/ft (ft ; フィート、1 ft ≒ 30 cm) で示される遅延時間定数は誘電率にのみ依存し、物理的寸法には関係ありません [参考文献 (21) を参照]。これは非常に便利なことです。つまり、与えられたプリント基板絶縁積層材の ϵ_r によって、伝播遅延定数はどんなインピーダンス・ラインであっても固定になります。

$$t_{pd}[\text{ns/ft}] = 1.017\sqrt{0.475\epsilon_r + 0.67} \dots\dots\dots (8-19)$$

この遅延定数は、より現実的な小さい寸法のプリント基板の場合では、ps/inch という単位でも表現することができます。

$$t_{pd}[\text{ps/inch}] = 85\sqrt{0.475\epsilon_r + 0.67} \dots\dots\dots (8-20)$$

このように、誘電率 4.0 のプリント基板の例では、マイクロストリップ・ラインの遅延定数は 1.63 ns/ft、もしくは 136 ps/inch と表現できます。これらの二つの概算値は、プリント基板上を伝達する信号のタイミング計算をするときにとても便利に使うことができます。

●対称型ストリップ・ラインのプリント基板伝送線路

プリント基板設計において、多角的な視点から好ましいのは多層基板です。これは、信号ラインを電源層とグラウンド層との間に挿入する（内層を通す）方法です。この方法によるプリント基板の断面図を図6-13に示します。AC的にグラウンドされた低いインピーダンスの面と、挿入された信号ラインは、対称型のストリップ・ラインによる伝送線路を形成します。

図からわかるように、高周波信号ラインの電流のリターン経路は、内層信号ラインの上下にある電源層とグラウンド層に配置されます。高周波信号はプリント基板内部に全体が閉じ込められ、放射電力を最小にすることができ、一方でプリント基板に入り込んでくる余分な外部ノイズに対して、そのままでシールド効果をもちます。

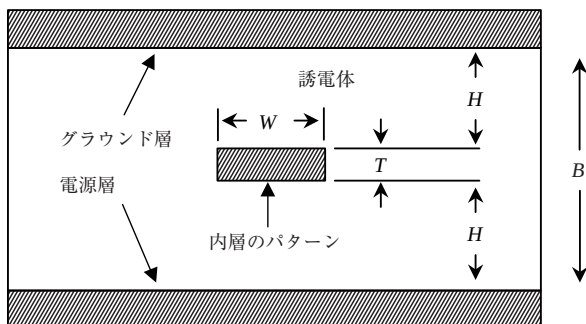
この構成での特性インピーダンスは、前の説明と同様に、プリント基板の誘電体 ϵ_r と物理的な形状に依存します。マイクロストリップ・ラインの Z_0 は、

$$Z_0[\Omega] = \frac{60}{\sqrt{\epsilon_r}} \log_e \left(\frac{1.9B}{0.8W + T} \right) \dots\dots\dots (8-21)$$

となります。ここで、すべての寸法は mil (1/1000 inch) になっており、 B は二つの層の間隔です。この対称な形状では、 $B = 2H + T$ となることに気をつけてください。参考文献(17)は、参考文献(16)の精度が6%のオーダーであることを示しています。

$\epsilon_r = 4.0$ の場合の対称型ストリップ・ラインにおいて、手軽に用いられる別の概算値は、 B を W の2～2.2倍とするものです。この場合、ストリップ・ラインは約50 Ω のインピ

〈図6-13〉対称型ストリップ・ラインによる伝送線路（そのインピーダンスは等しい間隔で配置されたグラウンド層、および電源層の内部に挿入された適切な物理形状のプリント基板内層パターンにより決定される）



ードダンスを示します。この概算値は、 T を無視した場合の簡略式に基づいています。概略を見積る場合には有効な方法です。

対称型ストリップ・ラインは、式 (8-22) に示すような、pF/inch の単位で計算される特性キャパシタンスをもっています。

$$C_0[\text{pF/inch}] = \frac{1.41 \epsilon_r}{\log_e \left[3.81H / (0.8W + T) \right]} \dots\dots\dots (8-22)$$

対称型ストリップ・ラインの伝播遅延を式 (8-23) に示します。

$$t_{pd}[\text{ns/ft}] = 1.017 \sqrt{\epsilon_r} \dots\dots\dots (8-23)$$

また、ps の単位であれば、次のようになります。

$$t_{pd}[\text{ps/inch}] = 85 \sqrt{\epsilon_r} \dots\dots\dots (8-24)$$

誘電率が 4.0 のプリント基板において、対称ストリップ・ラインの遅延定数は、2 ns/ft か 170 ps/inch がほぼ正確な値となります。

●信号線を内層に通すことの利点と欠点

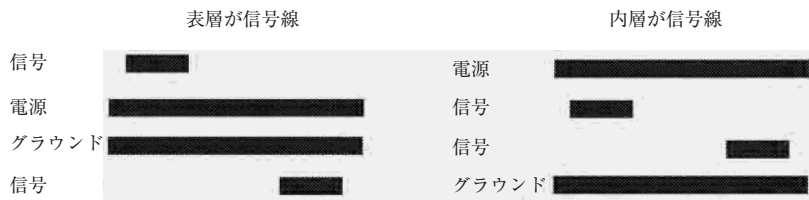
上に説明してきたことで、プリント基板上でインピーダンスを定めたパターン設計が可能になります。それらは、表面層でも内層配線の場合でも同様です。もちろん、インピーダンスの問題については、これ以上に考えなくてはならない多数の事柄があります。

内層を通した信号は、明白で重大な欠点があります。それは、内層を通した配線層のデバッグが非常に難しいということです。内層を通した信号の利点と欠点について、図 6-14 にまとめました。

内層配線を使わなくても、多層プリント基板を設計することができます。これは図 6-14 の左の断面図に説明してあります。この内層配線のケースは、2 層プリント基板がダブル構造になった設計として考えることができます (つまり全体で 4 枚の銅配線層があるということ)。一番上の層で配線されたパターンは電源層との間でマイクロストリップ・ラインを形成し、一番下の層で配線されたパターンはグラウンド層との間でマイクロストリップ・ラインを形成します。この例では、それぞれの層での信号パターンは、測定やトラブル解析の目的のために触ることができます。しかしこの構成は、信号配線面のシールド効果の利点はまったくなくなります。

この内層を通さない構成は、外部ノイズからの感受性も電磁放射特性も高くなります。

〈図 6-14〉多層プリント基板設計において内層を通した場合と通さない場合の信号パターンの利点と欠点



◆利点

- ・信号ラインはシールドで保護されている
- ・インピーダンスが低いため放射レベルとクロストークも少ない
- ・50MHz以上で非常に大きな改善が見込める

◆欠点

- ・試作およびトラブル解析が難しい
- ・デカップリングはさらに難しい

層間に配線を通す図 4-16 の右の例では、内層に信号を通すことで、その信号配線面にとって大きなアドバンテージがあります。多くの技術者が努力しているように、プリント基板設計において内層を通すか通さないかを決定するのはトレードオフになります。それはつまり、電磁放射を減らすかテストを容易にするかのトレードオフということです。

●伝送線路の終端に関する概算方法

信号の反射を避けるために、プリント基板の配線パターンの特性インピーダンスとその終端方法について、ここまでいろいろと説明してきました。終端が必要かどうかを決める非常によい概算方法は、以下に示すとおりです。

「プリント基板パターン上に伝播する信号の遅延が、そこに送り込まれる信号の立ち上がり/立ち下がり時間（どちらか速いほう）の 1/2 以上の場合、そのラインを終端する」

例を挙げると、2 インチのマイクロストリップ・ラインが誘電率 $\epsilon_r = 4.0$ の誘電体の上に形成されていた場合、遅延時間はおおよそ 270 ps になります。上のルールを厳格に適用すれば、信号の立ち上がり時間が 500 ps より小さい場合は必ず終端が必要になります。もっと緩和したルールは「2 インチ（プリント基板上でのパターンの長さ）/ns（立ち上がり/立ち下がり時間をナノ秒で表したもの）」を適用するものです。信号のパターンがこのパターン長/速度の判断基準を越えている場合は、終端をしなくてはならないということになります。

立ち上がり/立ち下がり時間が 5 ns の高速度ロジック IC のプリント基板パターンを例

にすれば、パターン長が10インチ(曲がったラインも含んだ長さを考える)以上ある場合は、特性インピーダンスによって終端しなければなりません。

同様にアナログ信号でも、2inch/nsという概算値が、OPアンプやその他の回路で伝送線路のテクニックが必要になるかどうかを判断するために使うことができます。実例を挙げれば、アンプが f_{max} の最大周波数の信号を出力しなければならない場合、等価的な立ち上がり時間 t_r は f_{max} に関係します。この限定的な立ち上がり時間 t_r は以下のように計算することができます。

$$t_r = \frac{0.35}{f_{max}} \dots\dots\dots (8-25)$$

最大のプリント基板パターン長は、2inch/nsを t_r に掛け算することで求められます。たとえば、100MHzの最大周波数は立ち上がり時間で3.5nsに相当し、7インチ以上のパターンでこの信号を伝送している場合は伝送線路として取り扱わなければなりません。

敏感なアナログ回路が高速ロジック回路からの影響を避けるベストな方法は、これら二つをプリント基板上の配置として物理的に離すことです。そして、そのシステムが要求している速度に対して、不要に高速なロジック・ファミリを用いないことです。ときには、いくつかの異なるロジック・ファミリを一つのシステム内に用いる必要もあるでしょう。この場合の代替対策としては、最高速度が必要とはならないロジック伝送信号ラインにおいて、直列に抵抗かフェライト・ビーズを挿入し、ロジック・レベルのトランジェントを低速にすることです。

これを行う一般的な方法としては、ロジックICのドライバ出力に直列に抵抗 R を、CMOSのゲート入力にコンデンサ C を挿入することです。直列抵抗とゲートの全体の入力容量*3はローパス・フィルタを構成します。典型的なCMOSの入力容量は10pF程度あります。直列抵抗をドライバ出力の近くに配置し、付加的に小容量のコンデンサを必要に応じて配置します。この抵抗によって過渡スイッチング電流が低減し、伝送線路のテクニックを使用しないで済むようにすることもできます。抵抗の定数は、レシーバ側ゲート素子の立ち上がり/立ち下がり時間がシステム要求を十分に満足する(ただし余分に速すぎない)ものを選定します。さらに、受信側ゲートの論理レベルのスペックを越えてしまうほど不必要に大きな値にはしないことです。これは、吐き出し/吸い込み電流が抵抗を流れてしまうためです。CMOSロジックでは、これはあまり問題になりません。それはゲート入力電流が非常に小さいからです。

*3【注釈】：IC自体と付加した C の両方の合計。

◆参考文献◆

- (1) Tim Williams, EMC for Product Designers, 2nd Ed., Newnes, Oxford, 1996, ISBN : 0-7506-2466-3.
- (2) Henry Ott, Noise Reduction Techniques In Electronic Systems, 2nd Ed., John Wiley & Sons, New York, 1988, ISBN : 0-471-85068-3.
- (3) Mark Montrose, EMC and the Printed Circuit Board, IEEE Press, 1999, ISBN : 0-7803-4703-X.
- (4) Ralph Morrison, Grounding And Shielding Techniques in Instrumentation, 3rd Ed., John Wiley & Sons, New York, 1986, ISBN : 0-471-83805-5.
- (5) Daryl Gerke and William Kimmel, "Designer's Guide to Electromagnetic Compatibility", EDN, January 20, 1994.
- (6) Designing for EMC (Workshop Notes), Kimmel Gerke Associates, Ltd., 1994.
- (7) Daryl Gerke and William Kimmel, "EMI and Circuit Components", EDN, September 1, 2000.
- (8) Alan Rich, "Understanding Interference-Type Noise", Analog Dialogue, Vol.16, No.3, 1982, pp.16 ~ 19 (also available as application note AN346).
- (9) Alan Rich, "Shielding and Guarding", Analog Dialogue, Vol.17, No.1, 1983, pp.8 ~ 13 (also available as application note AN347).
- (10) James Wong, Joe Buxton, Adolfo Garcia, James Bryant, "Filtering and Protection Against EMI/RFI" and "Input Stage RFI Rectification Sensitivity" , Chapter 1, pp.21 ~ 55 of Systems Application Guide, 1993, Analog Devices, Inc., Norwood, MA, ISBN : 0-916550-13-3.
- (11) Adolfo Garcia, "EMI/RFI Considerations", Chapter 7, pp.69 ~ 88 of High Speed Design Techniques, 1996, Analog Devices, Inc., Norwood, MA, 1993, ISBN : 0-916550-17-6.
- (12) Walt Kester, Walt Jung, Chuck Kitchen, "Preventing RFI Rectification", Chapter 10, pp.10.39 ~ 10.43 of Practical Design Techniques for Sensor Signal Conditioning, Analog Devices, Inc., Norwood, MA, 1999, ISBN : 0-916550-20-6.
- (13) Charles Kitchen, Low Counts, A Designer's Guide to Instrumentation Amplifiers, Analog Devices, Inc., 2000.
- (14) B4001 and B4003 common-mode chokes , Pulse Engineering, Inc. , 12220 World Trade Drive, San Diego, CA, 92128, 619-674-8100, <http://www.pulseeng.com>
- (15) Understanding Common Mode Noise, Pulse Engineering, Inc., 12220 World Trade Drive, San Diego, CA, 92128, 619-674-8100, <http://www.pulseeng.com>
- (16) Standard IPC-2141, "Controlled Impedance Circuit Boards and High Speed Logic Design", 1996, Institute for Interconnection and Packaging Electronic Circuits, 2215 Sanders Road, Northbrook, IL, 60062-6135, (847) 509-9700, <http://www.ipc.org>
- (17) Eric Bogatin, "Verifying the Accuracy of 2D Field Solvers for Characteristic Impedance Calculation", Ansoft Seminar, October 11, 2000, <http://www.bogatinenterprises.com>
- (18) Andrew Burkhardt, Christopher Gregg, Alan Staniforth, "Calculation of PCB Track Impedance", Technical Paper S-19-5, presented at the IPC Printed Circuits Expo '99 Conference, March 14-18, 1999.
- (19) Brian C. Wadell, Transmission Line Design Handbook, Artech House, Norwood, MA, 1991, ISBN : 0-89006-436-9.
- (20) Eric Bogatin, "No Myths Allowed", "Impedance Calculations", " a Chip Center column", November 1, 1999, <http://www.chipcenter.com/signalintegrity>

(21) William R. Blood, Jr., MECL System Design Handbook (HB205/D, Rev. 1A May 1988), ON Semiconductor, August, 2000.

(22) Paul Brokaw, "An IC Amplifier User Guide To Decoupling, Grounding, And Making Things Go Right For A Change", Analog Devices, AN202.

◆ EMC とシグナル・インテグリティに関する有用な URL

Eric Bogatin website, <http://www.bogatinenterprises.com>

Chip Center's "Signal Integrity" page, <http://www.chipcenter.com/signalintegrity>

Kimmel Gerke Associates website, <http://www.emiguru.com>

Henry Ott website, <http://www.hottconsultants.com>

IEEE EMC website, <http://www.ewh.ieee.org/soc/emcs>

Mark Montrose website, <http://www.montrosecompliance.com/index.html>

Tim Williams website, <http://www.elmac.co.uk>

謝辞：

Eric Bogatin 氏には、この章に関して有益なコメントをいただきました。おおいに感謝いたします。

第 7 章

シミュレーションと ブレッドボードとプロトタイピング

Joe Buxton, Walt Kester, James Bryant, Walt Jung / 訳：石井 聡

本書の最後の章として、ここでは実際の OP アンプとその他のアナログ回路素子を使ったハードウェアの組み立てについて説明していきます。設計が完全であるかを確認するためには、いろいろな実験テクニックを使います。そのひとつがアナログ電子回路シミュレーション・プログラムであり、ブレッドボードによる試作やプロトタイプ製作とともに（これらが不要ということではなく）使うことができます。

7-1 アナログ回路シミュレーション

ここ 10 年で、回路シミュレーションはアナログ回路設計において非常に重要な位置を占めるようになってきました。アナログ設計での一番ポピュラーなシミュレーション・ツールは SPICE であり、各種のコンピュータ・プラットフォーム上で複数の派生ソフトウェアとして入手可能です [参考文献 (1), (2) を参照]。しかしながら、まともなシミュレーション結果を得るためには、設計者は数多くの使用部品に対して正確なモデルを用意する必要があります。一番大変なことは、最新の設計で使用する IC の実際のモデルを入手することです。

1990 年の前半、アナログ・デバイセズ社では OP アンプの先進的な SPICE モデルを開発し、さらにそれらは現在でも利用されています [参考文献 (3), (4) を参照]。この増幅器の革新的なオープン・アーキテクチャにより、ゲイン特性と位相特性は完全にモデリングされ、設計者に対して正確な AC/DC/過渡応答特性を提供できるようになりました。このモデリング手法は、計装アンプや電圧リファレンス、アナログ乗算器などの素子に対しても使用できるように拡張されてきました。

表 7-1 は、SPICE シミュレーションにおけるいくつかの要点を挙げています。SPICE シミュレーションの一般化により多くの OP アンプのマクロモデルが提供されるようにな

〈表7-1〉賢く使おう、シミュレーションは強力な設計ツール

- ・現実的なシミュレーション結果についての理解
- ・入手可能なモデルを適切に評価する
- ・競合する OP アンプのモデル相互の対応能力を知る
- ・シミュレーションをした後には必ずブレッドボードを作る

りましたが、それらはソフトウェア上で動く増幅器の（理想的な）電子的性能となっています。また、数多くのモデルが入手可能になったことにより、多少の混乱が出てきています。それは「何がモデル化され、何がモデル化されていないか」という不確定性であり、さらに基本的な疑問としての「モデルの正確さ」です。これらのことは、シミュレーション結果について自信をもてるようになるために非常に重要です。したがって、シミュレーション結果を信用して実際の設計に適用させるまえに、モデルの照合確認（実際のデバイスの性能と比較してチェックすること）が重要になります。

もちろん、正確な OP アンプ・モデルを入手したとしても、絶対に正しいシミュレーション結果が得られることを保証できるものではありません。不完全な情報をもとにしたシミュレーションは、限定的な意味しかもちません。目的とする回路のすべての部品は、周辺の受動部品、各種の寄生要素、温度変化までを含めてモデル化されていなくてはなりません。さらに、回路はブレッドボードやプロトタイプ製作による実験で検証される必要があります。ブレッドボード回路とは、実験用の汎用ボードを用いて設計回路のモックアップを短期間で製作するもので、最終完成品の物理形状よりは簡略なものになります。つまり、実際の回路の性能チェックを目的としたもので、実使用環境についてまで考慮しているものではありません。

ブレッドボードをうまく使うと、SPICE で予想できないような回路のふるまいが明らかになることがよくあります。それらは、モデルの不完全さが原因の場合もあれば、外部回路の寄生要素や、その他のたくさんの原因が考えられます。しかしながら、ブレッドボード化のテクニックとともに SPICE を使いこなすことにより、短期間のうちに効率よく、プロトタイプ段階で（さらには最終段階のプリント基板でも）まともに動くことを十分に保証できる回路設計が可能になります。プロトタイプ製作は、単に最終段階のプリント基板製作という工程のみを除外しているだけであり（実際のプリント基板を使ってテストする場合もある）、設計で用いる部品をほぼすべて実装した完全な性能にかなり近いものです。

ブレッドボード化とプロトタイプ化という設計のステップは、シミュレーションに非常に深く関係しており、一般に全体の設計プロセスにおいての元になるものです。これらについては本章の後半で詳しく説明します。

●マイクロモデルとマクロモデル

マクロモデル (macromodel) とマイクロモデル (micromodel) の相違は、あまり明確なものではありません。

マイクロモデルは、実際のトランジスタ・レベルや他の IC デバイスの SPICE モデルを用いており、すべての能動/受動部品は製造プロセスにしたがって完全に特性が定義されています。マクロモデルとの比較を行う際、人によっては OP アンプのモデル全体の動作検証を説明するためにマイクロモデルのことを「デバイス・レベル・モデル」と呼ぶこともあります [参考文献 (5) を参照]。一般に、マイクロモデルは IC の設計現場で用いられています。

マクロモデルは、別の方法で OP アンプの性能をシミュレートするものです。デバイスの最終的な性能を表現する際に、観測された挙動を SPICE のもつ理想要素素子を使って必要なだけモデル化するという方法です。マクロモデルの開発に際しては、実験での実力値とデータシート上の性能に基づいて実デバイスを測定します。そして、マクロモデルはこの挙動にマッチするように調整されます。ただしこの調整段階で、性能が多少犠牲になるかもしれません。マクロモデルをビヘイビア・モデル (behavior model) と呼ぶことがあります。

マクロモデルとマイクロモデルの間のおもな利点と欠点について、比較したものを表 7-2 に示します。両方のアプローチは、それぞれに優れた点と劣った点をもっています。マイクロモデルは、OP アンプ回路の挙動をほぼすべての条件下で完全/正確なモデルとして提供できます。しかしながら、多数のトランジスタとダイオード (これらは非線形な PN 接合をもつ) を含むため、シミュレーション時間は非常に長時間になってしまいます。製造メーカにとっても、知的財産権の情報を含むため、マイクロモデルを公開することには気が進まないものです。また、いくらすべての内部トランジスタがモデルに含まれているとしても、トランジスタ・モデル自体がすべての動作領域を正確にカバーしていない可能性があるために、マイクロモデルでも全体の正確さを保証できないということもあります。またさらに、ノードの数が非常に多くなることにより、シミュレーションが収束するかどうかの困難度が高く、シミュレーションが失敗してしまうこともあります。実質的に

〈表 7-2〉マクロモデルとマイクロモデルの相違

	手法	利点	欠点
マクロモデル	理想的な部品/デバイスのふるまいをモデル化	高速なシミュレーション、修正が容易	すべての特性をモデル化していないかもしれない
マイクロモデル	トランジスタ・レベルの回路が完全にモデル化されている	一番完全なモデル	シミュレーションが遅い、収束性に難あり、入手が難しい

は、たとえば多数の OP アンプを使用したアクティブ・フィルタなどの場合には、マイクロモデルは使いものにならないでしょう。

その一方で、注意深く開発されたマクロモデルは正確な結果とシミュレーション時間の短縮化をもたらしてくれます。後述する ADSpice モデルのような先進的なマクロモデルでは、デバイスの過渡応答性能と AC 性能をかなり近似させることができます。OP アンプの非線形動作（たとえば出力の電圧/電流スイングのリミットなど）も同様にシミュレーションできます。

しかしながら、これらのマクロモデルは実デバイスを単純化したものであり、すべての非線形性はモデル化されていません。たとえば、すべての ADSpice モデルが同相入力電圧範囲やノイズ・パラメータを含んでいるわけではありません（最近のデバイスのものは含んでいる）。特にモデルを開発する際、目的とする用途で重要となる点についてパラメータを最適化しています（たとえば AC 特性と過渡応答特性）。考えられるすべての特徴を含めると鈍重なマクロモデルとなってしまう、結果として収束性に問題が出てしまうでしょう。そのため ADSpice マクロモデルは、厳密な非線形動作シミュレートが要求されない一般的な動作環境下で、目的とする用途において重要となる OP アンプの挙動特性を示せるものとなっています。

7-2 ADSpice における OP アンプのマクロモデル

基本的な ADSpice モデルは OP アンプのマクロモデルの進化版として開発され、実用途でより正確な回路シミュレーションを行うための設計ツールとして改良されてきました。1990 年に登場したことや、周波数特性設定の考えかたが産業界で理解されたことから、このモデルは標準 OP アンプのマクロモデル方式として広く認知されています [参考文献 (6), (7) を参照]。

1990 年以前、OP アンプのモデル構成はボイル・モデル (Boyle model) が主流でした [参考文献 (8) を参照]。1970 年代前半に開発されたこのマクロモデルは、高速アンプを正確にモデル化できていませんでした。そのおもな理由は、ゼロがなく、二つのポールしかもてないという、周波数特性設定段の性能制限があったためです。それと比較して ADSpice モデルの方式は、柔軟性とオープンなアーキテクチャをもっており、ポールとゼロの周波数特性段の設定数に事実上の制限がなく従属接続が可能です。この重要な相違により、単純なボイル・モデルと比較して、より正確な AC 性能と過渡応答性能を得ることができます。

ADSpice モデルは、次に示す三つの部分から構成されています。一つめは、一体化した入力段とゲイン段で、モデル化される素子に適切なトランジスタ・モデル (NPN/PNP

バイポーラ、接合型 FET、MOSFET など)で構成されています。二つめは、統合されたポールとゼロの段で、それらは SPICE がもともと持っている理想素子から構成されています。OP アンプの周波数特性の複雑さに依存して、使用する素子の数は少数の場合も多数の場合もあるといえます。三つめは出力段で、素子の出力段であり、先に示した二つの前段部分と接続されています。

これらについての詳細を説明するまえに、以下に示すような多くのバリエーションがあることを理解しておいてください。これは、単に一つの OP アンプ・モデルと他のモデルとの間に違いがあるというだけではなく、OP アンプ自体の技術革新が順番にモデル化技術の革新に呼応しているということです。たとえば、現在のたいていの OP アンプはレール・ツー・レールの出力段か入力段のどちらか(もしくは両方)をもっています。その結果、最近の ADSpice モデルは、OP アンプの開発に伴うこれらの新機能を取り込みながら発展してきています。

さらに、ボイル・モデルとオリジナルの ADSpice モデルは電圧帰還型 OP アンプをサポートするために設計されており、電流帰還型については後で追加されました。実際、参考文献 (3) では電圧帰還型モデルについて詳解されており、さらにそのすぐ後に発行された参考文献 (9) が ADSpice の電流帰還型マクロモデルを詳解しています。電流帰還型マクロモデルについては、後の節で説明します。

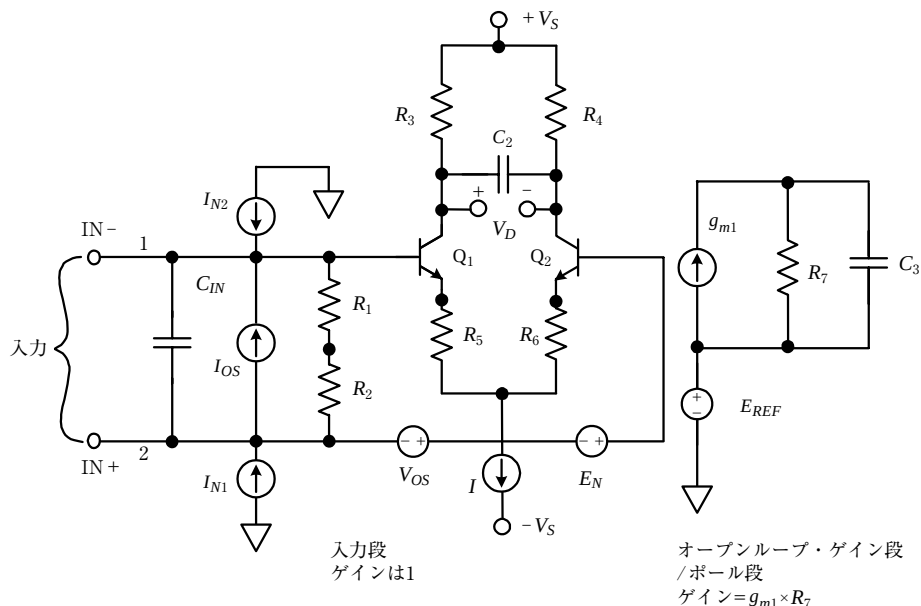
●入力段とゲイン/ポール段

基本的な ADSpice 電圧帰還型 OP アンプのマクロモデルでの入力段を、図 7-1 の左に示します。この部分は、一般的には何らかのトランジスタのみを用いて全体を構成しています。この例では Q_1 - Q_2 の NPN ペアです。これらは OP アンプの差動入力段の性能を正確にモデル化するために必要です。このモデルの基本的な考えかたとして重要なのは、入力段は Q_1 - Q_2 の動作電流を適切に設定し、かつゲインを設定する抵抗 R_3 - R_4 、 R_5 - R_6 によってユニティ・ゲイン (1 倍) に設計されている点です。

この例では NPN トランジスタを用いていますが、入力段は PNP バイポーラ・トランジスタや接合型 FET や MOSFET へと簡単に修正することができます。入力段以外の部分については単純な SPICE 素子、たとえば抵抗、コンデンサ、制御された信号源を用いることができます。

モデル化された OP アンプのオープンループ・ゲイン-周波数特性は、図の右側のゲイン段により決定されます。ここで、制御信号源 g_{m1} (トランスコンダクタンス段) は入力段からの差動コレクタ電圧 V_D を検出し、その電圧をそれに正比例した電流に変換します。負荷抵抗 R_7 に流れる g_{m1} の出力電流は、内部電圧 E_{REF} を基準電位とするシングル・エンドの電圧を発生させます。この電圧 E_{REF} は電源電圧の中間レベルとして生成され、モデ

〈図 7-1〉ADSpice モデルでの入力段とゲイン段/ポール段



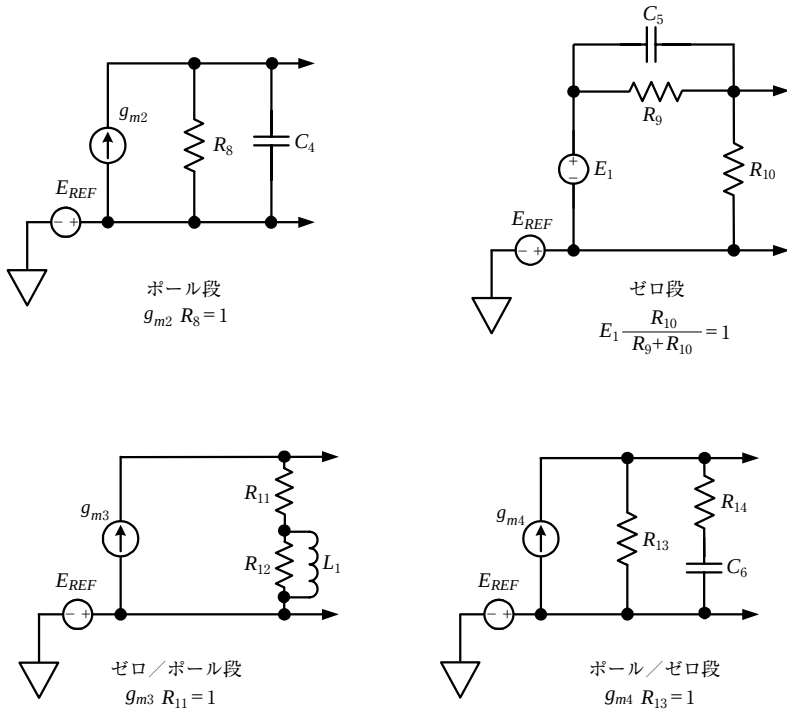
ル全体で用いられます。

単純に $g_{m1} \cdot R_7$ の積を OP アンプに規定されたゲインに等しくすることで、この段でマクロモデル全体のオープンループ・ゲインを決定します。この設計手法では、モデル内の他の段をすべてユニティ・ゲインで動作させるようにすれば、その後に別の段を付け足したり外したりすることも容易です。このような手法によって、高性能/高速な OP アンプの複雑な AC 性能を短時間で合成させることができるのです。さらに、この段は増幅器の AC 特性の第 1 ポールを作ります。オープンループのポール周波数は、図中のコンデンサ C_3 の値により決定されます。

●周波数特性の設定段

マクロモデルでのゲイン段につづくのは、ものにより段数に違いはありますが、接続段数の制限のないポール段とゼロ段となります。それらの組み合わせにより周波数応答の特性を設定します。これらの段の典型的な例を図 7-2 に示します。この段は、単一ポール段、単一ゼロ段、ポール/ゼロ段、ゼロ/ポール段の結合として構成されます。これらの段の DC 伝達関数はゲイン 1 であり、増幅器の種類ごとにいくつかの（その周波数応答を作り上げるのに必要なだけの）段を含んでいます。

〈図 7-2〉ADSpice モデルにおける周波数特性の設定段



ポール周波数やゼロ周波数は、場合に応じて抵抗とコンデンサ（もしくはコイルと抵抗）の組み合わせにより決定されます。SPICE 内部では定数値の制限がないため、 RC の値は任意に決定でき、広範囲で動作可能です。初期の ADSpice モデルは相対的に高い定数を利用していましたが、最近のものはノイズを減らすために低い定数が利用されています（詳細については後述）。すべての場合において、それぞれの段はドライブ段に対してゼロを挿入するように想定されています。ここで示したものは特定の OP アンプのものではありませんが、OP27 のモデルにその具体例を見ることができます [参考文献 (10) を参照]。

これらの周波数特性の設定段はすべて DC 結合されており、ユニティ・ゲインとなっています。したがって、段を付け加えたり削除したりしても、モデルの低周波応答特性に対しては何の影響も与えません。一番重要なことは、高周波ゲイン特性と位相応答特性は、実際の増幅器の特性にきちんと合うように正確に調整できるということです。ADSpice モデルでの周波数特性設定の柔軟性は、もっと単純なモデルの場合と比較すると、クロー

ズドループでのパルス応答特性と安定性の解析において明確な利点として現れます。実例を後に示します。

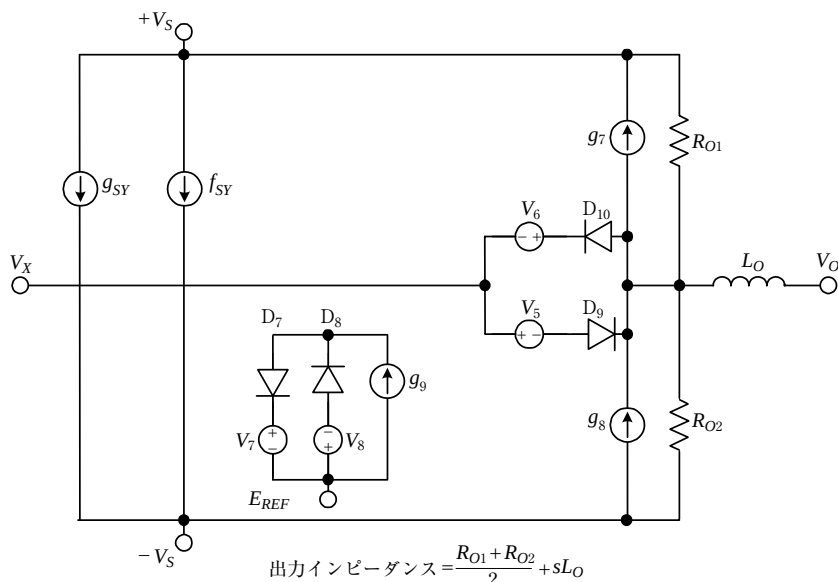
●マクロモデルの出力段

一般的な ADSpice モデルの出力段は図 7-3 に示すような構成をしており、いくつかの非常に重要な OP アンプ特性をモデル化しています。テブナン終端状の抵抗 R_{O1} と R_{O2} は、OP アンプの DC オープンループ出力インピーダンスを等価的に表しています。一方で、インダクタンス L_O は高周波におけるインピーダンスの上昇をモデリングしています。この段におけるユニティ・ゲイン特性は、 $g_7 \cdot R_{O1}$ と $g_8 \cdot R_{O2}$ で規定されます。

負荷への出力電流は正確に供給電流に反映されます。これによって負荷回路の消費電力が正確に解析できるため、この特徴はボイル・モデルと比較してかなり改善されたといえます。さらに、OP アンプ応用回路への供給電流が信号経路の一つとなる場合にも正確にシミュレーションできます。図に示した出力段は特定の OP アンプを意図しているものではありませんが、非常に近いものとして AD817 を挙げることができます [参考文献 (11) を参照]。

最近、数多くのレール・ツー・レール出力段の OP アンプが出現したことに対応して、

〈図 7-3〉汎用マクロモデルでの出力段



多くの新しいモデル化手法が開発されてきました。これは ADSpice ライブラリを、バイポーラ素子と同様に、レール・ツー・レール動作のモデルや、P/N チャネルの MOSFET を用いた OP アンプにまで拡張したものです。特性的には、レール・ツー・レール出力段はいくつかの重要な性能の違いをもっています。最も重要なポイントは、両供給電源の数 mV 近くまで出力がスイングできることです。二つ目のポイントは、それらの出力段は電圧ゲインが 1 より大きいということで、三つ目のポイントは、(従来のエミッタ・フォロワ出力段と比較して) 相対的に高い出力インピーダンスをもつことです。

レール・ツー・レール出力段のモデリング手法の実例は、アナログ・デバイセズ社の SPICE マクロモデル・ライブラリに見ることができます。参考文献 (12) は、レール・ツー・レール出力を実現するために CMOS デバイスを取り上げています。一方、参考文献 (13) では、バイポーラ素子がハイ・サイドとロー・サイドの両方に用いられています。参考文献 (14) と (15) は、レール・ツー・レール出力をモデル化するために合成テクニックを用いています。参考文献 (16) ~ (18) は、適切なディスクリット素子モデルと合成テクニックの組み合わせが、OP アンプと計装アンプの両方のレール・ツー・レール出力動作を実現するために活用されています。

レール・ツー・レール出力動作に加え、近年の多くの OP アンプはレール・ツー・レール入力段をもちあわせています。これらの入力段は対称になっており、例えば NPN ベースの差動入力段にコンプリメンタリの PNP 段を伴って、両方の段が並列で動作します。これにより、OP アンプの同相入力電圧範囲を両電源の電圧レベルまで許容させることができます。CMOS 型 OP アンプでは、P チャネルと N チャネル・タイプの両方の MOSFET 差動ペアを用いることでこの機能を実現できます。レール・ツー・レール入力段をもつモデルの例は、参考文献 (13), (14), (17) に見ることができます。

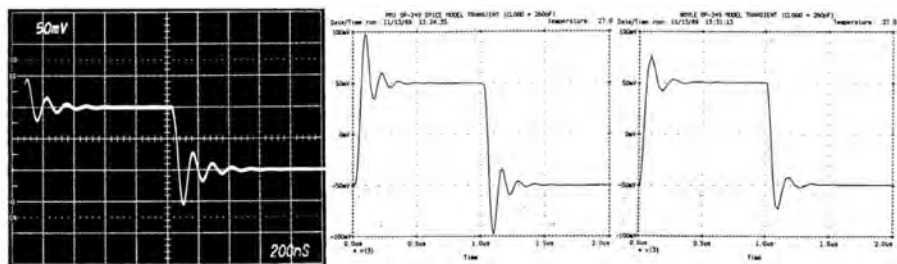
●モデルの過渡応答特性

複数のポール段とゼロ段をもつことの性能面でのアドバンテージは、図 7-4 に示ような過渡パルス応答テストで明らかになります。この図では、実際の OP アンプ OP249 の ADSpice モデルとボイル・モデルとを比較しています。ADSpice モデルではポールとゼロの数に制限がないことから、より良いシミュレーション結果が得られています。

この違いはユニティ・ゲインによるボルテージ・フォロワ回路の過渡応答解析により簡単に示すことができます。図では実際の OP249 を使い、出力は反転入力に接続され、260 pF の容量性負荷をもっています。

左の実際の OP アンプの応答に見られるように、リングングが発生しています。注目すべきは、ADSpice モデルは正確にオーバーシュート量と減衰していくリングング周波数を予測していることです。これと比較して、ボイル・モデル (図の右側) はオーバーシュ

〈図 7-4〉OP249 によるボルテージ・フォロワのパルス・レスポンス (左)、ADSpice モデル (中央) では精度が高く、ボイル・モデル (右) では精度が低い



縦軸: 50mV/div.

横軸: 200ns/div.

負荷 = 260pF

ート量は約半分, リンギングの数も明らかに少ない解析結果になっています。

●ノイズ・モデル

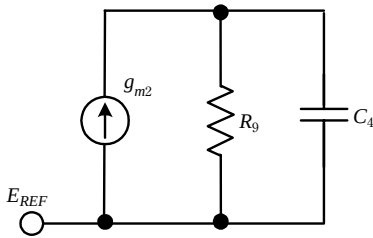
ADSpice モデルで重要な点は, OP アンプのノイズ特性の実際的なモデルを得られることです。SPICE によって回路のノイズをモデル化することができれば, 手計算によってノイズを解析しようとしている人たちに喜んで迎えられられることでしょう。ノイズを完全に解析するためには, すべてのアクティブ素子とすべての抵抗から出てくる個別のノイズ量を足し合わせて入力に換算するという, 複雑かつ退屈な仕事が必要なのです。

この仕事を助けるべく ADSpice モデルは拡張され, 実際の OP アンプの広帯域ノイズと $1/f$ ノイズを正確にシミュレートするノイズ源を含んでいます。概念的には, まずノイズなしのモデルをつくり, ターゲットとする素子をシミュレートする個別のノイズ信号源を付加していくようにします。先に示したように, すべてのアナログ・デバイス社のモデルが正確なノイズ特性を必須として設計されているわけではありません。しかしながら, ローノイズ用途などに用いられる特定の素子のモデルは, ノイズに対して十分に考慮した設計がなされています。

最初のステップは, モデルの内部インピーダンスをスケールダウンさせることです。例を挙げれば, 図 7-5 に示すように, ボール段とゼロ段の抵抗を基本的なモデルの $1\text{ M}\Omega$ から $1\text{ }\Omega$ に低減させることで, 全体のノイズ量が劇的に低減されます。

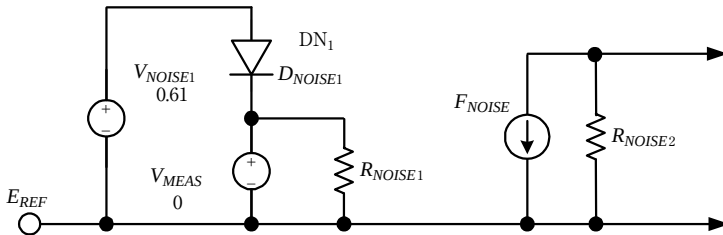
表の中の「ノイズあり」という項では, 抵抗値の大きい R_0 から発生するボール段のノイズが $129\text{ nV}/\sqrt{\text{Hz}}$ であることを示しています。しかし, この抵抗値を 10^{-6} にスケールダウンした場合, 「ノイズなし」の項のようにこの段のノイズは $129\text{ pV}/\sqrt{\text{Hz}}$ となります。相互コンダクタンス g_{m2} とコンデンサ C_4 の値は, 同じゲインとボール周波数を維持する

〈図 7-5〉ローノイズ特性を達成するための最初の設計のステップはポール段とゼロ段のインピーダンスを低くすること



	ノイズあり	ノイズなし
R_9	$1 \times 10^6 \Omega$	1Ω
g_{m2}	1×10^{-6}	1.0
C_4	$159 \times 10^{-15} \text{ F}$	$159 \times 10^{-9} \text{ F}$
ノイズ	$129 \text{ nV}/\sqrt{\text{Hz}}$	$129 \text{ pV}/\sqrt{\text{Hz}}$

〈図 7-6〉SPICE での基本的なノイズ発生源はダイオードと抵抗と制御信号源で構成される



ために同じ比率でスケールされなければならないことに注意してください。モデルの入力段をノイズレスとするためには、高電流と低負荷抵抗状態で動作させるようにします。そうすれば、ノイズの影響を無視できる程度に小さくできます。このテクニックをモデル全体に拡張することで、本質的にノイズレスにすることができます。

全体のノイズ低減が達成できたら、個別のノイズ源（一つは電圧性ノイズ、もう一つは電流性ノイズ）を付加していきます。モデルに用いられる基本的なノイズ源は図 7-6 に示すようなもので、それは電圧性ノイズと電流性ノイズの両方を出力に発生させることができます。

特筆すべきは、SPICE の半導体モデルは $1/f$ ノイズ（フリッカ雑音）を生成させることができるということです。OP アンプの $1/f$ ノイズをモデリングするためには、ノイズ発生源としてダイオード DN_1 を用います。ダイオードのモデル・パラメータとバイアス電圧 V_{NOISE1} を適切に設定することで、 $1/f$ ノイズは実際の OP アンプにマッチするようになります。 DN_1 からのノイズ電流はゼロ電圧源 V_{MEAS} を経由していきます。この V_{MEAS} は、 DN_1 からの $1/f$ ノイズと R_{NOISE1} からの広帯域ノイズを合成させる素子として用いています。

R_{NOISE1} の値は、適切な広帯域ノイズを供給するように設定します。 V_{MEAS} にて合成されたノイズ電流は F_{NOISE} の電流に変換され、 R_{NOISE2} の両端に電圧として現れます。この

電圧は制御された電圧源 (図 7-1 で E_N として示されている) を経由して、増幅器の一つの入力に直列に注入されます。 F_{NOISE} が制御型電圧源のどちらかの係数によって、全体のノイズ電圧をスケリングすることができます。

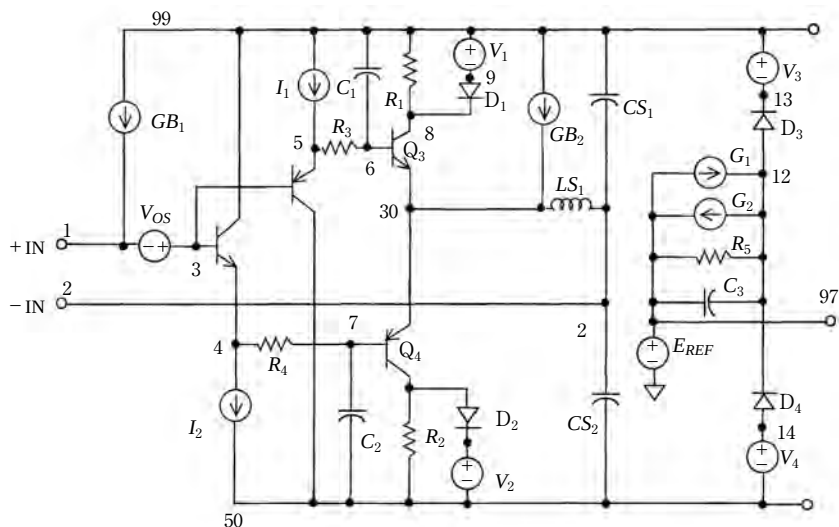
電流性ノイズ源は、電圧を発生させる抵抗 R_{NOISE2} が用いられていないこと、制御型電流源が増幅器の両方の入力をドライブしていることを除いて、上記の構成とほぼ同じです。ノイズ発生源はグラウンドに対して対象であることから、DC 誤差は発生しません。

7-3 電流帰還型 OP アンプのモデル

先に説明したように、非常にユニークな入力段の構成をもっている電流帰還型 OP アンプ [参考文献 (9)] のために、新しいモデル化手法が開発されました。このモデルは図 7-7 に示すような入力段とゲイン段となっています。この図に示されていない部分は、これまで詳解してきた電圧帰還型 OP アンプとまったく同様に、複数のポール段/ゼロ段と出力段で構成されています。

入力段の四つのバイポーラ・トランジスタは、高インピーダンスの非反転入力端子 (+IN) と低インピーダンスの反転入力端子 (-IN) をもっているため、実際の電流帰還型 OP アンプに似た構成になっています。電流帰還型 OP アンプでは、最大スルーレートは非常に高く、その動的なスルー電流は (電圧帰還型 OP アンプと異なり) 差動ペアのテイル電流に制限されるものではありません。電流帰還型 OP アンプの設計においては、フィ

〈図 7-7〉電流帰還型 OP アンプのマクロモデルの入力段とゲイン段



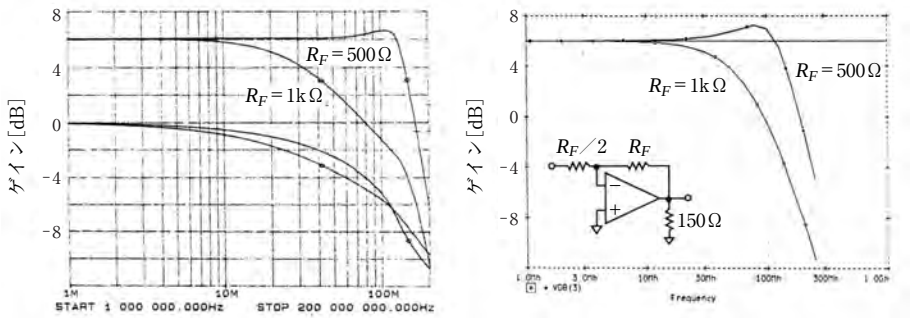
ードバック回路により生成された、かなり大きい誤差電流を反転入力端子に流し込むことになります。内部的には、この電流は Q_3 か Q_4 のどちらかに流れて、カレント・ミラーを経由して補償コンデンサ C_3 を充電していきます。

ADSpice モデルのカレント・ミラーは、実際にはゲイン段の電圧制御電流源 G_1 , G_2 となっています。それらは入力段の抵抗 R_1 と R_2 それぞれの端子電圧をセンスし、その抵抗に流れる電流値を C_3 の充電電流に変換します。 G_1 と G_2 の値が R_1 と R_2 にそれぞれ比例しているとした場合、スルー電流は同一になります。 R_1 - R_2 の電圧降下を D_1 - V_1 と D_2 - V_2 でクランプすることで、最大電流が制限され最高スルーレートを規定しています。このモデルのオープンループ・ゲインなり相互コンダクタンスは抵抗 R_5 でセットされ、オープンループのポール周波数は C_3 - R_5 により規定されます(図 7-1 を再度参照のこと)。 R_5 - C_3 接続端(ノード 12)の出力は、この後に続く周波数特性の設定段をドライブします。ここでも E_{REF} は内部リファレンス電圧です。

電流帰還型 OP アンプのユニークな特徴の一つは、その帯域幅が帰還抵抗値と内部補償コンデンサ C_3 の容量値の関数であるということです。下限に近づいて発振領域に入り込むまでは、帰還抵抗の値が低いほど、より広い帯域幅を実現できます。モデルの反転入力端子が低いインピーダンスをもっているため、帰還抵抗 R_F の値が変更されても実際の回路のふるまいを正確にシミュレートします。図 7-8 は AD811 ビデオ・アンプを例として、実際の素子と ADSpice モデルとの比較を行っています。図示されているように、モデルは $1\text{ k}\Omega$ の帰還抵抗では ($500\text{ }\Omega$ の帰還抵抗の場合と比較して) ゲインのロールオフ周波数が低くなることを正確に予測しています。

電流帰還型 OP アンプの入力段とゲイン段は、ADSpice のモデルを拡張したものです。異なる OP アンプ素子をモデリングできるフレキシビリティが補強されており、設計サイクルのスピードアップを可能にします。

〈図 7-8〉実際の AD811 電流帰還型 OP アンプ(左) とそのマクロモデル(右) は帰還抵抗を変えたときにも同様な特性を示す



7-4 シミュレーションはブレッドボードの置き換えにはならない

あなたが使用しているモデルがいかに正確であったにしても、また、あなたがシミュレーションに対していかに自信をもっているにしても、SPICEによる解析だけでは絶対にブレッドボードの置き換えにはなりません。現実のプリント基板に存在する回路要素やレイアウトの良し悪しによって、それらの2次的、3次的影響が回路の動作性能に対して簡単に影響を与えてしまいます。SPICEのネット・リストにそれらを明示的に記述しないかぎり、SPICEはそれらのことを知る由もありません。実回路のさまざまな要素をすべてネット・リストに記述することは非常に難しく、率直に言えば不可能です。

最終的なシステムのプリント基板を作り上げてテストをするまでは、それらの問題点について気付くことさえできないかもしれません。たとえば不要信号の結合、クロストーク、逃げることのできない寄生容量、インダクタンス、抵抗…などなど、問題点を挙げていったらきりがありません。これらの影響をすべて含んでシミュレーションを行うことは絶対に不可能だという現実を直視すべきです。それらの存在に気づいていたとしても、実際に組み上がったプリント基板を規定の動作環境で動作させてみないことには、何らかの寄生要素の大きさのデータさえも入手できないでしょう。

さらに言えば、どんなマクロモデルでさえも、OPアンプのすべての特性を含んでいるわけではないということを肝に命ずることです。たとえば、入力電圧範囲を越えた場合、OPアンプは非線形動作をしてしまいますが、そのような挙動はモデルに組み込まれていません。それらの影響をシミュレーションでは予想できないため、回路を実際にブレッドボード化することが必要です。

ADSpice ライブラリなどのような包括的モデルの場合でも、外部の影響が回路の動作不具合を引き起こしてしまいます。先に示したように、プリント基板の寄生要素は、高速回路の周波数特性を大幅に変えてしまいます。それらの寄生要素はSPICEシミュレーションでは簡単に見逃されてしまいますが、ブレッドボードでは簡単に発見できます。

結局のところ、設計効率を最大限にするためにシミュレーションとブレッドボードの両方を使用することが大切です。表7-3に、アナログ回路シミュレーションのポイントをまとめてあります。

設計者は、SPICEでは何ができて何ができないかをよく考えて、ブレッドボード化とプロトタイプの製作をシミュレーションと併せて行う必要性を理解することが大切です。

〈表 7-3〉アナログ回路シミュレーションで考慮すべきこと

- ・何が現実（ハードウェア）で、何が現実でない（SPICE）かを理解すること
- ・設計の最終検証としてブレッドボードやプロトタイプを製作すること
- ・OP アンプのモデル化されていない特性があることに留意すること
- ・回路動作に影響を与えるプリント基板の寄生要素に対して注意を払うこと

●シミュレーションは賢く使うべきツール

シミュレーションは非常に強力なツールですが、そのメリットを十分に享受するためには賢く使わなければなりません。それにはモデルを良く知ること、プリント基板とその寄生要素について理解しておくこと、結果をあらかじめ予測することなどが重要です。

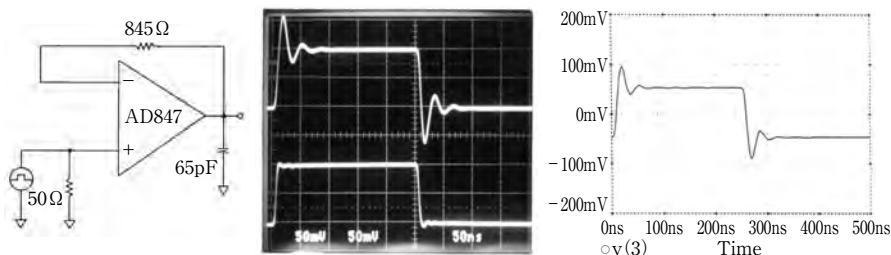
たとえば、OP アンプと 4 個の同じ定数の抵抗で構成された単純な差動増幅器の同相入力除去比（Common Mode Rejection Ratio；*CMRR*）の特性を解析することを考えてみましょう。低い周波数では、*CMRR* は抵抗ごとの定数のズレが支配的ですが、高い周波数では OP アンプ自体の *CMRR* 性能が支配的になります。しかしながら SPICE シミュレーションでは、外部抵抗に定数ズレを故意に起こさせた場合にしか低い周波数での *CMRR* の劣化は起こりません。OP アンプのモデルは DC での *CMRR* だけではなく、高い周波数での *CMRR* の低下も適切に扱うことが必要です。もし、これらの非常に重要なポイントが解析で見逃されていた場合、回路の全動作周波数範囲にわたって非常にすばらしい *CMRR* 性能を示すという楽観的な結果となってしまいます。残念ながら、これは単純な間違いです。

ここで、ADSpice モデル（*CMRR* の周波数特性を含んでいる）とともに抵抗値のズレを許容範囲まで定義したネット・リストを使用した場合、得られるシミュレーション結果はかなり異なってきます。低い周波数での *CMRR* 性能は抵抗値のズレにより制限され、周波数が高くなるにしたがって実際の OP アンプ素子自体の *CMRR* の周波数特性が現れてくるようになります。

●モデルのことを知る

各種の DC テストや AC テストを行うことで、どのような OP アンプのマクロモデルでも、その精度と機能的な完全性をチェックすることができます。目的とする解析に重要となる OP アンプの特定のパラメータに対して、特別なテスト・シミュレーションを考案してもよいでしょう。これらは非常に重要なことで、あらかじめ OP アンプのモデルの対応力を知っておくことにより、その後に起こるトラブルの多くを軽減できるのです。

〈図 7-9〉寄生要素の影響を低くするように注意深く設計したプリント基板での実測値（中央写真）とシミュレーション（右図）は整合性が取れている



●プリント基板の寄生要素を理解する

もしモデルがすべての暫定的テストをパスしたにしても、それでもまだ注意を払うことは必要です。前に説明したように、プリント基板の寄生要素は回路の性能に対して非常に大きな影響を与えます。これはとくに高速回路で重要なことです。入力端子での数 pF のキャパシタンスでも、安定な回路動作と異常発振との境界となってしまいます。これらの影響は、回路のシミュレーションを意味ある結果に導くために、注意深く考慮しなければなりません。

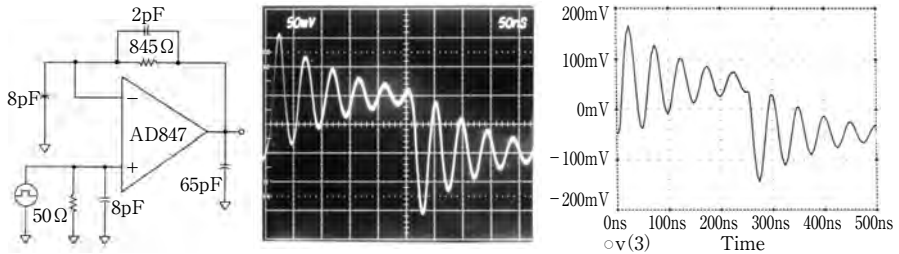
プリント基板での寄生要素の影響を示すため、図 7-9 の左に示すような簡単なボルテージ・フォロウ回路を 2 種類用意してみました。最初のものはプリント基板に注意深くレイアウトしたもので、もう一つのものはプラグイン式の実験用基板上に部品を並べたものです。50MHz の帯域幅をもつ OP アンプ AD847 を使ったのは、寄生要素の影響がより危険度の高いものとなるからです（小さいキャパシタンスでも大きな影響が出る）。

図に示したように、適切なレイアウトのプリント基板上に実装した回路は、クリーンな応答波形と小さなオーバーシュート/リングング波形で動作しています（中央写真）。SPICE も同様なシミュレーション結果となり（右図）、実際の回路に非常に近似しています。

一方で、同じ回路をプラグイン方式の実験基板上にレイアウトした場合、まったく異なった結果になってしまいます。OP アンプの入力端子付近に存在する相対的に高い寄生容量により、方形波応答性能を悪化させる大きなリングングを生じ、部品の性能からは程遠い非常に悪い性能を示してしまいます。

このことは図 7-10 の中央写真と右図に先と同じ順序で示されています。左図のボルテージ・フォロウ回路には、実験用基板自体に内在するキャパシタンスが付加されています。このテスト回路の実験結果とそれに対応する SPICE シミュレーションとの整合性は「最初は」ありません。しかしながら、動作に関与するプリント基板上の寄生容量を SPICE のシミュレーション・ファイルに反映させた場合、シミュレーションの結果は実際の回路

〈図 7-10〉プラグイン方式の実験基板の実測値（中央写真）とシミュレーション（右図）でも同じ結果が得られる（大きなリングング減衰特性）



動作に非常に近くなります。それが右図に示されています。

この例はいくつかの重要な示唆を含んでいます。一つめは、プリント基板の寄生要素があることで、単純な SPICE 解析と比較して、高速動作回路においてかなり異なるふるまいを示しやすいということです。二つめは、SPICE ネット・リストにプリント基板の寄生要素の影響を実際にあわせて設定した場合、シミュレーション結果は実際の実験結果と比較可能になります。最後に、明確にしておくべきは、寄生要素量が最小となるようにプリント基板パターンを設計することは高速動作回路において非常に重要だという点です。広い視野をもってこれらを適用すれば、現在の OP アンプは 1 GHz を越える動作ができる性能をもちあわせています。

そのほかの興味深い点として、シミュレーションをプリント基板設計におけるラフな評価方法として使えるということがあげられます。もし、寄生要素なしで行ったシミュレーション結果が実際のプリント基板での動作と整合した場合は、そのプリント基板がうまく設計されていることの良い裏付けになるわけです。

プリント基板上の寄生要素は、シミュレーションとブレッドボードとの差異を生むだけではありません。回路が電源投入時に非線形動作を示し、結果として素子がロックアップしてしまうかもしれません。あるいは不十分な電源デカップリングやリード線のインダクタンスにより、素子が発振してしまうかもしれません。SPICE ではバイパス処理は必要ありませんが、実際の回路では必須です。すなわち現実問題としては、増幅器がさらされる通常時および異常時の動作環境をすべて予測することは不可能であるということです。

このように、回路は必ずブレッドボード化し、実験により完全にチェックすることが重要です。設計段階における用心深さが、最終のプリント基板が製造された時点で露呈する未知の問題を最小にしてくれるのです。

●シミュレーションは設計サイクルをスピードアップする

シミュレーションは設計の一番最初の段階で、異なるアイデアや回路方式を検討するのに非常に有効です。回路方式がSPICE上のテストにより決定されれば、ブレッドボードを作り込むことが可能になります。もしシミュレーションが注意深くなされた場合、ブレッドボードは大きな変更なしに、正しくシミュレーションに近い特性で動作します。

シミュレーションと実際の結果に相関が得られていれば、SPICEで各種の異なる解析を実行することで、回路の変更が容易になります。たとえば、SPICE上で動いている回路を最適化する作業は、ブレッドボードを何度も繰り返して修正することと比べて格段に簡単です。あっという間にOPアンプや部品をSPICE上で置き換えて、その結果をただちに見ることができます。

ワーストケースと感度解析もまた、紙の上で行うのと比較して、SPICE上では簡単に行うことができます。複数のSPICEプログラムを走らせることで、あるパラメータに対しての感度を見積もることもできます。多段のアクティブ・フィルタの設計で、すべての可能性のある部品定数の組み合わせを解析する例を考えてみましょう。これは手計算や実験のどちらかでやらなければならない場合には悪夢となりますが、SPICEのモンテカルロ・オプションを用いることで比較的容易に最悪値の結果を得ることができます。このことは設計結果に対して自信をもてることにつながります。

SPICEの利便性を表7-4にあげておきます。回路設計プロセス全体にわたって、大きな安心感を与えてくれることがわかります。

シミュレーションはブレッドボードの置き換えとすることはできませんが、回路設計サイクルの効率を向上させるためには、ブレッドボードと併用して積極的に使いこなしていくべき道具です。

●SPICEのサポート状況

電子産業界では、いくつもの業者が異なるコンピュータ・プラットフォーム(PCも含む)に対してSPICE解析パッケージを提供しています。これらのうち最初で、一番ポピュラーなのはPSpiceです。現在では市販のプログラムは、回路図入力とプリント基板レイアウトの機能の両方を含むパッケージ商品になっています[参考文献(19)を参照]。そ

〈表7-4〉SPICEシミュレーションの便利なところ

- | |
|---|
| <ul style="list-style-type: none">・新しい回路のアイデアをすぐにチェックできる・回路の最適化が簡単にできる・ワーストケースおよび感度解析のための部品の置換が簡単にできる・異なるOPアンプの比較がすぐにできる |
|---|

れに加えて、多くの業者は低価格か無料でスチューデント・バージョンの SPICE プログラムを提供しています。

●モデルのサポート

ADSpice モデル・ライブラリは、いくつかの異なる方法で供給されています。ここまでに説明した OP アンプのモデルに加えて、別の種類の IC のモデルも含まれています。それは計装アンプ、アナログ乗算器、電圧リファレンス、アナログ・スイッチ、アナログ・マルチプレクサ、マッチしたトランジスタ、バッファなどです。

個々の OP アンプのモデルは、多くのデータシート上にリストとして記載されています。電子的な ASCII テキスト・ファイルになっているモデル・ライブラリは、アナログ・デバイsez社のホームページからも、資料センタ (1-800-262-5643*1) から、またサポート CD でも入手することができます。

謝辞：

アナログ・デバイsez社のライブラリの SPICE マクロモデルの作成者はたくさんいます。これらの方々の名前をあげておきます。Derek Bowers, Eberhard Brunner, Joe Buxton, Vic Chang, Bob Day, Wes Freeman, Adolfo Garcia, Antonio Germano, John Hayes, John McDonald, Troy Murphy, Al Neves, Steve Reine, Bill Tolley, Tim Watkins, James Wong.

* 1：【訳注】この番号は原著では 1-800-ANALOGD とも記述されている。米国の電話のダイヤルの刻印にあるアルファベットに対応している。

7-5 ブレッドボードとプロトタイプ製作のテクニック

ブレッドボード (breadboard) とプロトタイプ (prototype) は基本的に、電子回路や電子システムの性能をテストするために作られる「一時的なもの」です。そのような意味から考えると、簡単に修正可能なものでなくてはならず、特にブレッドボードがそれにあたるといえます。

多くのプロトタイプ製作用の治具やシステムが市販されていますが、アナログ回路設計者にとっては残念なことに、それらのほとんどがディジタル回路のプロトタイプを作るためのものです。そのような治具やシステムでは、ノイズの許容値は数百 mV 以上となっており、我々が扱う一般的なアナログ回路にとっては大きすぎます。プロトタイプ製作の方法は一般に、銅箔の張られていないマトリクス状の基板、「ベクターボード (Vector board)」*2、ワイヤ・ラッピングやプラグイン試作基板システムを使って行います。単純に言って、これらすべては高性能回路/高周波回路のアナログ・プロトタイプ基板の製作には適していません。なぜなら、非常に大きな寄生抵抗、寄生インダクタンス、寄生キャパシタンスがあるからです。標準的な IC ソケットを使っているものでさえ、プロトタイプ多くの用途でお勧めできません (詳細は後述する)。

表 7-5 に、これから解説していくアナログ・ブレッドボードやプロトタイプ製作について

〈表 7-5〉アナログ・プロトタイプ製作の要点

- ・高精度/高周波回路にはグラウンド・プレーン (ベタアース) を必ず使うこと
- ・寄生抵抗、寄生キャパシタンス、寄生インダクタンスを最小にすること
- ・ソケットが必要な場合はピン・ソケット (“Cage Jacks” *3) を使うこと
- ・信号配線経路、部品配置、グラウンド、デカップリングに関してプロトタイプと最終基板において同じ注意を払うこと
- ・一般的なプロトタイプ製作のテクニック
 - ・ IC を裏返して *4 ポイントからポイントへ配線する
 - ・ “Solder-mount” *5 を使う
 - ・ CAD によるレイアウトから表面切削型の試作基板を作る
 - ・多層基板の場合、両面基板にワイヤ配線を追加する

* 2 : 【訳注】Vector Electronics & Technology 社の商品名。いわゆる実験用のユニバーサル基板。

* 3 : 【訳注】Wearnes Cambion 社の商品名。丸ピンのシングル・ソケットで、かご型のコンタクトになっている。

* 4 : 【訳注】原著では “deadbug”，つまり「死んでひっくり返った虫」となっている。

* 5 : 【訳注】Wainwright Instruments 社の商品名。各種のパターンがエッチングされている小型の実験用プリント基板。

て、いくつかの有益なキー・ポイントをまとめておきます。

プロトタイプ製作の方法を選択するときに十分に考慮すべきことは、広い面積のグラウンド・プレーン（ベタアース）が必要だということです。これは高周波回路や、低速であっても高精度な回路では重要なことで、とくに回路内に A-D コンバータや D-A コンバータを使用している場合に非常に重要となります。

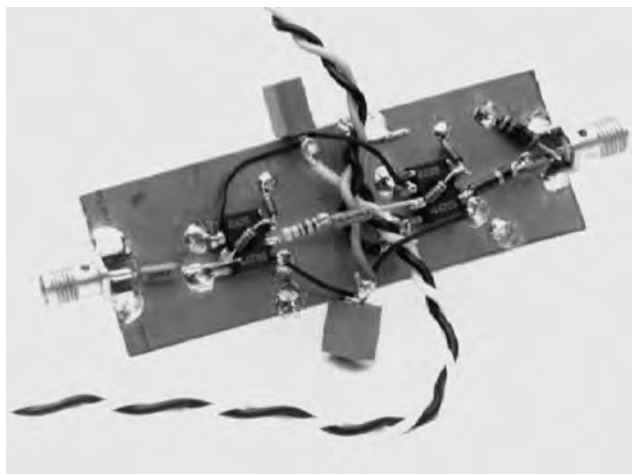
高速回路と高精度ミックスド・シグナル回路を区別するのは難しいことです。たとえば、16 ビット以上の A-D/D-A コンバータでは、その有効スループット・レートが 100 ksp/s 以下である場合でも、高速クロック（10 MHz 以上）で動作しているため、その立ち上がり/立ち下がり時間は数 ns となるでしょう。このような回路のプロトタイプ製作を成功させるためには、高速/高精度回路のテクニックを駆使しなければなりません。

●「デッド・バグ」によるプロトタイプ

単純なアナログ・プロトタイプ製作でのテクニックは、銅張り基板材をグラウンド・プレーン（ベタアース）として用いるものです [参考文献 (20), (21) を参照]。この方法では、IC のグラウンド・ピンは直接にグラウンド・プレーンにはんだ付けされ、そのほかの部品は基板上で直接に配線接続されます。これによって、高周波領域でのデカップリング経路を非常に短くすることができます。すべてのリード線の長さはできるだけ短くし、高いレベルと低いレベルの信号を離すように経路を分離しなければなりません。配線は基板の表面にできるだけ近づけて、浮遊インダクタンスによる結合を最小にするようにします。多くの場合、18 ゲージ (0.75 mm²) 以上の絶縁電線を使います。平行に走る配線は、結合する危険性があるので、一緒に束ねてはなりません。理想的には、基板上のレイアウトは（少なくとも基板上の部品の相対的な配置くらいは）最終基板のレイアウトと同様にする必要があります。

この方法によるプロトタイプ製作を「デッド・バグ (deadbug)」と呼んでいます。この方法では、IC は上下を逆に実装し、リード線は上側の空間に向かって突き出させます（グラウンド・ピンについては例外となり、基板面に対して直接はんだ付けするように折り曲げておく）。上下が逆になった IC は死んだ昆虫に似ているため、このように呼ばれるようになりました。

写真 7-1 は、手配線で製作した「デッド・バグ」手法によるアナログ・ブレッドボードの外観です。この回路には二つの高速 OP アンプが用いられており、決して美しいとはいえない状態にもかかわらず、実際には最高の性能を示しています。銅張り基板上に、上下を逆にした OP アンプ IC を実装しているので、端子ピンは上に向いています。信号は短くポイントからポイントへの配線で接続されています。このグラウンド・プレーン上を走る配線の実効インピーダンスは、おおよそ 120 Ω となります（基板表面からの距離に依存



〈写真7-1〉「デッド・バグ」によるアナログ・ブレッドボードの例

し、この値は $\pm 40\%$ くらい変動する)。デカップリング・コンデンサは、OP アンプの電源端子から銅張り基板のグラウンド面に直接にはんだ付けされています。

数百 MHz で動作させる回路の場合、基板の片面だけをグラウンドにするというのは良い考えかたです。ときに、基板にドリルで穴をあけて短い配線材で表裏の面を接続させているのを見かけることがあります。しかし適切な注意を怠ると、この方法は基板両面に予期しないグラウンド・ループを形成することになりますから、高周波回路ではとくに注意が必要です。

銅張り基板材の切れ端を、基板上のメインのグラウンド面に対して直角にはんだ付けすることでシールド板を作ることができます。また、基板自体をシールド板として考えれば、回路は基板の両面に形成させることができます（スルー・ホール接続が必要）。この場合、基板の四隅にスタンド（スタッド・ピン）を取り付けて、下側に配置した部品をクラッシュから保護することが必要です。

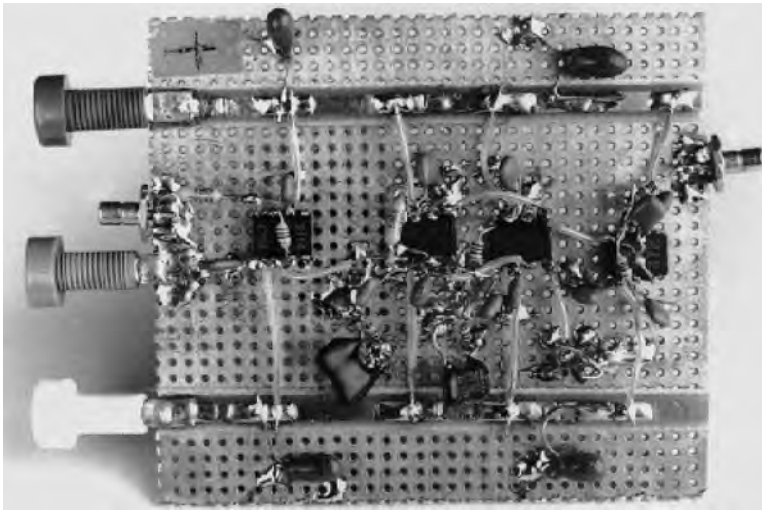
この種のブレッドボードでは、部品どうしはポイントからポイントへと空中で配線されます（このタイプの構成方法は Bob Pease 氏 [参考文献 (21) 参照] により強く推奨されており、「鳥の巣 (bird's nest) *6」構成として知られている）。この構造は、回路がクラッシュしたりショートしたりする危険性をいつもはらんでいます。同じく、回路がグラウンド

* 6 : 【訳注】bird's nest は英口語で「混み込んだもの、複雑にからみ合った問題」というような意味がある。

面から大きく離れて配置された場合、グラウンド面によるシールド効果は低下し、回路内での異なる部品間での相互影響が発生しやすくなります。それでもなお、このテクニックは非常に実践的で、回路の修正が非常に簡単であることから、広く使われています。ただし、充分なはんだ付けテクニックをもった人が修正作業を行うことを仮定しています。

ブレッドボードのもうひとつのバリエーションを写真7-2に示します。これは片面の銅張り基板材に0.1 inch (2.54 mm) ピッチで穴開けされたユニバーサル基板を使ったものです[参考文献(22)を参照]。電源バスが基板の上と下の部分に引かれています。デカップリング・コンデンサは、それぞれのICの電源ピンに取り付けられています。事前に開けられた穴による銅箔面の減少のため、この方法では写真7-1に示した完全に銅の面で覆われた基板ほど低いグラウンド・インピーダンスは得られませんので、まえもってよく考慮する必要があります。

このテクニックのバリエーションとして、ICとその他の部品を基板の銅を張っていない面に実装する方法があります。穴はビアとして使い、ポイントからポイントへの配線は基板の銅が張られた面で行います。それぞれのビアを取り巻く導体は、ショートを避けるためにドリルで剥ぎ取っておく必要があります。この方法を使うには、すべてのICピンが0.1 inch ピッチでなければなりません。低周波回路では高さの低いソケットを使うことができます。ソケットのピンを使うと、ポイントからポイントへの配線がしやすくなります。



〈写真7-2〉「デッド・バグ」プロトタイプ、銅張り片面プリント基板材に0.1 インチで穴あけされたユニバーサル基板のパターン面を使う

●はんだ付け実装によるプロトタイプ

上記のテクニックの利点(強靱なグラウンド, シールド板, 回路の変更が簡単, 浮遊容量と寄生インダクタンスが少ない)に加えて, さらに別の利点をもっている商用ブレッドボード・システムがあります。それは硬材質で, 部品をグラウンド面に対して近接して実装でき, 必要があれば端子の容量とラインのインピーダンスが簡単に計算できるものです。このシステムは Wainwright Instruments 社で作られており, ヨーロッパでは「ミニ・マウント (Mini-Mount)」, 米国では「ソルダー・マウント (Solder-Mount)」(ミニ・マウントという名前は他の会社により商標が登録されてしまっているため)として入手可能です[参考文献 (23), (24)を参照]。

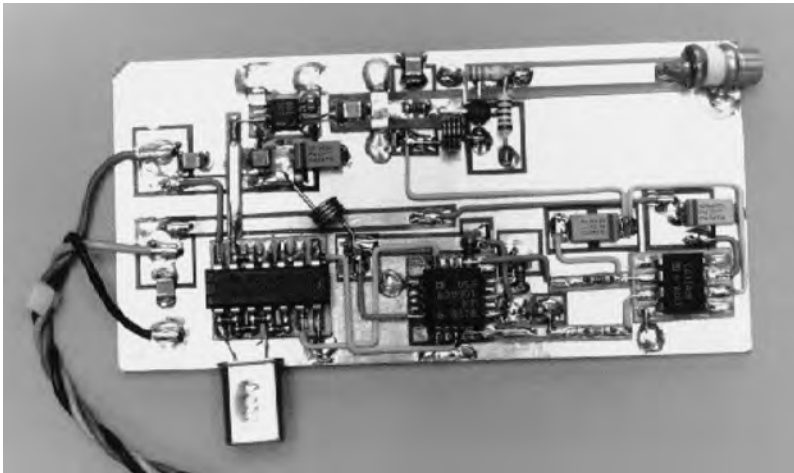
「ソルダー・マウント」は小さいプリント基板にパターンがエッチングされており, 裏面に取り付け用接着剤が塗布されています。これらの基板をグラウンド面に貼り付け, 部品を基板の上にはんだ付けしていきます。パターンは非常に多岐にわたる種類があり, 8ピンの SOIC から 64 ピンの DIL までのすべてのサイズの IC パッケージ, 特定ピッチのはんだパッドをもつストリップ(細片, 0.04 ~ 0.25 inch のピッチをもち, DIL パッケージのデバイスが実装できるように 0.1 inch のパッド間隔をもつ), グラウンド面に実装されたときにマイクロストリップ伝送線路(50 Ω , 60 Ω , 75 Ω , 100 Ω)を形成する正確な幅の導体をもつパターン, その他の部品が実装可能な多岐にわたるパッドをもつレディ・メイドの基板です。

自己接着型のすず-銅ストリップ(細片)と角型パッド(LO-PADS)は, 接続結線点に使うことができます。それらはグラウンドに対して相対的に高い容量をもつため, 低いインダクタンスのデカップリング・コンデンサとして働きます。シート形状で供給されるので, はさみやナイフで簡単に切断することができます。

「ソルダー・マウント」での試作を「鳥の巣」や「デッド・バグ」と比較したおもな利点は, 回路をかなり強固にできること, そして望めばより小さく製作できることです。最新の「ソルダー・マウント」は表面実装デバイス用があり, ブレッドボードのサイズを最終プリント基板と比較してそれほど大きくしなくても済みますが, プロトタイプ基板をいくぶん大きく作ったほうが大体の場合でいろいろと便利です。「ソルダー・マウント」を使う方式は, プロトタイプ製作にかぎらず, 少量生産に使う場合でも十分に耐えられる性能をもっています。

写真 7-3 は, 2.5 GHz 用 PLL のプロトタイプ基板の例(「ソルダー・マウント」を使って作られている)を示しています。この例は高速動作の回路ですが, 高分解能の低周波アナログ回路の製作においても, このような作りかたが適しています。

VHF 帯での「ソルダー・マウント」のとても便利な特徴としては, 伝送線路が比較的簡単に形成できることです。先に示したように, 導体がグラウンド面の上を通過する場合に



〈写真 7-3〉「溶ダー・マウント」を使ったプロトタイプ基板

は、それはマイクロストリップ型の伝送線路を形成します。「溶ダー・マウント」の部品には、グラウンド面上に配置された場合にマイクロストリップ・ラインとなるストリップ（細片）が含まれます（50 Ω、60 Ω、75 Ω、100 Ω のインピーダンスのものがある）。これらのストリップは、インピーダンス・マッチングのための伝送線路に使うことができますでしょうし、より簡単な例としては電源バスに使うこともできます。ガラス・エポキシ基板は、VHF 帯や UHF 帯ではある程度ロスが大きくなりますが、マイクロストリップ・ラインの配線が短い場合は、これらのロスは許容範囲内にあるといえるでしょう。

●表面切削型プリント基板によるプロトタイプの製作

「デッド・バグ」, 「溶ダー・マウント」のどちらのプロトタイプにしても、複雑なアナログ回路を作る場合はたいへんな作業になってしまいます。そして大きな回路では、より正式なレイアウト技術を用いたほうが良いプロトタイプを作ることができます。

以下に示すように、従来のプリント基板の設計製造工程から一つのステップを取り除いただけのプロトタイプ化の手法があります。これは、従来から使っている CAD 技術で、両面基板に実際にレイアウトするものです。パソコンをベースとしたレイアウト・ソフトウェアは、入力した回路図に対応する接続の検証機能もっており、また容易にパターン設計をすることができます [参考文献 (25), (26) を参照]。多くのプリント基板設計 CAD ソフトウェアは自動配線の機能を（レベルは異なるものの）もっていますが、この機能はデジタル回路設計用と考えるべきです。アナログ回路の部品配置と配線は、この章で説

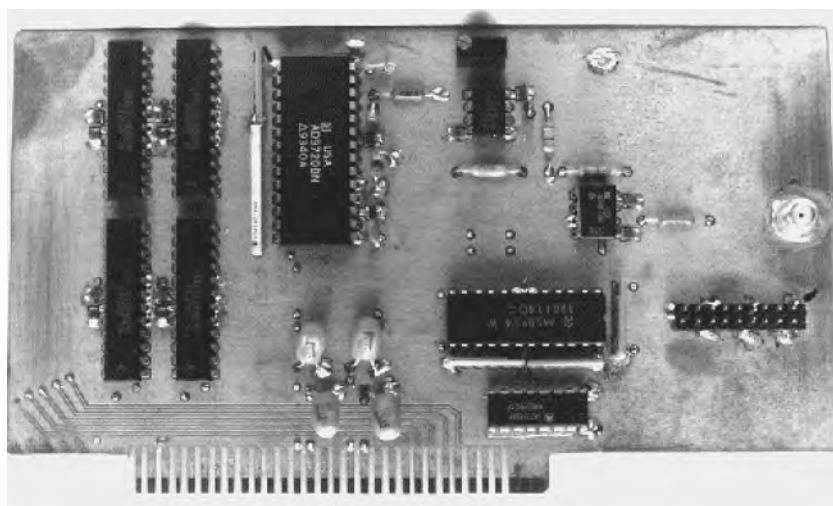
明してきたルールに従って、手作業にて行うべきものです。基板のレイアウトが完成したのちに、このソフトウェアにより、回路図のネット・リストに従って接続を検証しておけばよいのです。

多くの設計者は、簡単な基板のレイアウト設計にCADが使えることはわかっています。設計結果は、パターン生成されてデータ・テープ（いわゆるガーバー・ファイル）となり、これは一般には基板メーカーに送られて最終のプリント基板が製造されることになります。

基板メーカーに発注する以外に、パターン生成のデータ・テープを直接に受け付ける自動表面切削/自動ドリル機を使う方法があります[参考文献(27),(28)を参照]。このプロトタイプ基板(Milled PCB)の例を写真7-4に示します(部品面)。

この方法では、基板の銅箔面を切削して取り除き、ドリルですべての穴明けをすることで、片面基板や両面基板を直接に作り出すことができます。切削した部分が絶縁部となり、プロトタイプ基板が完成します。結果として、最終的に製造する両面基板と機能的に同等のプリント基板を作ることができます。

しかしながら、この方法ではスルー・ホールめっきを使うことができないということに注意が必要です。そのため、二つの層間を結線するビアが必要ならば、手配線によって基板の両面をはんだ付けしなければなりません。最小パターン幅は25 mil (1 milは0.001 inch)で、標準的なパターン間隔は12 milが実現可能です。注意深く作することで、もっと細いパターンも形成可能です。最小のパターン間隔は使用する切削ビットのサイズにより決定されますが、一般的なのは10～12 milとなっています。



〈写真7-4〉表面切削によって回路パターンを形成したプロトタイプ基板(部品面)

写真7-4に示した表面切削プロトタイプ基板のはんだ面を写真7-5に示します。銅パターンが表面に露出しているので、パターン修正をする場合にも配線を直接に変更することができて便利です。

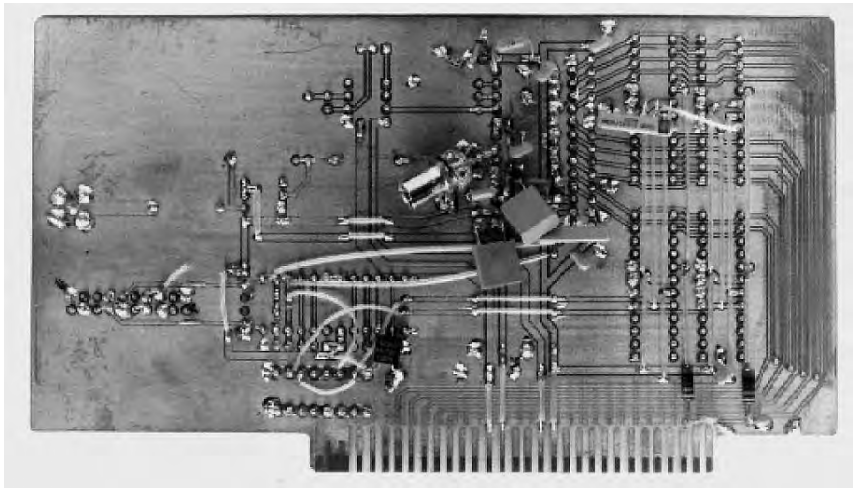
表面切削型のプロトタイプ基板の唯一かつ最大の利点は、最終的な完成プリント基板の設計形状に非常に近い状態で実験ができるということです。しかし、この方式では根本的に片面か、せいぜい両面までの基板しか製作できないことはしかたありません。

●ソケットの使用には注意が必要

ICソケットを使うと、高速/高精度アナログICの性能を低下させてしまうおそれがあります。ICソケットはプロトタイプを簡単に製作するためには便利ですが、高さの小さいソケットでさえも、結構な大きさの寄生容量と寄生インダクタンスをもつため、高速回路においては性能を低下させてしまいます。

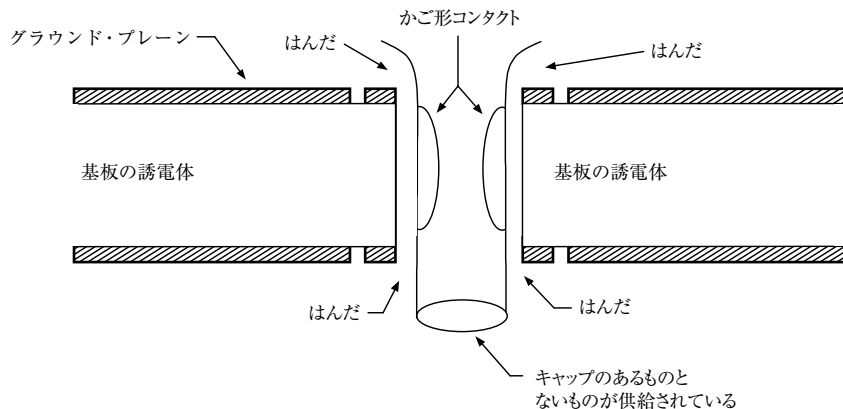
ソケットを使用しなければならない場合には、図7-11に示すような、個別部品のピン・ソケット（“Cage Jacks”と呼ばれることもある）をグラウンド・プレーンをもつ基板上に実装することを勧めます。

この方法を使うには、銅箔（基板の両面）に0.5 mm程度の円形なクリアランスを設けて、信号用などのピン・ソケットをグラウンドから浮かせるように実装します。そして、グラウンドに接続するソケット・ピンについては、基板のグラウンドの両面にはんだ付けします。



〈写真7-5〉表面切削によって回路パターンを形成したプロトタイプ基板（はんだ面）

〈図 7-11〉必要な場合は寄生素子による影響を最小にするためにピン・ソケットを使用する



ピン・ソケットは、キャップがあるものとキャップがないものが入手可能です[参考までに、AMP社のパーツ番号では5-330808-3(キャップあり)、5-330808-6(キャップなし)となっている]。ピン・ソケットは、ポイントからポイントへの結線が確実にできるように、基板から十分に突き出るように差し込むようにします。

ピン・ソケットの内部はスプリングで負荷をかけている金めっき接点であるため、ICピンに対して電氣的/機械的に十分な接触が得られます。とはいえ、複数回挿入した場合はピン・ソケットであっても性能が低下してしまいます。このことは頭に入れておく必要があるでしょう。

キャップなしのものは、ソケットの底からICピンが飛び出るので、これを積極的に利用すると便利です。つまり、ピン・ソケットを使ったプロトタイプ基板がうまく動作して、それ以上の変更が必要ない場合、ICピンとソケットの底面とを直接はんだ付けしてしまえば、頑丈で永久的な接続を確立できるわけです。

●プロトタイプ製作のその他のポイント

ここまで説明してきたプロトタイプ製作のテクニックは、片面か両面基板のものにかぎられていました。多層基板には、標準的なプロトタイプ化のテクニックを簡単には応用できません。もし多層基板でのプロトタイプ製作が必要な場合には、両面基板の片側をグラウンド面とし、もう一方を電源と信号配線層としてください。ポイントからポイントへの配線は、最終的な多層基板では違う層で配線されることを想定しながら配置するようにします。しかしながら、ポイントからポイントへ配線するパターンインピーダンスをコン

トロールすることは非常に難しいので、高周波回路の特性においては、このプロトタイプ製作手法で作ったものと最終の多層基板での特性とは大幅に異なってくるだろうということを認識しておく必要があります。

OP アンプやその他のリニア素子で 100 MHz を越える帯域幅をもっているものでは、プロトタイプ製作の困難度が高くなります。非常に微小な寄生容量の変化 (1 pF 以下) でさえ、プロトタイプ基板と最終基板の間で、帯域やセトリング・タイムの差異を出してしまいます。

プロトタイプ製作は DIP パッケージで行い、最終の製造用基板では SOIC パッケージを使うということもあるでしょう。しかし、これはお勧めできません。高い周波数ではパッケージに依存した寄生素子の微小な差異が、プロトタイプ基板と最終基板の間で、異なる性能を生じさせることもありえるからです。この問題を減らすために、プロトタイプの場合であっても最終基板で用いる IC パッケージを必ず使うようにしてください。

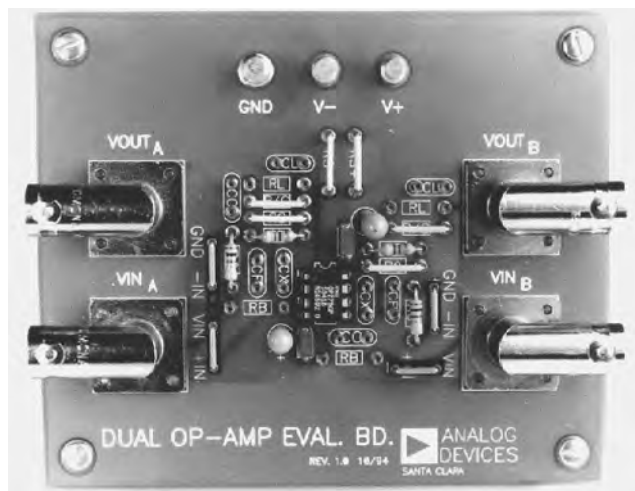
7-6 評価用ボード

アナログ IC を製造するほとんどのメーカは、評価ボードをそれほど高くないコストで提供しています。このボードを用いることで、ユーザはプロトタイプ・ボードを自分で作らなくても IC を評価することができます。どのような評価ボードでも、製造メーカとしてはグラウンドや信号パターンのレイアウト、そしてデカップリングなど、デバイスの性能が最適になるように注意を払って作ってあります。この評価基板のアートワークは無料で使えるようになっていますので、使えそうであれば、用途にマッチするようにこのレイアウトを直接コピーしたり、修正したりして使うのが良いでしょう。

●汎用の OP アンプ評価ボード

評価ボードは、特定の IC 専用に作られていることもありますし、汎用に作られていることもあります。最も汎用的なりニア IC である OP アンプ全般用として、汎用の評価ボードが開発されていることはしごくまっとうなことであるといえます。良い作りの評価ボードは、ここまでで説明したような寄生素子の影響を避けるように設計してあります。その一例として、写真 7-6 に汎用デュアル OP アンプの評価ボードを示します [参考文献 (29) を参照]。

この基板は、標準的なピン配置のデュアル OP アンプ素子用のピン・ソケットを備えており、反転/非反転増幅回路を構成するには、部品のジャンパ位置の組み合わせで柔軟に対応できるようになっています。各種のゲイン設定も素子定数を適切に選択することで可能であり、また AC 結合/DC 結合の両方の構成にも対応できます。



〈写真 7-6〉汎用 OP アンプ評価ボード（低周波用 OP アンプ回路の製作が簡単になれる）

この基板では、入力と出力は BNC コネクタで外部信号ラインと結合します。この基板は実験用外部電源の供給を必要とし、基板上部にその端子が出ています。一方で、基板自体にも内部電源ラインのデカップリングとバイパス用の部品を含んでいます。

このような汎用の評価基板は、OP アンプの入力電流が少ない、10 MHz 以下の周波数における、中精度から高精度の用途で利用できます。より高い動作周波数の場合には、高速な素子専用を用意されている評価ボードを使ったほうがよいでしょう。

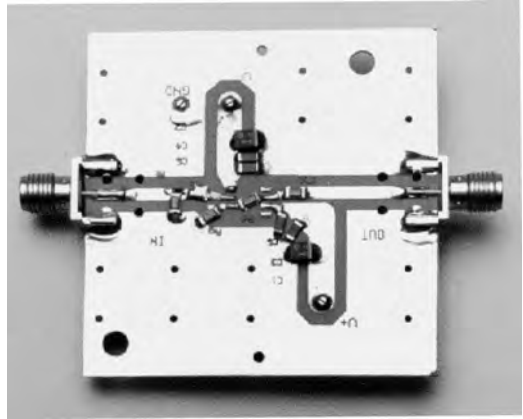
●専用を用意されている OP アンプ評価ボード

高速/高精度 IC の場合は、電源のデカップリングにとくに注意を払う必要があります。たとえば、高速にレベルが遷移する信号が、相対的に低いインピーダンスの負荷に流れた場合、OP アンプの電源端子に高速の過渡電流が流れます。この過渡電流は、電源配線経路に内在する寄生インピーダンスにより電圧降下を発生させます。これらの電圧降下は、高周波では IC の電源電圧除去比性能が低下するため、IC 出力に現れてしまいます。

AD8001 高速電流帰還型 OP アンプは上記の一例です。そのため、専用の評価ボードが用意されています。SOIC パッケージを使った評価基板を底面から見たようすを写真 7-7 に示します。過渡応答のすべての周波数に対応できる低いグラウンド・インピーダンスを満足させるために、三重のデカップリングが採用されています。過渡応答の最高周波数に対するデカップリング用として、1000 pF と 0.01 μ F の 2 個のセラミック・コンデンサが並列に使われています。直列インダクタンスと直列抵抗をできるだけ小さくするために、

〈写真 7-7〉

AD8001 のような高速 OP アンプは、適切なグラウンド面とデカップリング性能をもつ専用の評価ボードを必要とする（底面）



これらの部品は電源ピンの近くに配置されています。表面実装部品を使用することで、グラウンド面の信号経路は最小の浮遊インダクタンスと浮遊抵抗になっています。低い周波数の過渡電流に対しては、 $10\mu\text{F}$ のタンタル・コンデンサでグラウンドに落としています。

この基板の入力信号と出力信号の配線パターンは $50\ \Omega$ のマイクロストリップ・ラインを形成しており、写真の左から右に引かれています。ゲイン設定抵抗はチップ型の薄膜抵抗が使われ、それは低い寄生インダクタンス値を示します。これらは写真の中央部に見ることができ、いくぶん斜めに実装されています。

プリント基板の両面において、電気的に連続したグラウンド面を用意することが必要です。そのために、スルーホールめっきで表の層と裏の層のグラウンド面同士を複数のポイントで接続しています。これは、できるだけ最小のインピーダンスと最高周波数でのグラウンド電位の連続性を確保するためです。

基板に対する入力と出力の接続には SMA コネクタが使われています。これにより、入力および出力に接続される伝送線路（同軸ケーブルなど）とマッチングさせています。基板の外部から供給する実験用電源の結線は、はんだ端子を経由しており、広い電源供給パターン・ラインの端についているのが見えます。

これらのいくつかの要点は、同じ基板を上面から見ると、よりわかりやすく理解できます。これを写真 7-8 に示します。この AD8001 の評価ボードは非反転増幅回路を構成しており、最小の寄生容量となるように最適化されています。SOIC パッケージの AD8001 の外周パターンが抜かれており、これによって浮遊容量が最小になります。この上面から見た写真だとよくわかると思います。

上面から見ると、表面と裏面の基板を接続する複数のビアによって、仮想的に電位が連

〈写真 7-8〉

AD8001 評価ボードは広い領域のグラウンド面を用いており、最小の寄生容量となるように実装されている(上面)



続となるグラウンド面が形成されていることがわかります。

●まとめ

アナログ回路設計者は、最終的なシステムの設計が正確にできているかどうかを、使えるかぎり多くの設計ツールを用いて検証することが大切です。最初のステップは、OP アンプ IC とそのほかのマクロモデル(入手可能なもの)を、その回路のシミュレーションをするために適切に使うことです。次のステップは、設計を検証するためにプロトタイプを作り、シミュレーションの結果を検証することです。最終的なプリント基板のレイアウトは、プロトタイプのレイアウトをできるだけベースにしなくてはなりませんし、寄生要素に対して十分に注意を払うことが大切です。

◆参考文献◆

- (1) L. W. Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits", May 1975, UCB/ERL M75/520, Univ. of California, Berkeley, CA, 94720.
- (2) A. Vladimirescu, K. Zhang, A. R. Newton, D. O. Pederson, "SPICE Version 2G User's Guide", August 1981, Department of Electrical Engineering and Computer Sciences, Univ. of California, Berkeley, CA, 94720.
- (3) Mark Alexander, Derek Bowers, "SPICE-Compatible Op Amp Macromodels", EDN, February 15, 1990 and March 1, 1990 (available as Analog Devices, Inc. AN138).
- (4) Joe Buxton, "Analog Circuit Simulation", Chapter 13 of Amplifier Applications Guide, 1992, Analog Devices, Inc., Norwood, MA, ISBN : 0-916550-10-9.
- (5) Andrei Vladimirescu, The SPICE Book, John Wiley & Sons, New York, 1994, ISBN : 0-471-60926-9.
- (6) "Development of an Extensive SPICE Macromodel for "Current-Feedback" Amplifiers", National Semiconductor AN-840, July 1992.

- (7) David Hindi, "A SPICE Compatible Macromodel for CMOS Operational Amplifiers", National Semiconductor AN-856, September 1992.
- (8) Boyle, et al, "Macromodelling of Integrated Circuit Operational Amplifiers", IEEE Journal of Solid State Circuits, Vol. SC-9, no.6, December 1974.
- (9) Derek Bowers, Mark Alexander, Joe Buxton, "A Comprehensive Simulation Macromodel for 'Current Feedback' Operational Amplifiers", IEE Proceedings, Vol. 137, Pt. G, # 2, April 1990.
- (10) Joe Buxton, "OP27 op amp macromodel, Rev B", Analog Devices, Inc., SPICE model library, December 1990, <http://www.analog.com>
- (11) Antonio Germano, "AD817 op amp macromodel, Rev A", Analog Devices, Inc., SPICE model library, November 1992, <http://www.analog.com>
- (12) Antonio Germano, "OP295 op amp macromodel, Rev B", Analog Devices, Inc., SPICE model library, February 1995, <http://www.analog.com>
- (13) Antonio Germano, "OP284 op amp macromodel, Rev B", Analog Devices, Inc., SPICE model library, November 1995, <http://www.analog.com>
- (14) Steve Reine, "AD8031A op amp macromodel, Rev C", Analog Devices, Inc., SPICE model library, August 1996, <http://www.analog.com>
- (15) Steve Reine, "AD823AN op amp macromodel, Rev C", Analog Devices, Inc., SPICE model library, April 1997, <http://www.analog.com>
- (16) John Hayes, "AD8051 op amp macromodel, Rev 0", Analog Devices, Inc., SPICE model library, September 1998, <http://www.analog.com>
- (17) Troy Murphy, "AD8552 op amp macromodel, Rev 1.0", Analog Devices, Inc., SPICE model library, July 1999, <http://www.analog.com>
- (18) John Hayes, Tim Watkins, "AD623 in-amp macromodel, Rev B", Analog Devices, Inc., SPICE model library, September 2000, <http://www.analog.com>
- (19) PSpice Simulation software, 1 (888) 671-9500, <http://www.pspice.com>
- (20) Jim Williams, "High Speed Amplifier Techniques", Linear Technology AN-47, August 1991.
- (21) Robert A. Pease, Troubleshooting Analog Circuits, Butterworth-Heinemann, 1991, ISBN : 0-7506-9184-0.
- (22) Vector Electronic Company, 12460 Gladstone Ave., Sylmar, CA 91342, Tel. 818-365-9661.
- (23) Wainwright Instruments Inc., 69 Madison Ave., Telford, PA, 18969-1829, (215) 723-4333.
- (24) Wainwright Instruments GmbH, Widdersberger Strasse 14, DW-8138 Andechs-Frieding, Germany, + 49-8152-3162.
- (25) PADS Software, Advanced CAM Technologies, Inc., 16450 Los Gatos Blvd., Suite 110, Los Gatos, CA 95032, <http://www.ecam.com/>
- (26) ACCEL Technologies, Inc., 17140 Bernardo Center Drive, Suite 100, San Diego, CA 92128, <http://www.acceltech.com/>
- (27) LPKF Laser & Electronics, 28220 SW Boberg Rd., Wilsonville, OR 97020, 800-345-LPKF or (503) 454-4200, <http://www.lpkfcadcam.com>
- (28) T-Tech, Inc., 5591-B New Peachtree Road, Atlanta, GA 30341, 800-370-1530 or (770) 455-0676, <http://www.T-Tech.com>
- (29) Adolfo Garcia, "Evaluation Boards for Single, Dual and Quad Operational Amplifiers", Analog Devices AN398, January 1996.

索引

■ あ行

アナログ・グラウンド	45
インダクタンス	29
インピーダンス-周波数特性	90
エージング	26
エクス・ノイズ	27
温度	18
温度係数	18, 21
温度再現性	23

■ か行

ガーディング	57
ガード・リング	57
ガード電極	57
開口部	150
過剰雑音	27
過電圧保護回路機能内蔵マルチプレクサ	106
過渡応答特性	187
ガラス・コンデンサ	16
ガラス封止ダイオード	103
機械モデル	124
帰還電流	41
寄生インダクタンス	24
寄生インピーダンス	17
寄生キャパシタンス	24
基板の誘電体吸収	62
共通インピーダンス	142
近傍電磁界干渉	143
空間放電	119
クオリティ・ファクタ	34
グラウンド・アイソレーション	53
グラウンド・ノイズ	42
グラウンド・プレーン	48
グラウンド・ループ	42

グラウンド分離アンプ	54
クランプ・ダイオードの漏れ電流	102
計装アンプ	113
ゲイン段	183
ケーブル	150
結合容量	143
ケルビン・フィードバック	40
減衰吸収	149
高周波干渉	139
高耐圧計装アンプ	106
高誘電率セラミック	16
誤差	18
故障モード	19
コモンモード・チョーク	146, 164
コンデンサ	14, 87
コンデンサの比較	20

■ さ行

サーマル・コーストライン	132
最大入力電流	100
差電圧アンプ	55
差動過電圧	112
サンプル&ホールド回路	16
シート抵抗	38
シールド	143, 147
シールド・ケーブル	154
磁気結合	144
自己共振周波数	34
自己修復性	19
自己発熱	23
自己放電時定数	17
実装方法	25
シミュレーション	179
ジャンクション温度	129
終端	174

周波数依存性	19	デカップリング・コンデンサ	95
出力段	186	デッド・バグ	199
出力電圧の位相反転	109	デバイス・レベル・モデル	181
出力電圧の制限回路	103	テフロン	16
消費電力遞減曲線	132	電圧インバータ	80
ジョンソン・ノイズ	27	電圧可変3端子レギュレータ	74
シルバード・マイカ	16	電圧係数	19
人体モデル	124	電圧サージ	118
スター・グラウンド	45	電圧制限	100
スタックド・フィルム型コンデンサ	88	電圧性ノイズ	189
ストリップ・ライン	29	電圧ダブラ	81
ストレイ・インダクタンス	29	電解コンデンサ	87
正電圧レギュレータ	72	電磁干渉	139
静電気	121	電磁結合	141
絶縁抵抗	14	電磁両立性	139
接合面温度	129	伝送線路	50
接触放電	119	電流帰還型OPアンプ	190
セラミック・コンデンサ	89	電流制限	100
ゼロ段	184	電流性ノイズ	189
線分抵抗	39	等価直列インダクタンス	14
相互インダクタンス	30	等価直列抵抗	14
ソーケイジ	15	同軸ケーブル	155
ソケット	205	同相電圧保護回路	100
損失	17	同相入力除去比	193
		同相入力電圧	100
		導体の抵抗	38
		特性インピーダンス	170
		ドロップアウト電圧	70

■ た行

対称型ストリップ・ライン	173
帯電素子モデル	124
多層基板	52
単一電源の計装アンプ	116
タンタル・コンデンサ	16
チャージ・ポンプ	80
ツイスト・ペア・ケーブル	152
抵抗	21
抵抗器の比較	28
ディジタル・グラウンド	45
低ドロップアウト・レギュレータ	70
ディファレンス・アンプ	55
ディレーティング・カーブ	132

■ な行

内部保護ダイオード	100
入力段	183
入力の過電圧保護回路	103
入力保護回路	103
熱雑音	27
熱電対効果	24
ノイズ	140
ノイズ・モデル	188
ノイズ低減	86

■ は行

バーンイン	26
倍電圧回路	81
ハイブリッド・グラウンド	154
ハイブリッド・レギュレータ	84
破壊電圧	100
パス・デバイス	73
半固定抵抗	27
反射ロス	148
ビア	37
ヒート・シンク	131
ビヘイビア・モデル	181
評価ボード	207
表皮効果	49
ファラデー・シールド	64
フィルム・コンデンサ	88
フェイズ・リバーサル	109
フェライト	91
フェライト・ビーズ	92
負電圧レギュレータ	72
浮遊インダクタンス	29
浮遊容量	62
プリント基板設計	166
プリント基板の寄生要素	194
ブレッドボード	198
プロトタイプ	198
ボイル・モデル	182
放熱板	131
ボール段	184
ポスト・レギュレータ	84
ポリカーボネイト	16
ポリスチレン	16
ポリプロピレン	16

■ ま行

マイグレーション	100
マイクロストリップ	169
マイクロストリップ・ライン	51, 172

マイクロモデル	181
マクロモデル	181
ミックスド・シグナル・システム	46
ミューメタル	32
漏れ抵抗	56
漏れ電流	14, 17

■ や行

誘電体吸収	15
誘電体ヒステリシス	15
誘導性結合	31
容量性ノイズ	63

■ 5行

リーク電流	56
リターン電流	41
リニア IC レギュレータ	70
リンギング	32
レール・ツー・レール出力段	187
ロジック・ノイズ	66

■ わ行

ワイヤ・マイクロストリップ	168
---------------	-----

■ 数字

1/f ノイズ	189
3端子レギュレータ	71

■ アルファベット

AD620	114
AD623	55, 116
AD627	117
AD629	54, 106
AD795	108
AD797	113, 157

AD8001	208	EMC	139
AD8017AR	129	EMF	142
AD8057	136	EMI	139
AD8058	136	EMI/RFI フィルタ	161
AD811	191	ESD	118
AD817	186	ESL	14, 89
AD827	157	ESR	14, 89
AD845	157	IEC1000	124
AD8551	53	IEC61000	124
AD8610	110	I-V 変換回路	108
ADG438F	106	LDO	70
ADG439F	106	LM309	73
ADG465	105	LM317	73
ADG466	105	LM337	74
ADG467	105	MIL-STD-883B	125
ADG508F	106	MINIDIP	59
ADG509F	106	$M\Omega \cdot \mu F$	17
ADM660	82	NPO	18
ADM8660	83	OP200	157
ADP1148	85	OP249	157
ADP3300	75	OP27	112, 185
ADP3301	75	OP297	157
ADP3303	75	OP42	157
ADP3310	85	OP777	105
ADP3331	78	OP80	157
ADP3335	75	OS-CON	88
ADP3603	83	Q	34
ADP3604	83	RFI	139
ADP3605	83	RFI 整流作用	156
ADspice	182	SOIC	59
AMP03	54	SPICE	179
anyCAP シリーズ	75	TC	18
C0G	18	T_j	129
CMOS チャンネル保護素子	105	X7R	89
CMRR	193	Z5U	89
DA	15	θ	130
DF	18		