

The World Leader in High Performance Signal Processing Solutions



# PLLアン・ドゥ・トロア(その3) PLL(位相ロック・ループ)回路での トラブル解決技法と性能改善技法

アナログ・デバイセズ株式会社  
石井 聡



# PLLアン・ドゥ・トロア 3部作の構成

1. **PLL**(位相ロック・ループ)回路の基本と各部動作
2. 設計ツール**ADIsimPLL**(**ADIsimCLK**)を用いた**PLL**回路構成方法
3. **PLL**(位相ロック・ループ)回路でのトラブルとその解決技法



## —その3— Agenda

1. **PLL**がロックしない
2. ロックが時々はずれる／ノイズっぽい
3. **PLL**で生じるリファレンス・リーク・ノイズ
4. 部品選定やレイアウト改善で特性改善
5. **SSB**ノイズレベルを低くしたい
6. フラクショナル**N PLL**特有の問題点
7. ロックアップを高速にしたい



# 1. PLLがロックしない

# 一番基本的な特性確認 ロックしているかの検出「Lock Detect」

- ◆ MUXOUTから観測できる
- ◆ AN-873を参照
  - 以下について説明している
  - Analog Lock Detect
  - Digital Lock Detect
  - それぞれの回路構成
- ◆ よくある問題点(トレードオフ)
  - ロックしない
  - SSBノイズが大きい
  - 性能とPFD周波数
  - スプリアス・リークの影響
  - サイクル・スリップ



One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

AN-873  
APPLICATION NOTE

## Lock Detect on the ADF4xxx Family of PLL Synthesizers by Peadar Forbes and Ian Collins

### INTRODUCTION

This application note covers the ADF4xxx family of integer-N PLL synthesizers and the ADF4360-x family of integrated phase locked loop (PLL) synthesizers and voltage controlled oscillators (VCO). (See the Appendix for a full list of the ADF4xxx parts covered in the AN-873 application note.) There are two forms of lock detect available on each part: analog lock detect (ALD) and digital lock detect (DLD). Each has its advantages and disadvantages, depending on the application. The aim of this application note is to explain both options and allow the user to make an informed decision as to which form of lock detect to use.

Both ALD and DLD use the phase error at the phase frequency detector (PFD) inputs to decide whether the PLL is in lock.

Figure 1 shows the PFD and charge pump block.

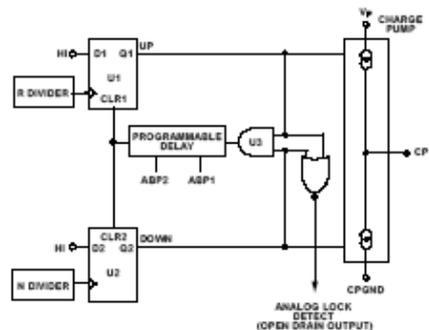


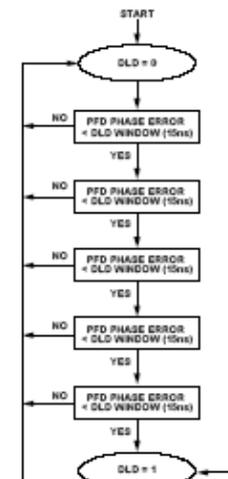
Figure 1. PFD and Charge Pump on the ADF4xxx Family of PLL Synthesizers

### DIGITAL LOCK DETECT

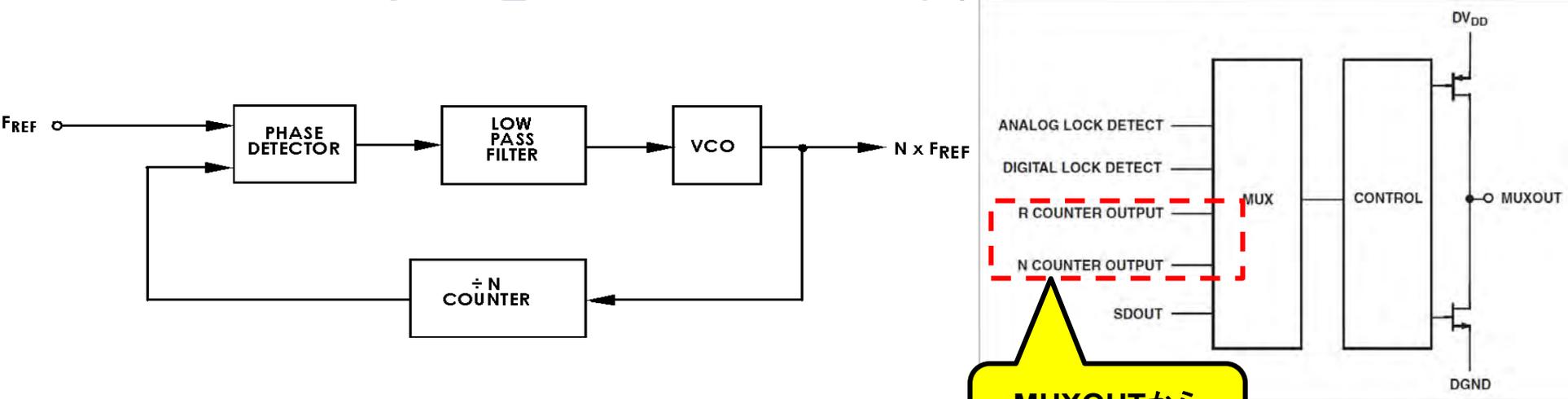
Digital lock detect outputs either a CMOS logic high, indicating

When the phase error at the PFD inputs on five or more consecutive cycles is inside the 15 ns window, it considers the PLL to be in lock and outputs a logic high.

When the phase error drifts outside of the loss of lock threshold (30 ns) on any subsequent PFD cycle, it registers an out-of-lock condition, that is, a logic low. In some of the PLL parts, the windows are set by the  $R_{SET}$  resistor (see the Digital Lock Detect—Dependence on  $R_{SET}$  section). The 15 ns window and the 30 ns window are for an  $R_{SET}$  resistor of 4.7 k $\Omega$ .



# ロックしない原因をMUXOUTで確認



## a) 参照周波数分周器 (Rカウンタ)

- ◆ Rカウンタ出力が正しい周波数で出ているか
- ◆ 出てないならプログラミングの間違いかREF入力レベルが低い
- ◆ 周波数が違っているならプログラミングの間違い
- ◆ 期待どおりなら、Rカウンタ回路は問題ない

## b) VCO & プログラマブル分周器 (Nカウンタ)

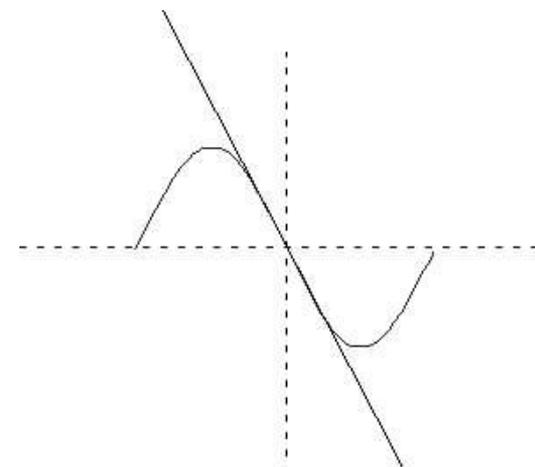
- ◆ Rカウンタ出力と同じタイミングになっている必要がある

# MUXOUTのRカウンタ出力が得られない／周波数が下にずれている

ADF4116/7/8のデータシートより

REF <sub>IN</sub> CHARACTERISTICS				
Reference Input Frequency	5 to 100	5 to 100	MHz min to max	<div style="border: 1px dashed red; padding: 5px;">                     For <math>f &lt; 5</math> MHz, ensure <math>SR &gt; 100</math> V/<math>\mu</math>s  <math>AV_{DD} = 3.3</math> V, biased at <math>AV_{DD}/2</math>                      For <math>f \geq 10</math> MHz, <math>AV_{DD} = 5</math> V, biased at <math>AV_{DD}/2</math> </div>
Reference Input Sensitivity <sup>4,5</sup>	0.4 to $AV_{DD}$	0.4 to $AV_{DD}$	V p-p min to max	
	0.7 to $AV_{DD}$	0.7 to $AV_{DD}$	V p-p min to max	
REF <sub>IN</sub> Input Capacitance	10	10	pF max	
REF <sub>IN</sub> Input Current	$\pm 100$	$\pm 100$	$\mu$ A max	

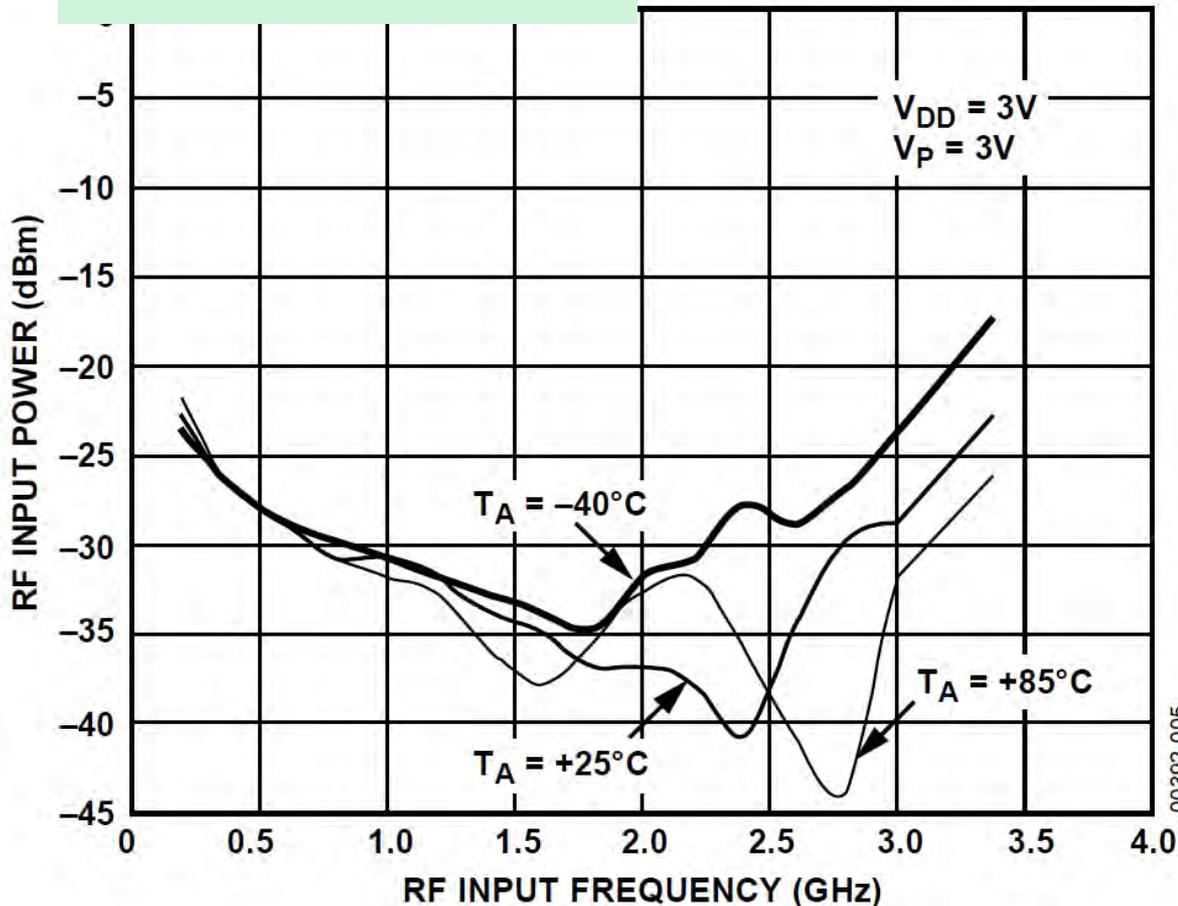
- ◆ REF<sub>IN</sub>の最低入力レベルがある
- ◆ レベルが低すぎる(Rカウンタがカウントしない)
- ◆ 電源依存性もあるので注意！
- ◆ ギリギリだとRカウンタがカウントミスを起こして、周波数が下にずれていることがある
- ◆ 規定周波数より低い場合はスルーレートが満足できれば動作するものが多い
- ◆ ADIのPLL製品はREF入力は立下りが有効



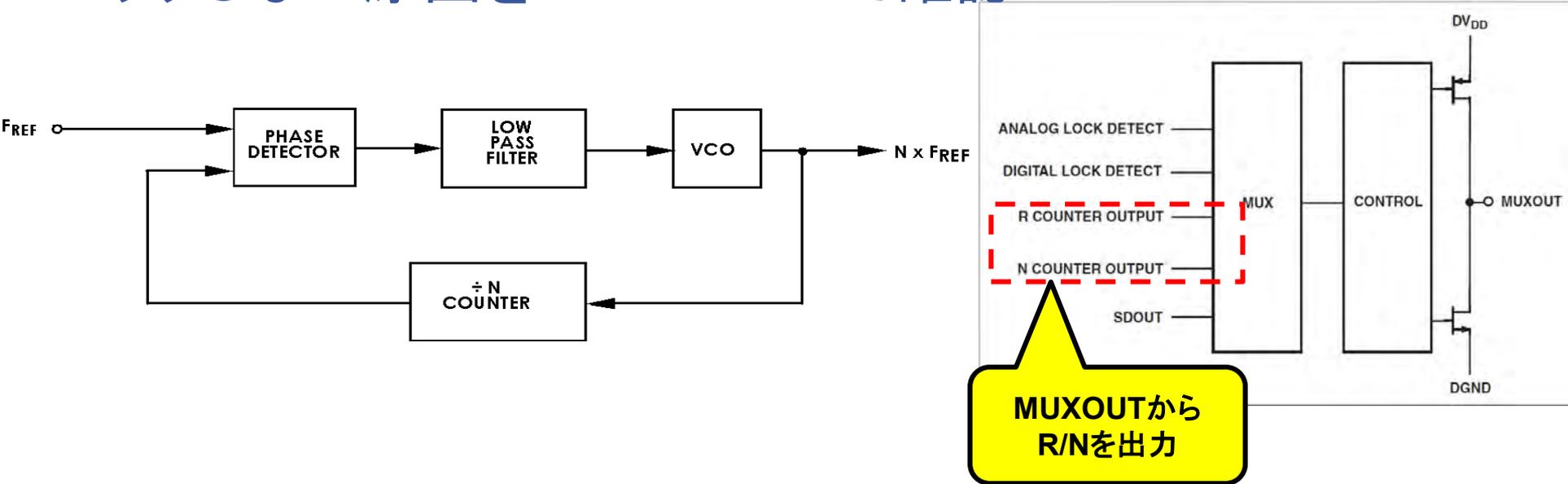
# MUXOUTのNカウンタ出力が得られない / 周波数が上にずれている

- ◆ RFinの入力レベルが十分かを確認する
- ◆ レベルが低すぎる(Nカウンタがカウントしない)
- ◆ 周波数(電源電圧 / 温度)依存性もあるので注意!
- ◆ ギリギリだとNカウンタがカウントミスを起こして、周波数が上にずれていることがある

ADF4116/7/8のデータシートより



# ロックしない原因をMUXOUTで確認



## c) PFD、チャージポンプとループフィルタ

- ◆ R/Nカウンタに問題なければ、ループフィルタに問題がありそう
- ◆ 位相検出器の極性設定を反転
  - チャージポンプ出力とVCOの $V_{TUNE}$ の間の極性が適切かを確認する
- ◆ ループフィルタの問題についてはADisimPLLが推奨！



## 2. ロックが時々はずれる／ノイズっぽい

## ロックが外れる、ノイズっぽい

### ◆ VCO自体にSSBノイズが多い

- VCO電源のデカップリング、VCO自体の設計を見直し
- PLLとしてのループゲインが低い(PFD周波数が低い、Nの値が大きい)
- 周辺のデジタル回路からのノイズ混入

### ◆ RFinの入カレベルが低い

- VCOからPLL ICへの信号レベルを増やす
- 適切なレベルかどうかは入力レベルを大きめにしておいて、入力に分圧抵抗を用意し、減衰量を増やしていき、ロックしなくなる場所を確認してみる

### ◆ REFinの入カレベルが低い

- 同上

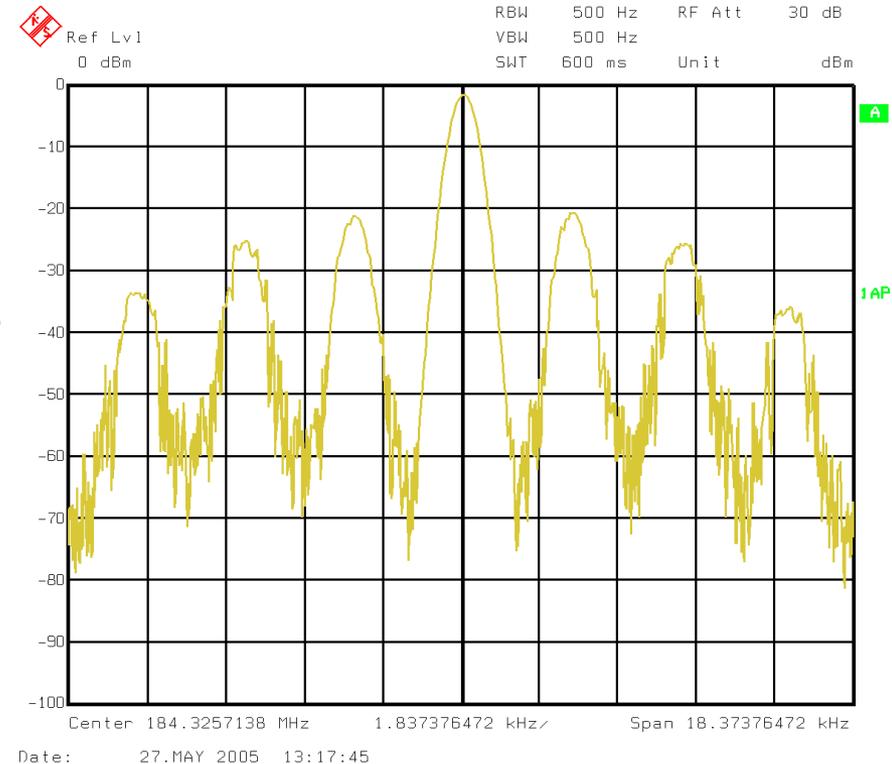
### ◆ 部品選定やレイアウトが不適切

- 詳細は以下のスライドに説明

# インジェクション・ロッキング (周波数プリング)

## ※2周波でのVCO引き込みのこと

- ◆ VCO信号 (RFin) に別周波数の信号 (外部の不要波) が混入してしまった場合
  - 不要波、もしくはその整数倍でロックしてしまう可能性がある
- ◆ 不要波にロックしなくても影響を受ける
  - スプリアス特性が大幅に劣化

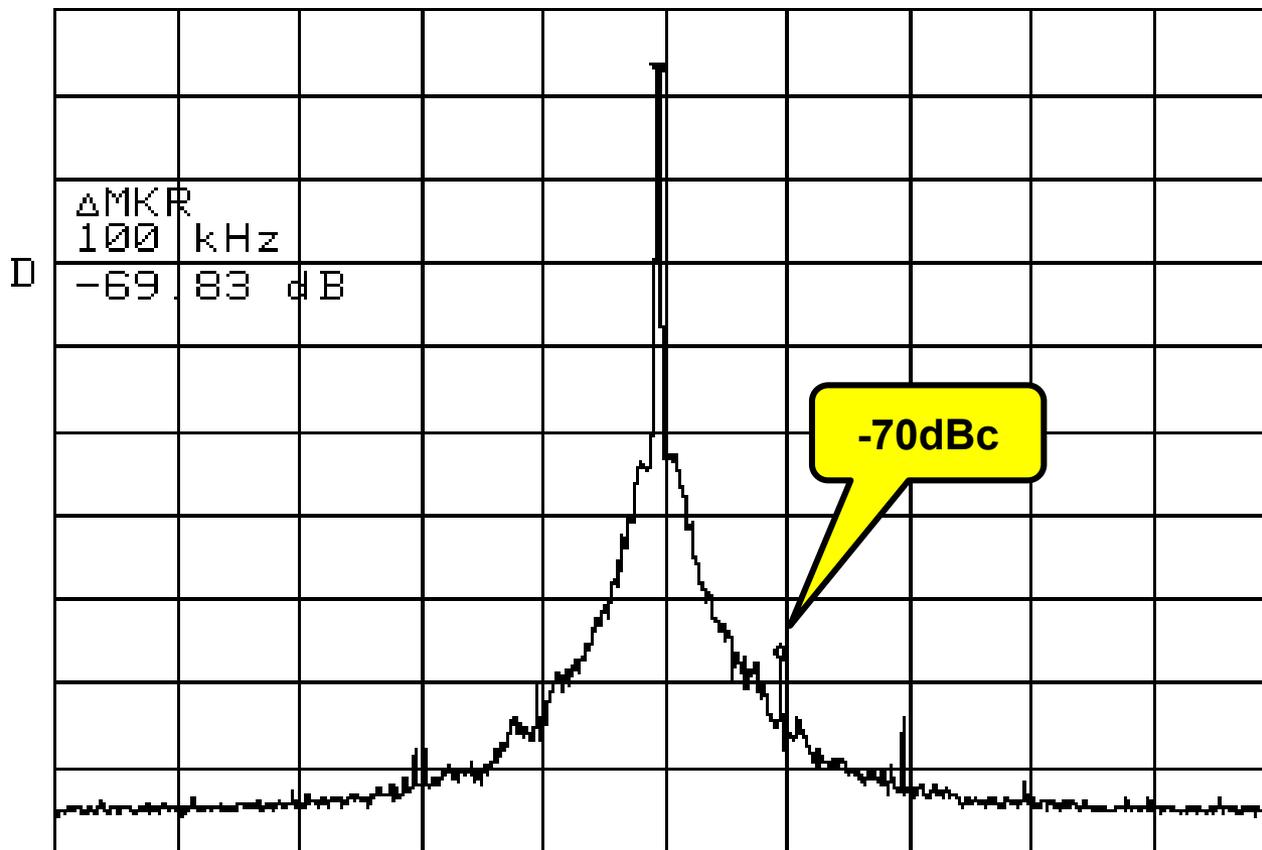




### 3. PLLで生じるリファレンス・ リーク・ノイズ

# ADF4117の回路で生じたリファレンス・リーク・スピリアスのようす

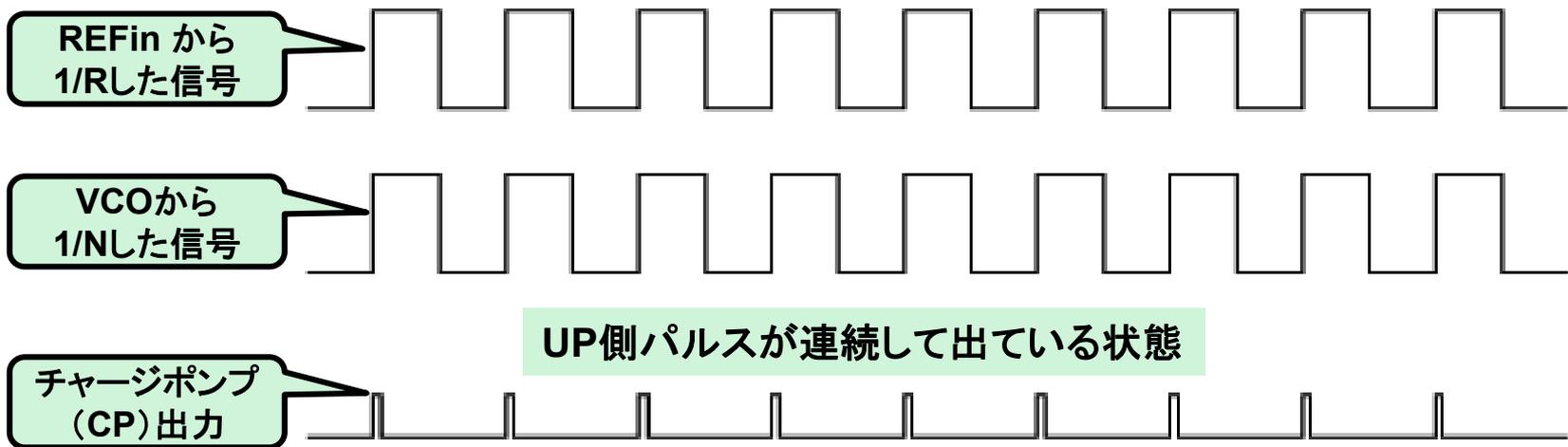
ATTEN 10dB      VAVG 10      ΔMKR -69.83dB  
 RL 0dBm          10dB/      100kHz



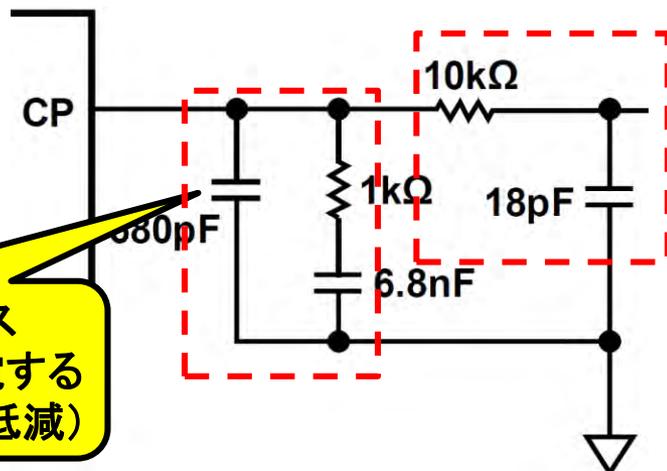
CENTER 1.075000GHz      SPAN 1.000MHz  
 \*RBW 1.0kHz      VBW 1.0kHz      SWP 2.5sec

# リファレンス・リークの発生原因と低減

## PFD(位相比較器)入力



UP側パルスが連続して出ている状態

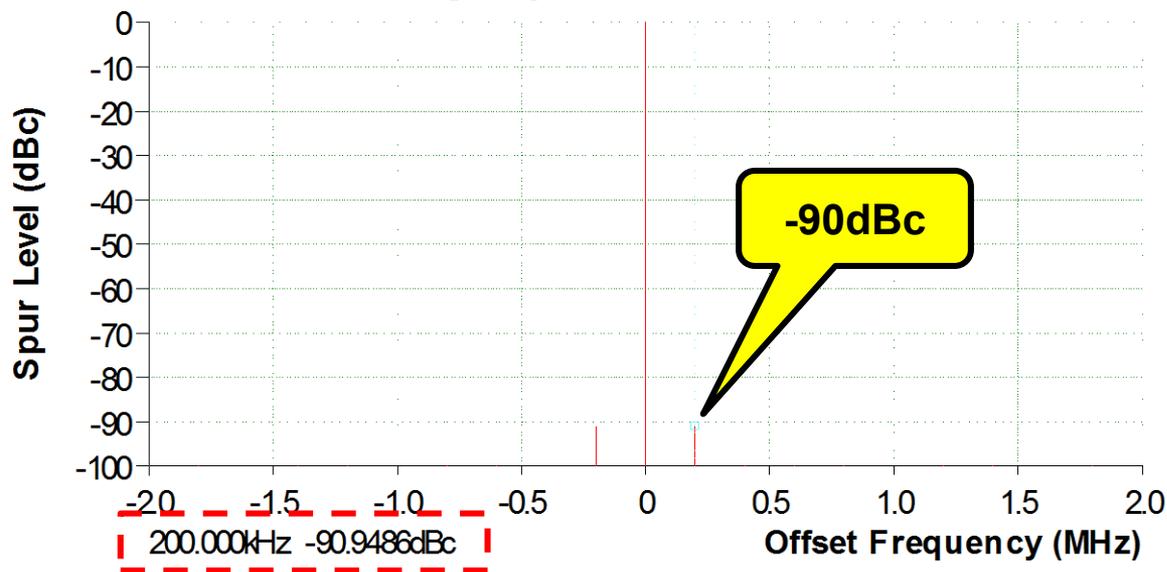


CP出力の電流パルスがLFのコンデンサを充電する(ここで電圧変動は一部低減)

後段のLPFはループ特性には影響を(ほぼ)与えず、電流パルスによるノイズを軽減

# ADIsimPLLでリーク・スプリアスを発生させたようす (リーク電流 = 0.5nAで設定)

Leakage Spurs at 915MHz



## ◆ インテジャーN PLLは対応は難しくない

- リーク電流は一定周期のパルス列(定常状態)
- ループフィルタで低減させることが(だいたいの場合)できる
- フラクショナルNについては、追って説明



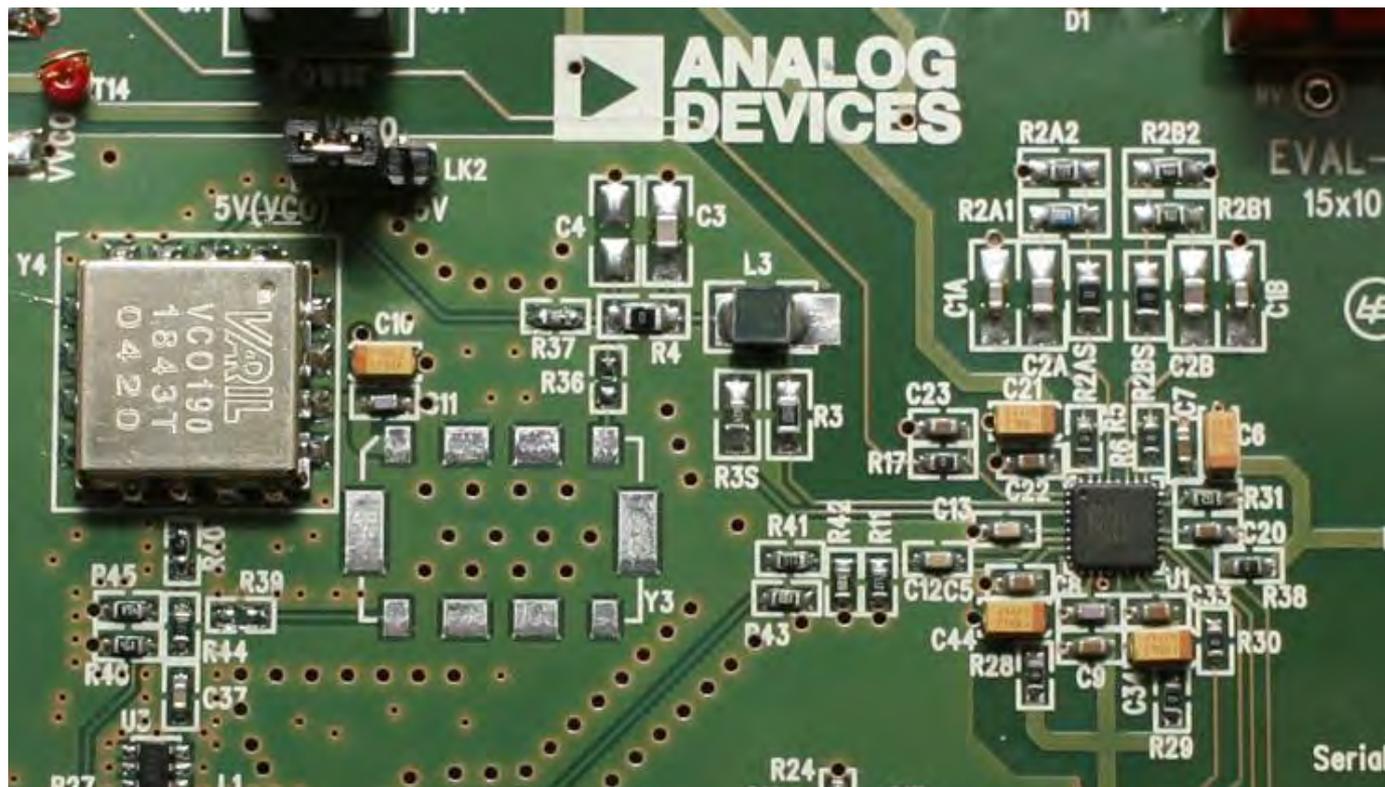
## 4. 部品選定やレイアウト改善で特性改善

## 部品選定、グラウンドやパターンのレイアウトが不適切な場合の例(以降のスライドで個々に説明)

- ◆ ループフィルタに用いる部品
- ◆  $V_{TUNE}$  のパターン・レイアウト
- ◆ 電源レギュレータ & デカップリング
- ◆ PLLリファレンス経路
- ◆ デジタル・インターフェース
- ◆ インダクタ

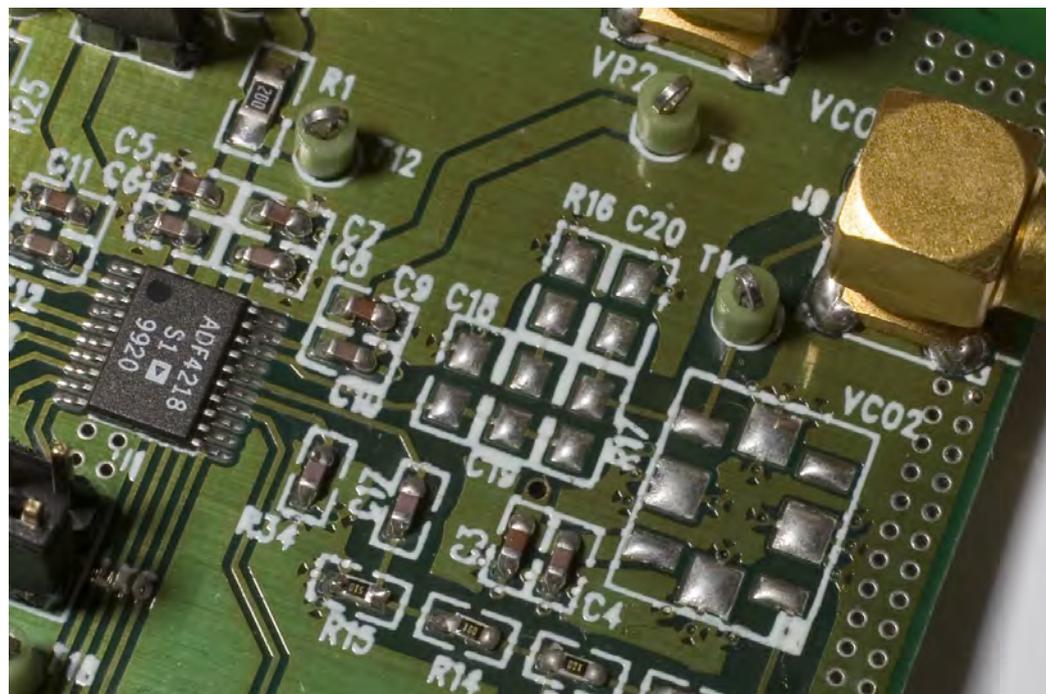
## ループフィルタに用いる部品

- ◆ 他の信号ラインと干渉が生じないように配置
- ◆ 大容量セラミックは振動すると圧電効果によるノイズが発生するので注意
- ◆ ADIsimPLLでフィルタ定数とロック特性のパラメータが確認できる

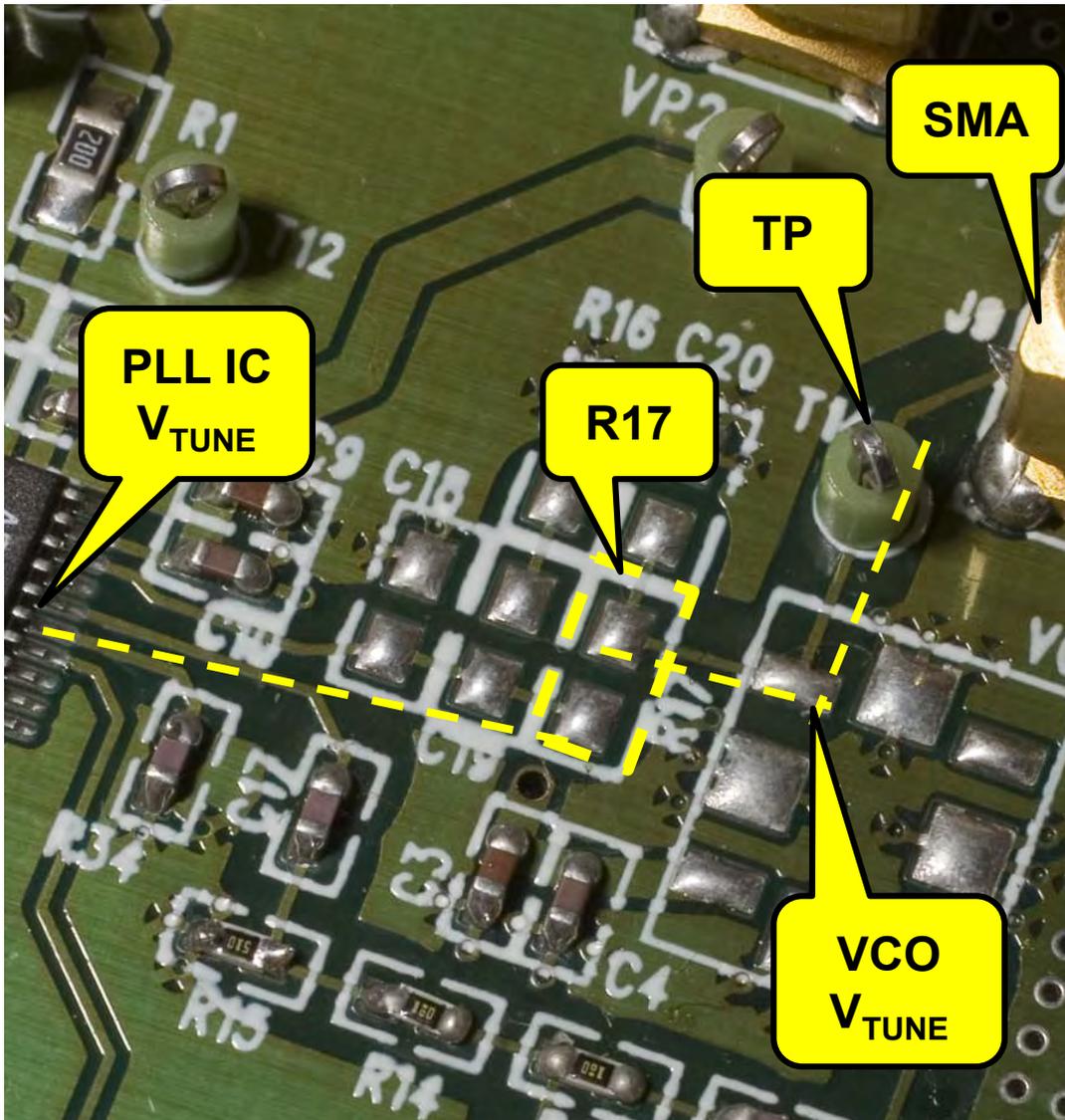


# V<sub>TUNE</sub> のパターン・レイアウト

- ◆ PLLで一番重要なライン
  - ましてや「ハイ・インピーダンスな」端子
- ◆ デジタル、リファレンス (REFin)、その他の信号をピックアップし、VCO制御電圧を変調
  - SSBノイズやスプリアスが増加



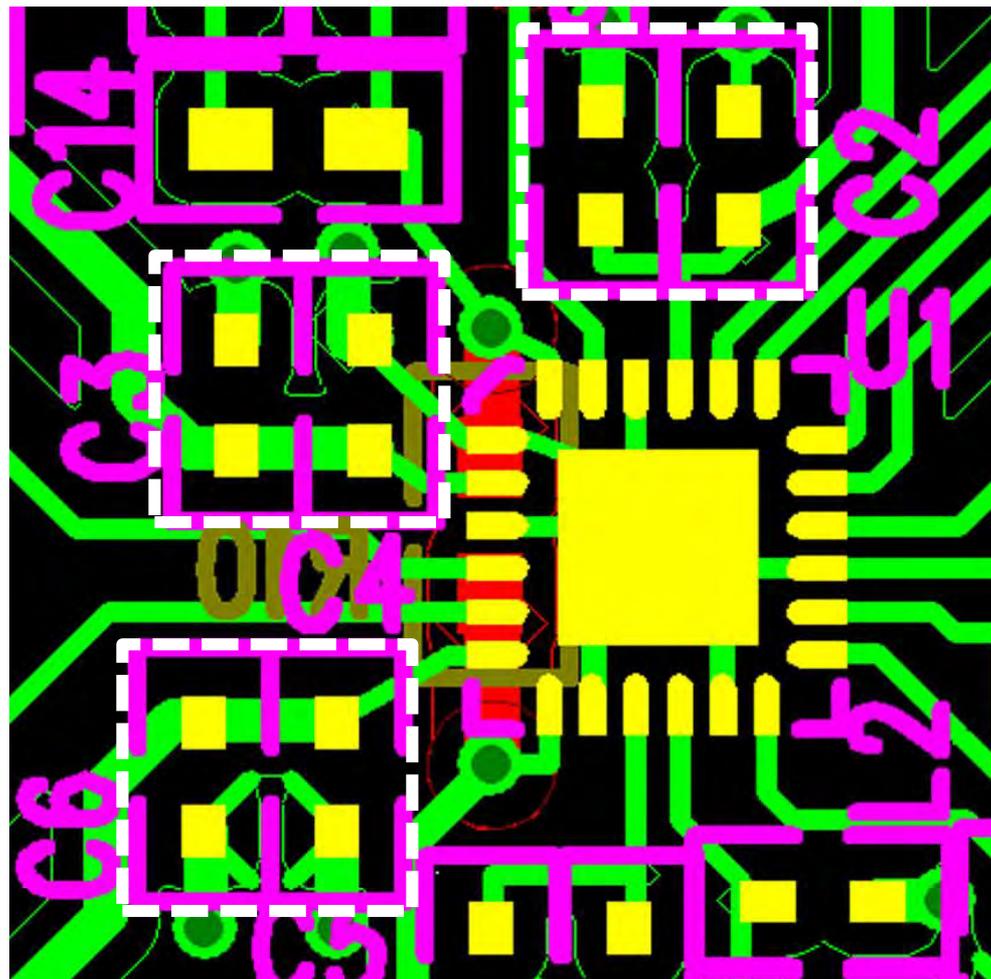
# V<sub>TUNE</sub> のパターン・レイアウト



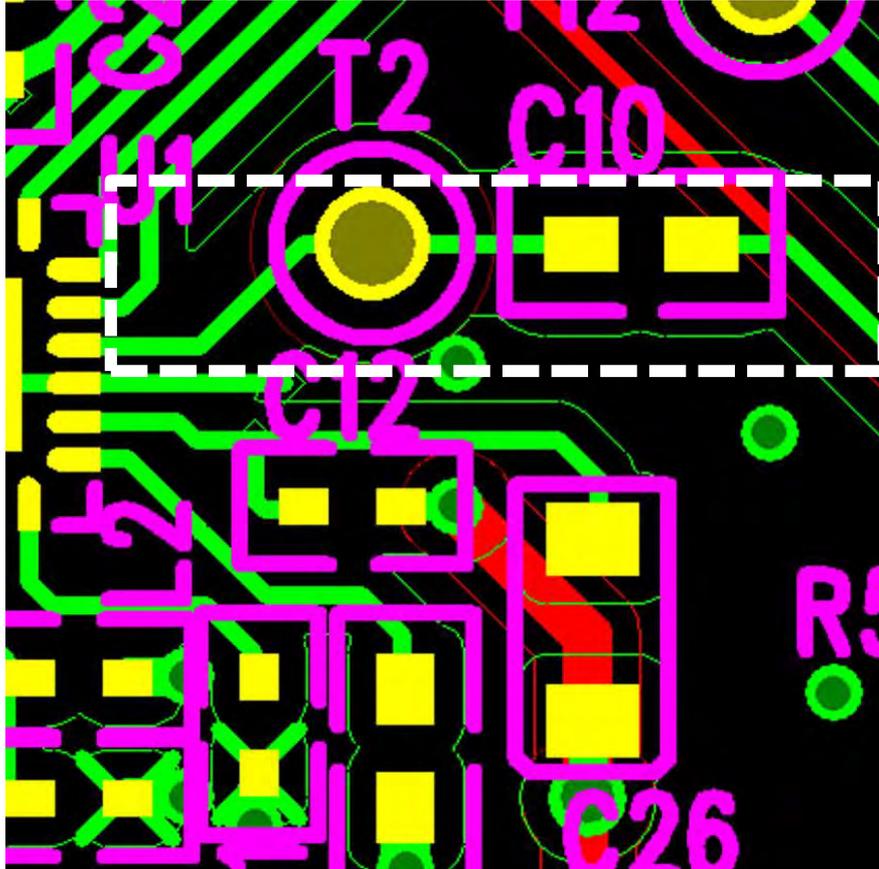
- ◆ 図はV<sub>TUNE</sub>ライン(R17を挟んで)
- ◆ いくつか問題点が散見される
  - 1) 外部SMA端子に接続
  - 2) 余計なパターンが余計干渉を拾う
  - 3) TPもノイズ増加の可能性
- ◆ SMA端子を取り去るとスプリアスが低減
- ◆ 製造の利便性を考えると、TP(テストポイント)は残しておきたいが、設計上で「無くても良い」ようにできるだけする
- ◆ パターンはできるだけ短く、単純になるようレイアウト

## 電源レギュレータ & デカップリング

- ◆ LDOはADP151/150/3300/3334が良好
  - 30uV rms以下が良い
  - このノイズはループゲインで(ループ帯域内は)低減
- ◆ 電源ピンは0.1 uFと10 pFでそれぞれデカップリング
- ◆ コンデンサはPLL電源端子にできるだけ近付ける
- ◆ 電源端子数が多く、端子直近でデカップリングできない場合は、反対面に実装



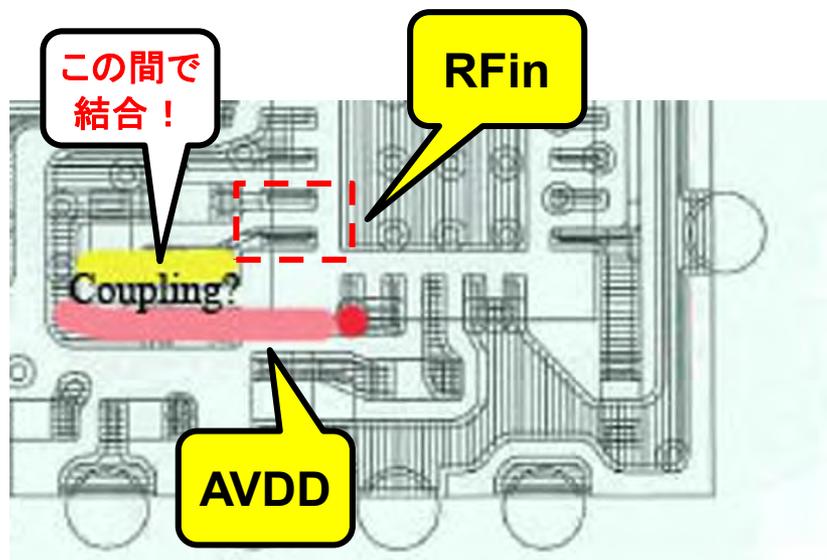
## 参照周波数REFin経路



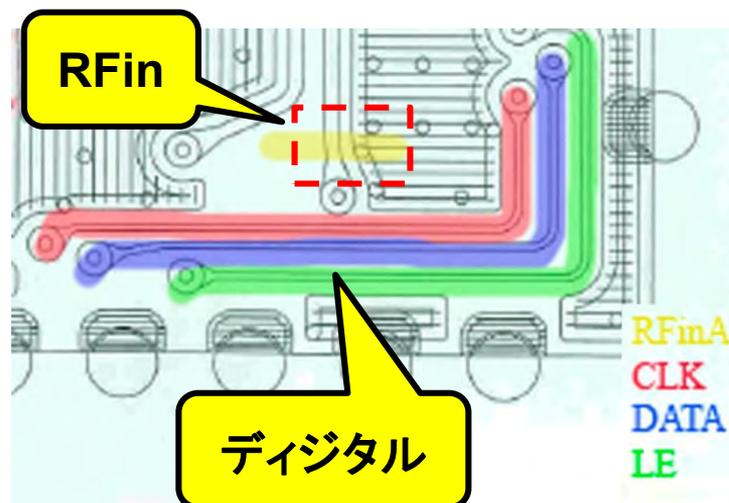
- ◆ REFin信号は高純度のサイン波か矩形波
  - TCXOはクリップしたサイン波が多い
- ◆ REFinとVCO信号 (RFin) とをアイソレーションする
  - 相互の結合でSSBノイズが増加
- ◆ 信号源が矩形波の場合に重要
  - 高調波がVCO信号 (RFin) と簡単に結合して(飛び込んで)しまう

# デジタル・インターフェース

- ◆ CLK, DATA, LEのラインがある
- ◆ 20MHzで動作可能
- ◆ 不適切なレイアウトでアナログ信号部分に結合してしまう！
  - CLK, DATA, LEはチップの反対側に配置されている
  - CLKラインがRFinラインに対して電源から結合
  - デジタル信号はRFラインの間近に配置してはならない(要アイソレート)

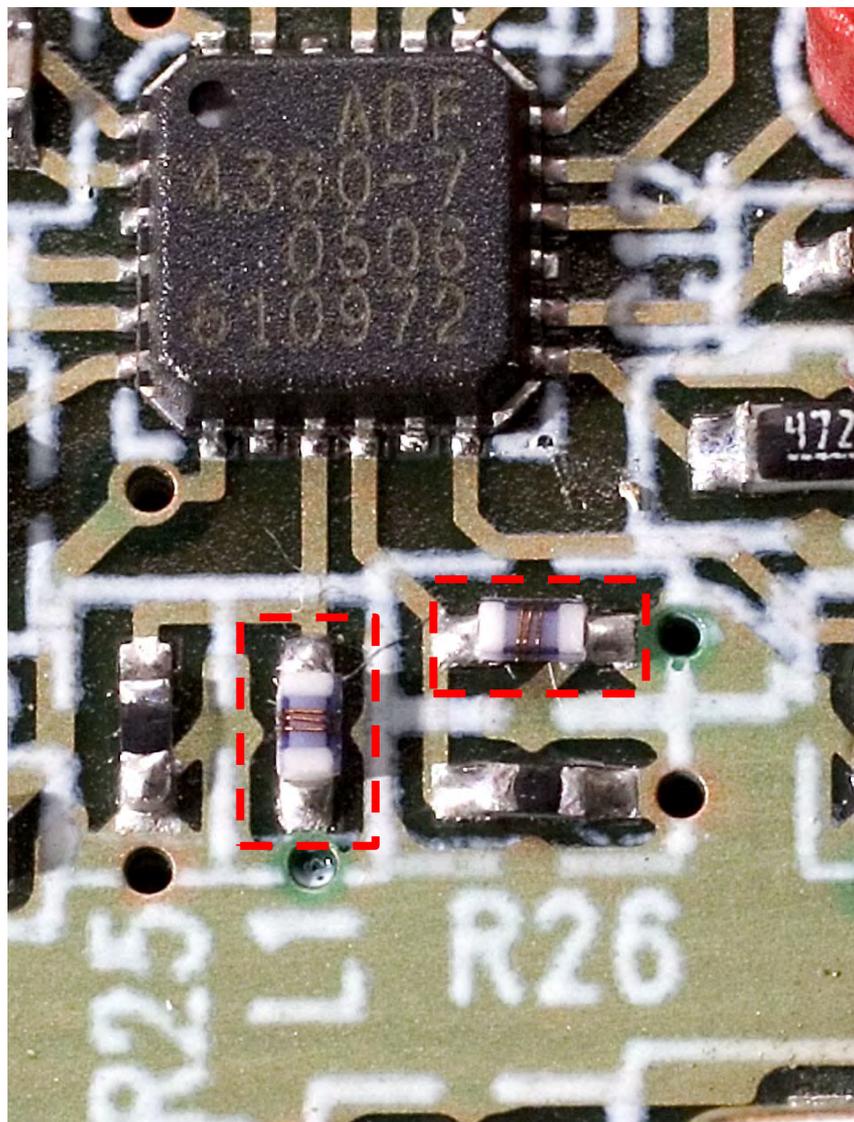


部品面



内層L3

## インダクタの注意点



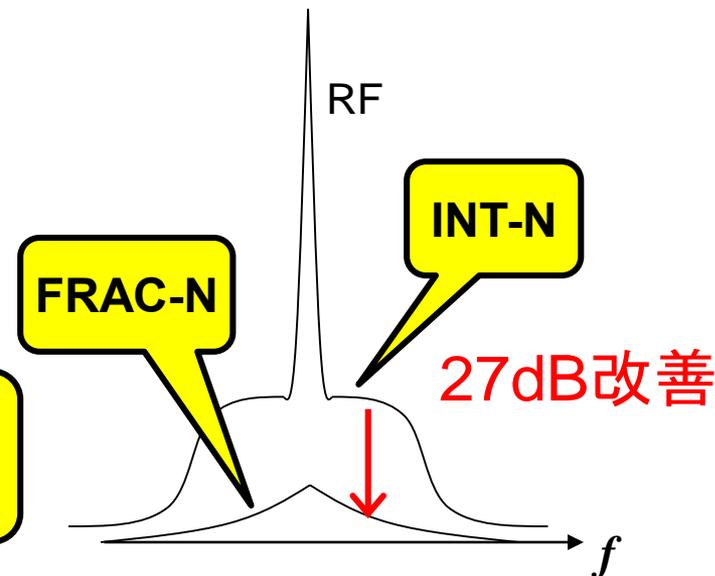
- ◆ 良好なタンク回路を実現するためにはhigh Qのインダクタが必須
- ◆ インダクタ間の相互インダクタンスで、インダクタンス値が変化しないように注意
  - 複数のインダクタは直角に配置
- ◆ ワイヤ巻線型インダクタが一般的に良好
  - Qが高い
  - レイアウト(向き)で結合を低減可能



## 5. SSBノイズレベルを低くしたい

# フラクショナルN PLLならSSBノイズを低減できる

- ◆ **位相ノイズ量が低減**
- ◆ 比較周波数を高く設定可能
- ◆ ループ帯域幅はRF周波数ステップに依存しない(広く取れる)



$DIV = N + \text{FRAC}/\text{MOD}$   
 なので、たとえば

PFD = 5MHzでRFout = 243.28MHz.  
 なら  $N = 48 + 328/500$

PFD周波数はRF周波数ステップよりかなり高い!

ループ帯域  $> f_{\text{STEP}}/10$ にできる

位相ノイズ = ノイズ・フロア +  $10\log f_{\text{PFD}}$  +  $20\log N$ から  
 INT-N PFD = 10k & N = 24328  $\Rightarrow$  **+127.7dB**  
 FRAC-N PFD = 5M & N = 48.656  $\Rightarrow$  **+100.6dB**  
 でノイズ・フロアが上昇(FRAC-Nの方が小さい)

# CNRを求めながら適切なループ帯域幅を設定

Phase Noise at 415MHz

ADIsimPLL - [ADF4118FastLock.pll]

System

- Min Freq
- Max Freq
- Channel Spc.
- PD Freq.
- Ref Divider
- Design Freq

Reference

- custom

VCO

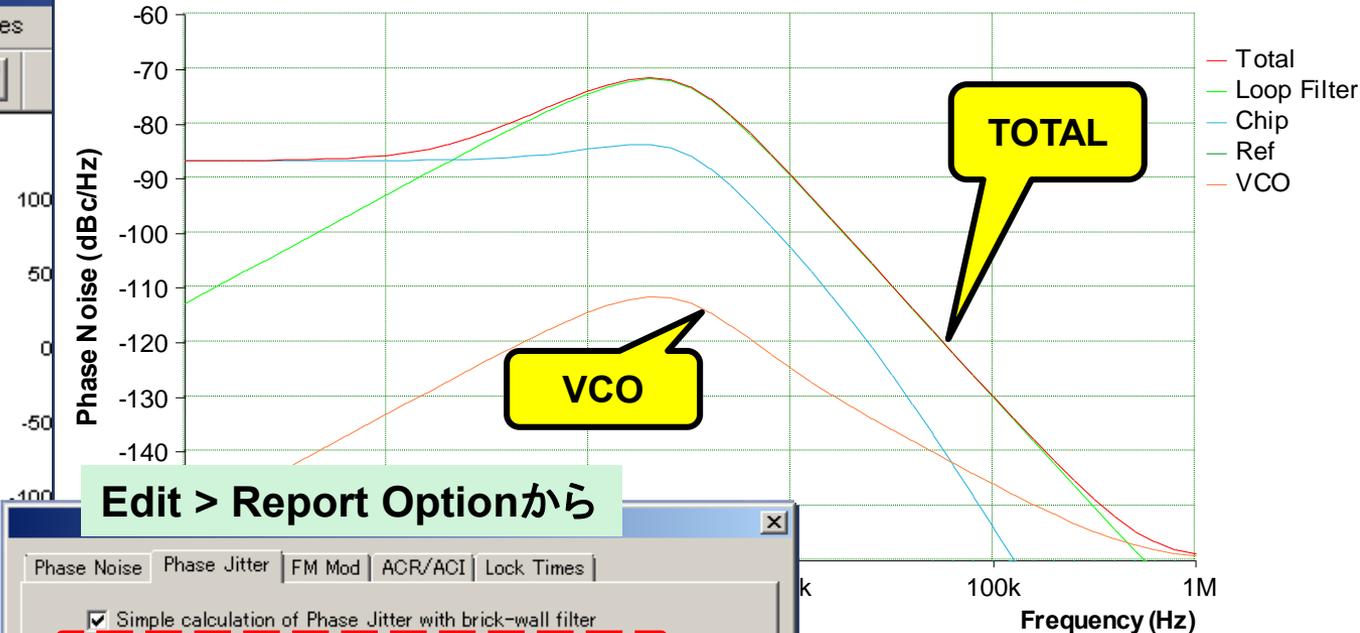
- custom
- Tuning Law: Kv (ideal)
- Input Cap.: 0F
- Phase Noise: Corner / Floor
- PN Floor: -160 dBc/Hz
- Corner Freq.: 500kHz
- Flicker Corner: 0Hz

Chip

- ADF4118
- Mode: Normal
- Main Divider
- Ref Divider
- Phase Detector: Charge Pump
- Lock Detect: None
- Speedup Mode: None

ここにVCOの位相雑音をパラメータとして入れられる

帯域を指定



Edit > Report Optionから

Phase Noise | Phase Jitter | FM Mod | ACR/ACI | Lock Times

Simple calculation of Phase Jitter with brick-wall filter

Specify Frequency range of brick-wall filter:

Start Freq: 100Hz | Stop Freq: 100kHz

Phase Jitter with Carrier Recovery loop and symbol filter

Carrier Loop: Bandwidth: 6.40kHz | Sampling Factor: 0.7071

Symbol Filter: -3dB Frequency: 32.0kHz | Butterworth Order: 3

Display Jitter in:

- Degrees
- Error Vector Mag.
- Seconds
- dBc

OK | キャンセル

Phase jitter using brick wall filter from 100 Hz to 100kHz  
Integ Phase Noise = -36.39 dBc

Report画面の表示

表示形式を指定

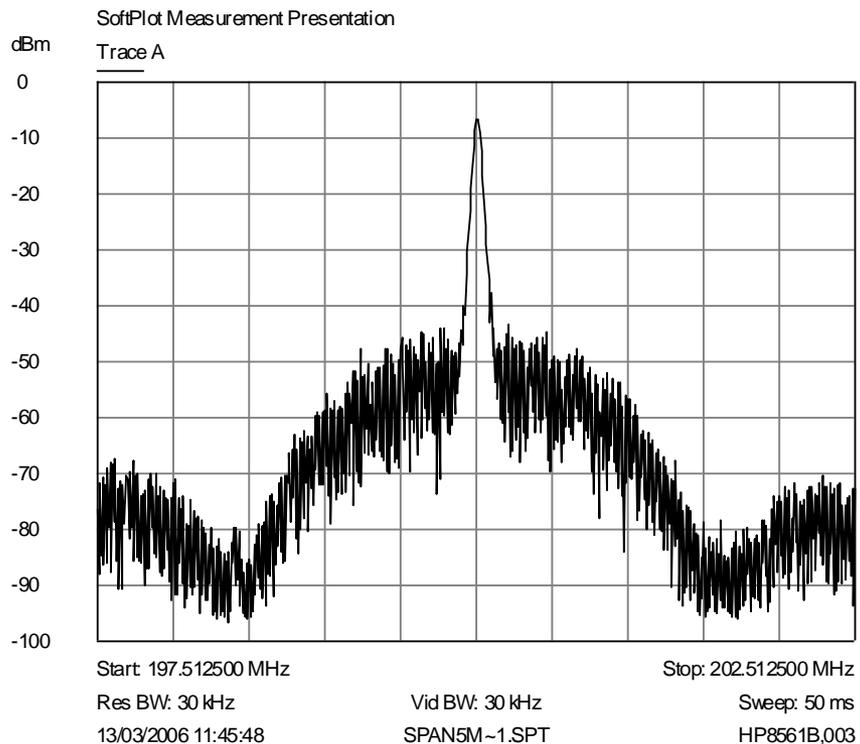


## 6. フラクショナルN PLL特有の問題点

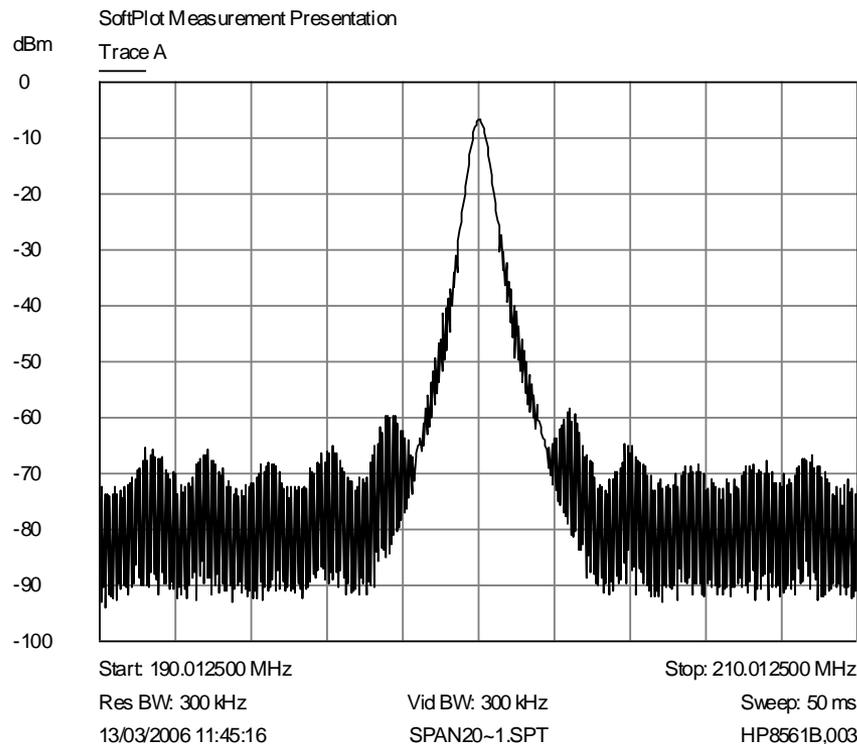


# よくあるトラブル「フラクショナルNだとSSBノイズが多い」

◆この例はPFD = 1.6MHz, ループ帯域 = 15kHzとしたもの



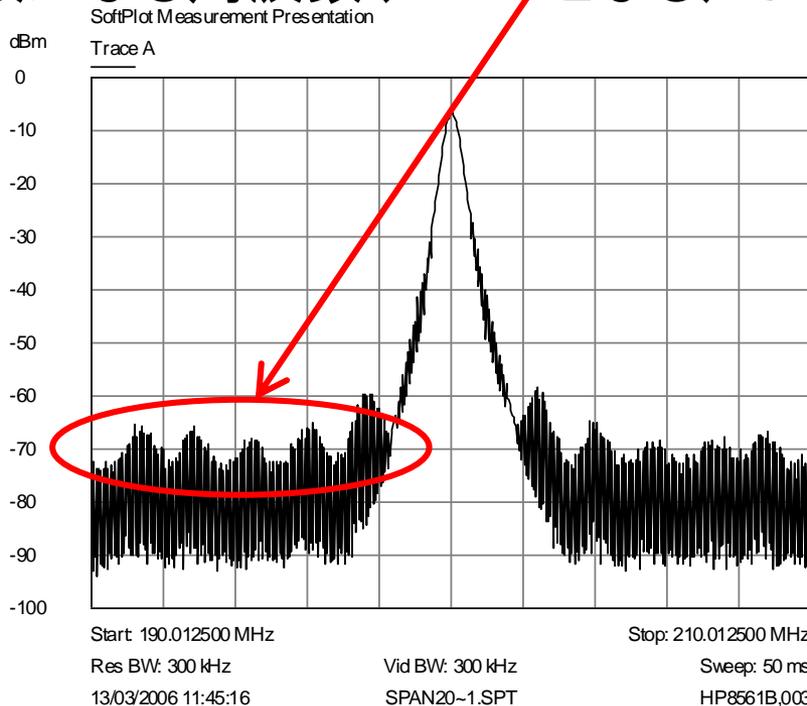
**Span = 5MHz**



**Span = 20MHz**

# PFD周波数とループ帯域幅の比に注意

- ◆  $\Sigma\Delta$ のノイズがループ帯域内に混入しVCOを変調
  - PFD周波数とループ帯域幅の比は200倍以上にする
- ◆ スペアナのスパンを広げると $\Sigma\Delta$ のノイズが繰り返しスペクトルとして見えるので判断もできる
- ◆ RF/REFが整数になる周波数(INT-Nとなる)でスピリアスが消えるか？



Span = 20MHz

- ◆ 解決方法はPFD周波数を上げるかループ帯域幅を低くする

## フラクショナルNで生じるスピリアスのメカニズム

### ◆ $\Sigma\Delta$ フラクショナル・スピリアス

- ディザ回路オフで $\Sigma\Delta$ 量子化ノイズがスピリアスとして現れる
- 本来はループフィルタで減衰する
- ディザ回路をオン( Low Spur Mode)にすると広帯域にノイズが広がる

### ◆ インテジャー境界スピリアス

- RF周波数とREF周波数(の高調波)間のビート
- RF周波数がREF x Nに近いと問題
- ループフィルタで減衰するものではあるが...
- VCOとRFin間に**アイソレーション・バッファ**を入れると低減できる
- ディザ回路をオン( Low Spur Mode)でも低減できない

### ◆ リファレンス(PFD)スピリアス

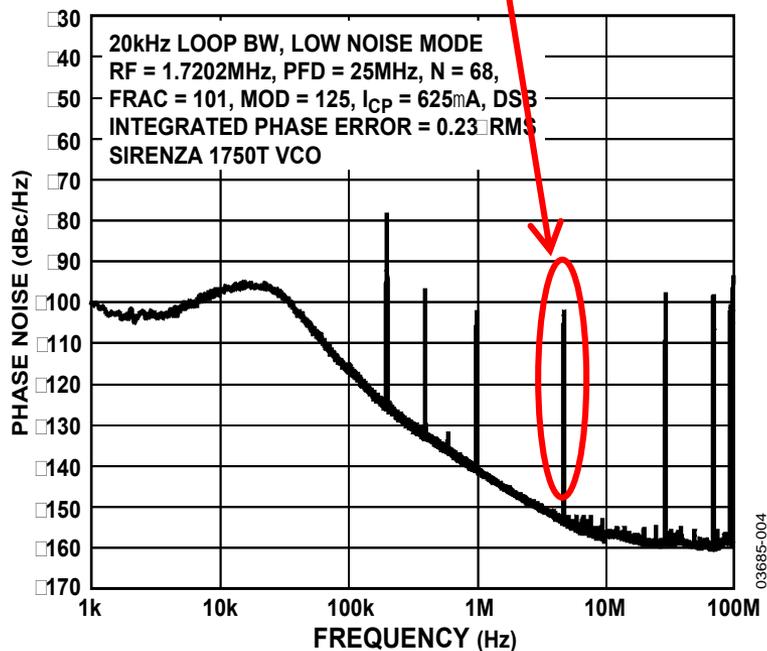
- PFDノイズのフィードスルー。RFinからVCO経路に逆流
- VCOとRFin間に**アイソレーション・バッファ**を入れると低減できる

## フラクショナルNで生じるスピリアスをデバッグする

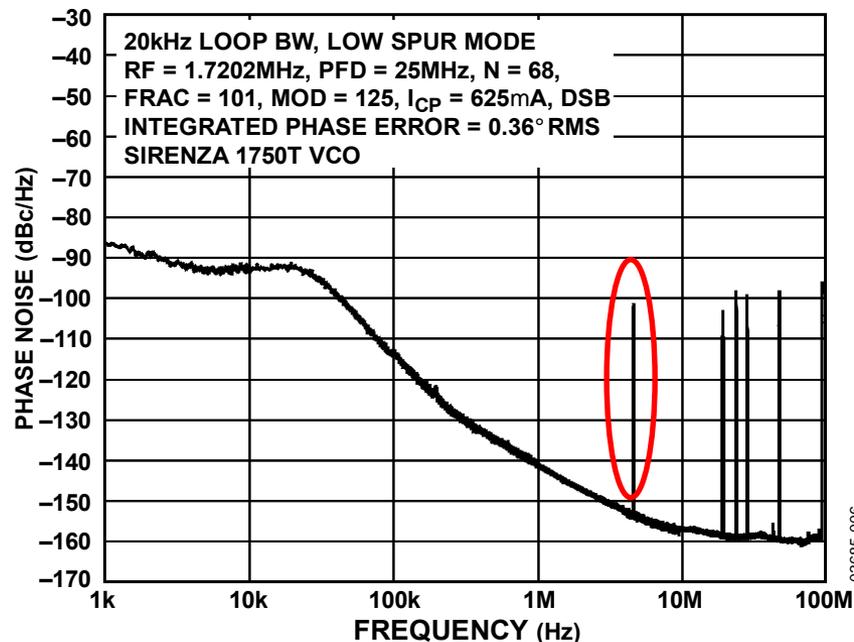
- ◆ PFDのN倍か？それとも1/2, 1/3, 1/6倍など分数倍か？
- ◆ Low Spur Modeにするとスピリアスが消えるか？
- ◆ RF/REFが整数になる周波数でスピリアスが消えるか？
- ◆ ならば「**ΣΔフラクショナル・スピリアス**」と判定できる
  
- ◆ スピリアスの周波数はPFD周波数のN倍か？
- ◆ Low Spur Modeにしてもスピリアスが残っているか？
- ◆ ならば「**インテジャー境界スピリアス**」と判定できる
  
- ◆ キャリアからのオフセットはPFD周波数か？
- ◆ ならば「**リファレンス(PFD)スピリアス**」と判定できる

# 生じるスピリアスの発生源切り分け例

- ◆ RFout = 1720.2MHz
- ◆ スプリアスが1725MHzに見える。これはPFD = 25MHz x 51
- ◆ Low Spur Modeにしてもスピリアスが残っている
- ◆ 「インテジャラー境界スピリアス」と判定できる



Low Noise Mode



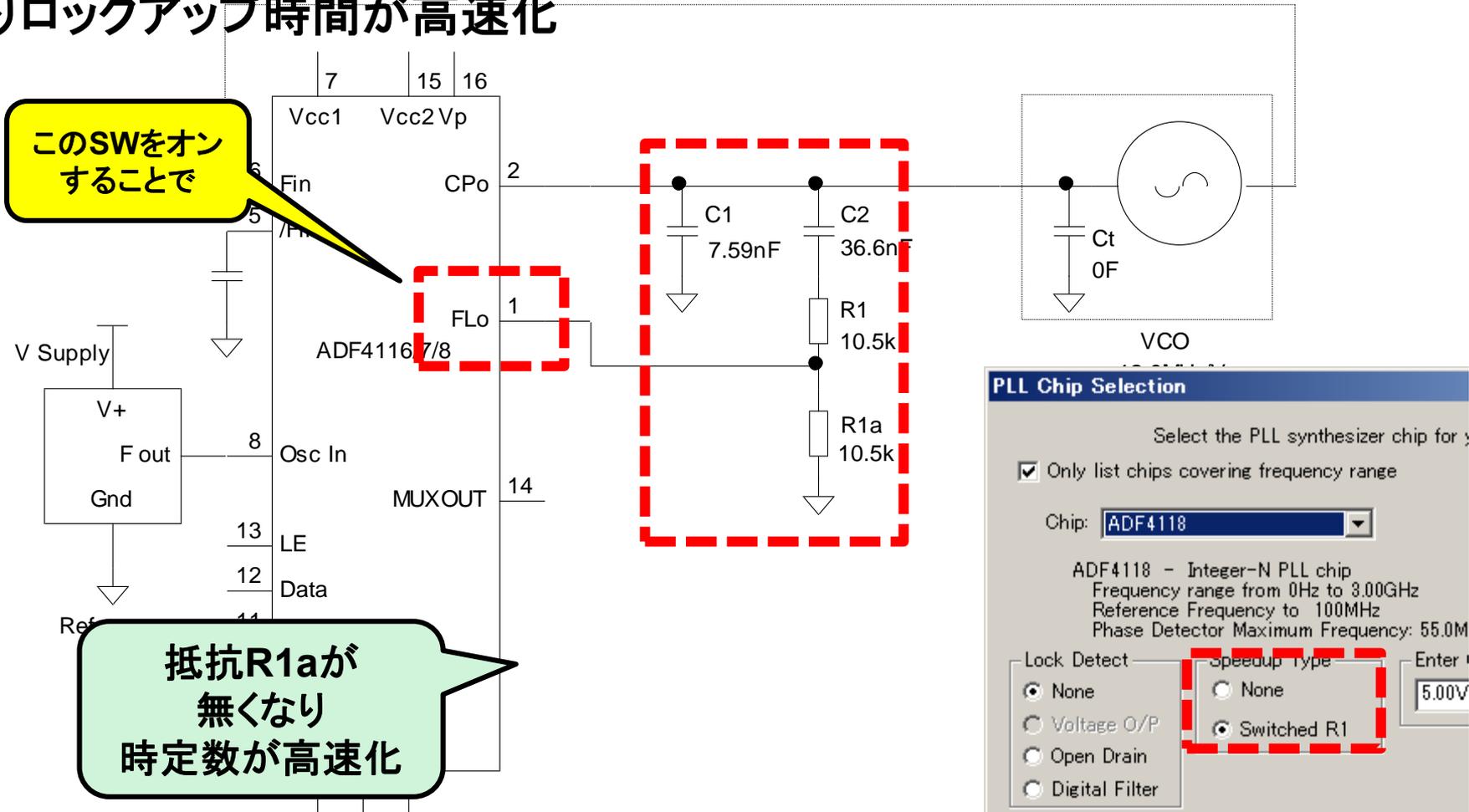
Low Spur Mode



## 7. ロックアップを高速にしたい

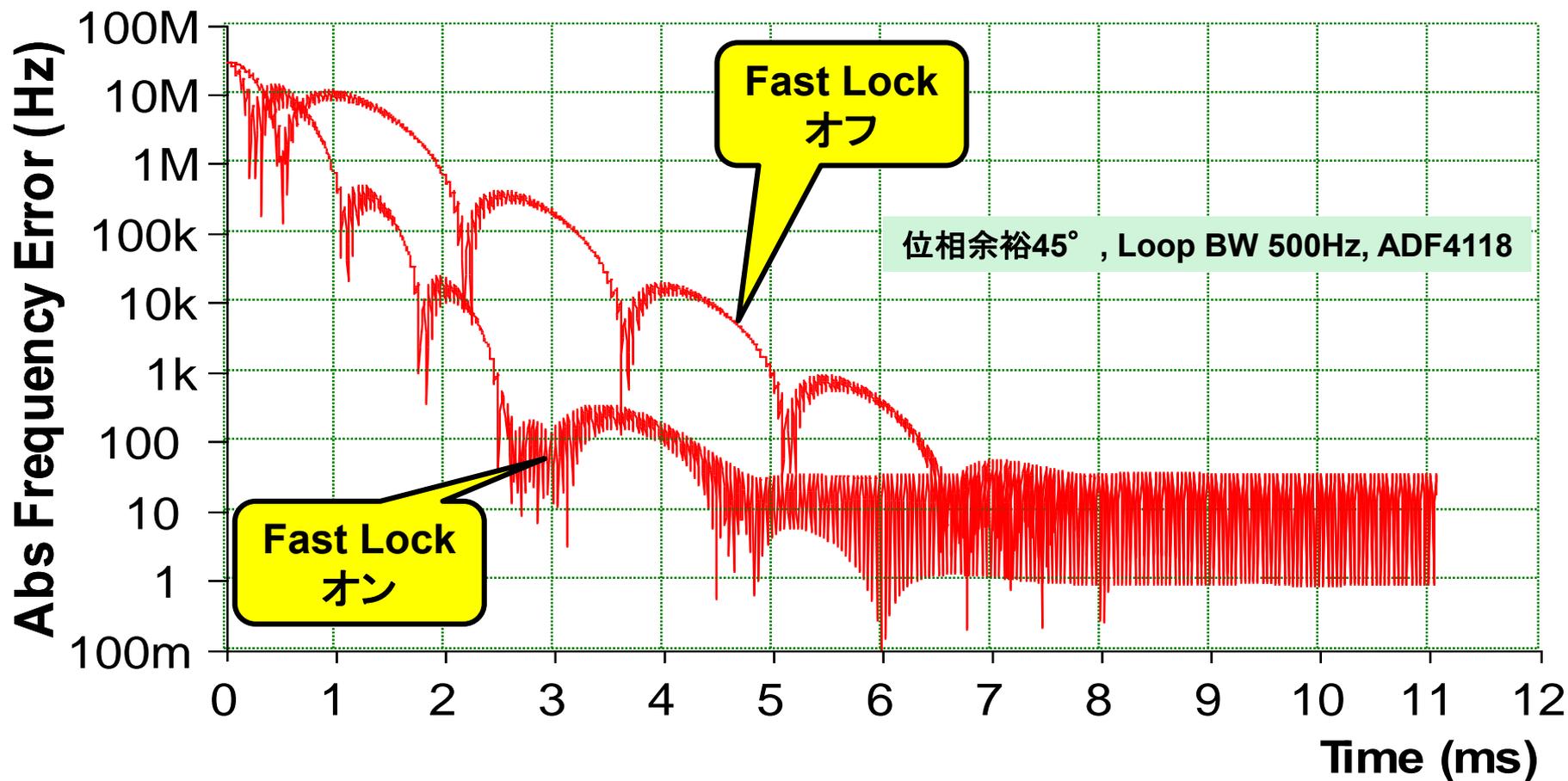
# 周波数切り替えを高速化「Fast Lock」を用いる

- ◆ 周波数変更時のループフィルタの時定数を高速にする —— それによりロックアップ時間が高速化



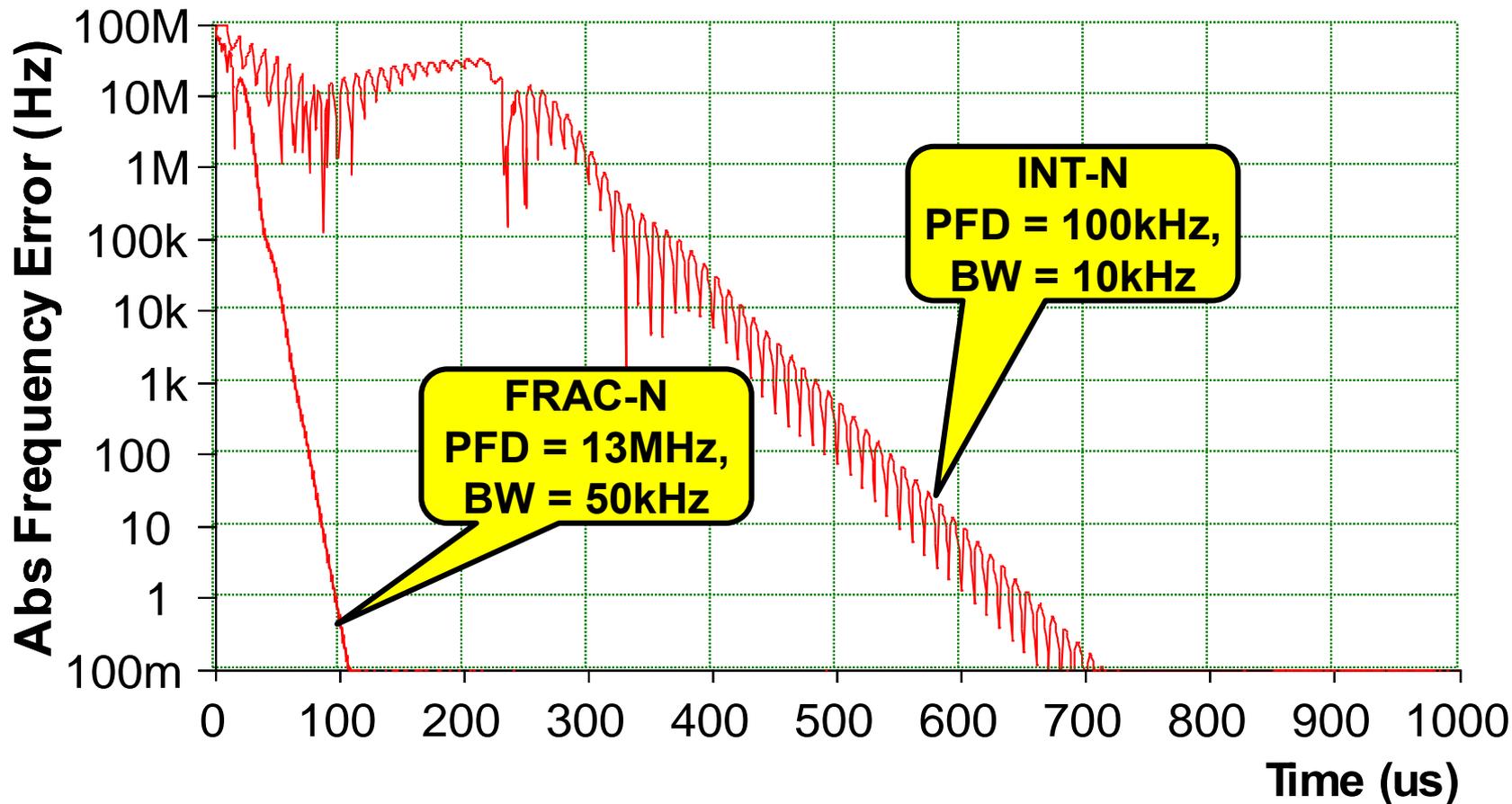
# ADIsimPLLで「Fast Lock」を設定したようす

## |Freq Error|



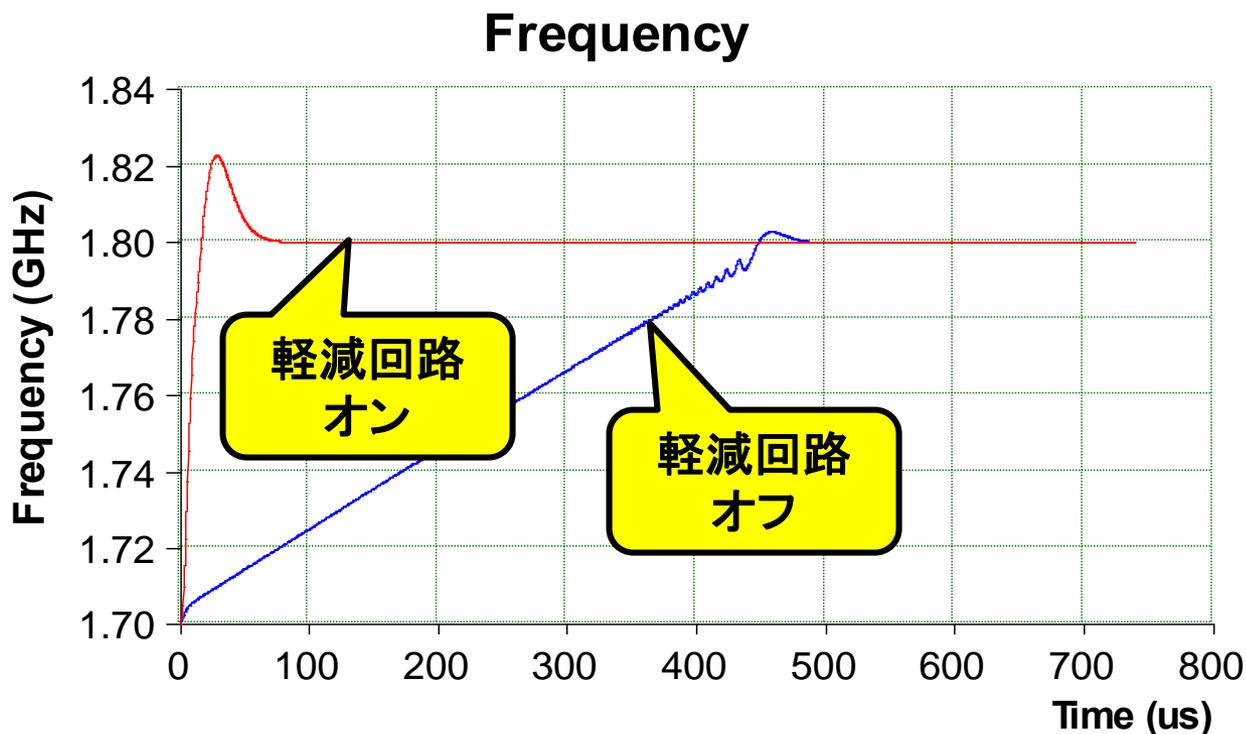
# フラクショナルN型PLLを用いる(ADF4150でINT-NモードとFRAC-Nモードでの比較)

## |Freq Error|

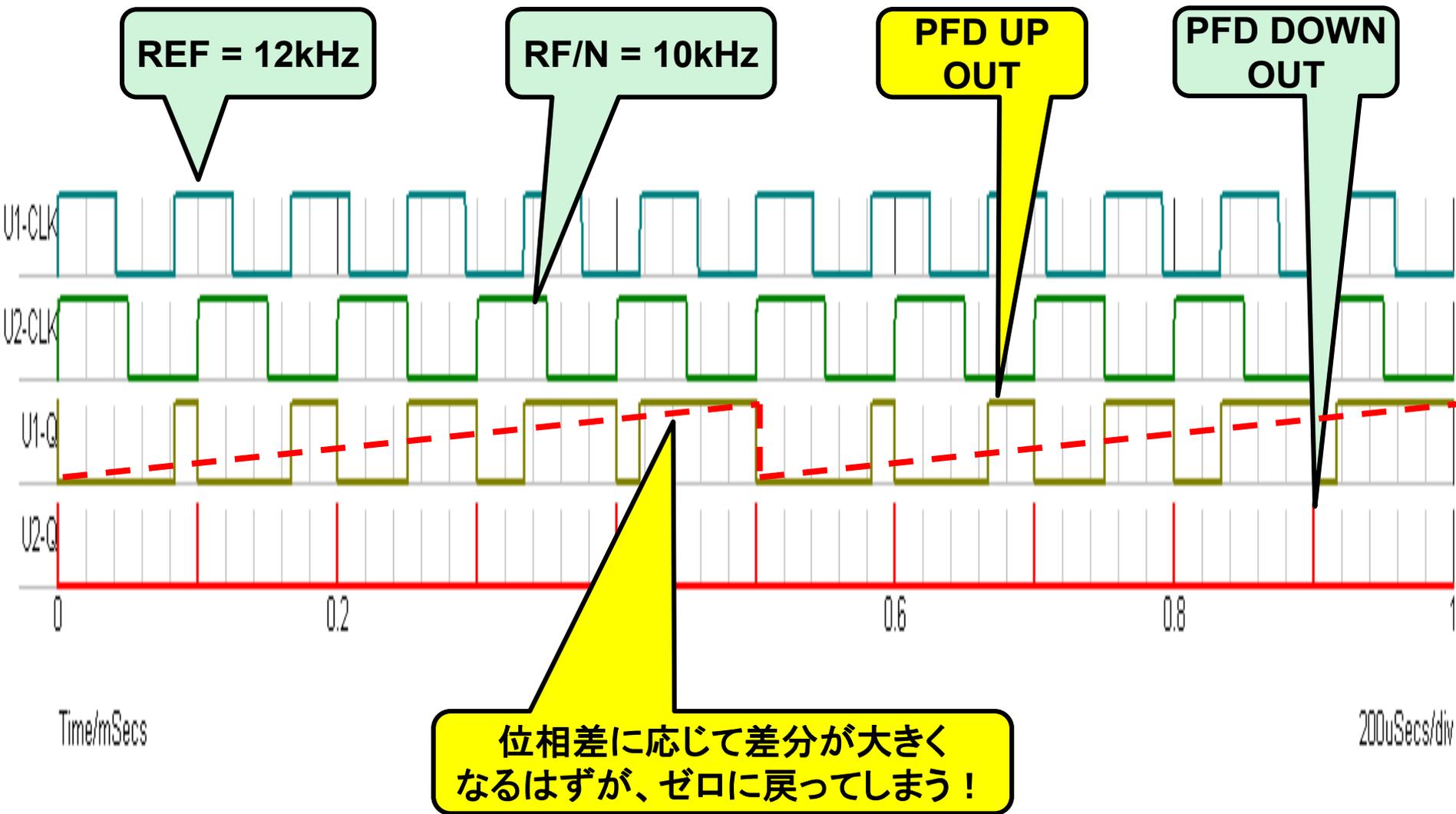


## 【補足】ADF4156で可能なサイクル・スリップの軽減

- ◆「サイクル・スリップ」は**フラクショナルN PLL**でよく発生する
  - PFDでの位相誤差累積量が、PLL補正量より大きい場合（ループ・フィルタが狭い場合）
- ◆ ADF4156はサイクル・スリップ軽減回路がついている！
  - 高速ロックアップが可能



# 【補足】サイクル・スリップのメカニズム



## まとめ

- ◆ PLL回路でのトラブル解決技法と性能改善技法を説明
- ◆ PLLはフィードバック(帰還)回路
- ◆ PLLがロックしない場合はLock DetectとMUXOUT端子を活用
  - 入力レベルが低くなっている場合も多い
- ◆ 位相(SSB)ノイズの低減方法を例示した
- ◆ 部品選定やレイアウトに注意(特性が劣化)
- ◆ フラクショナルN PLL特有の問題点と解決方法を示した
- ◆ ロックアップの高速化について示した

