

The World Leader in High Performance Signal Processing Solutions



PLLアン・ドゥ・トロア(その2) 設計ツールADIsimPLL (ADIsimCLK)を用いた PLL回路構成方法

アナログ・デバイセズ株式会社
石井 聡



PLLアン・ドゥ・トロア 3部作の構成

1. **PLL**(位相ロック・ループ)回路の基本と各部動作
2. 設計ツール**ADIsimPLL**(**ADIsimCLK**)を用いた**PLL**回路構成方法
3. **PLL**(位相ロック・ループ)回路でのトラブルとその解決技法



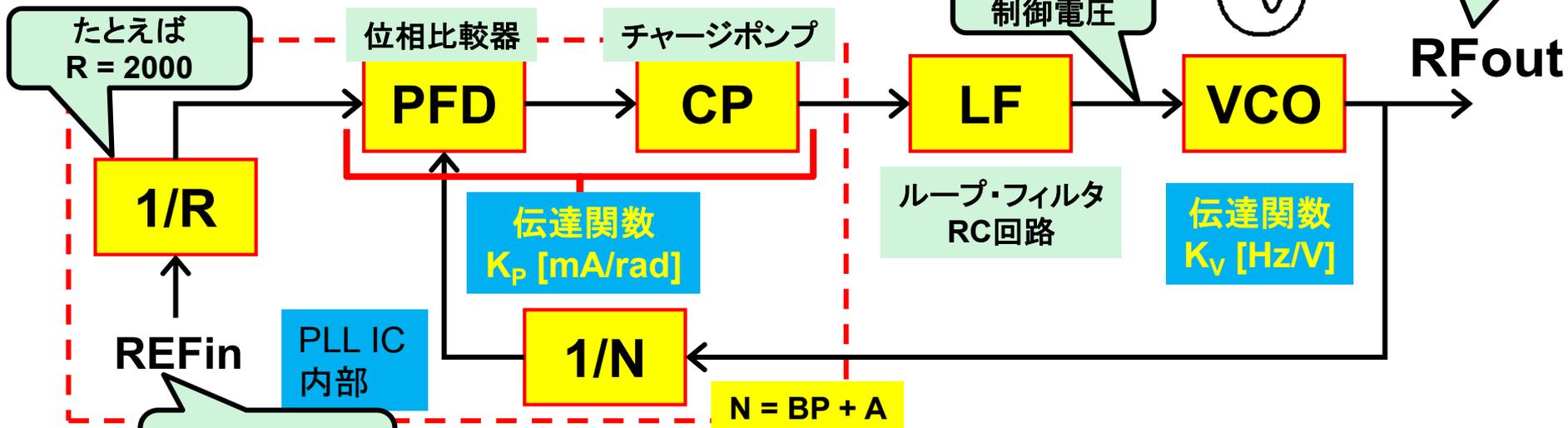
—その2— Agenda

1. **PLL**設定のパラメータと重要な特性
2. **ADIsimPLL**の使い方
3. **ADIsimPLL**を使って実際に**PLL**を設計してみる
4. **ADIsimCLK**の使い方



1. PLL設定のパラメータと重要な特性

PLLで必要は基本パラメータ(インテジャーN型の例)



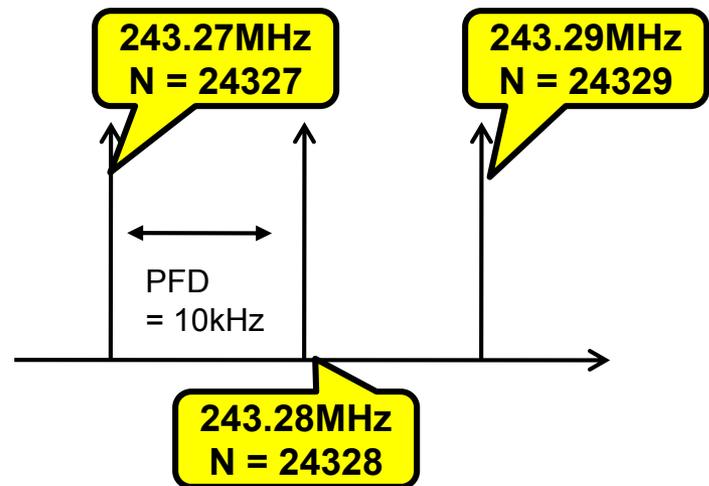
$$N = PB + A$$

$$PFD = REFIn / R$$

$$RFout = REFIn / R \times N$$

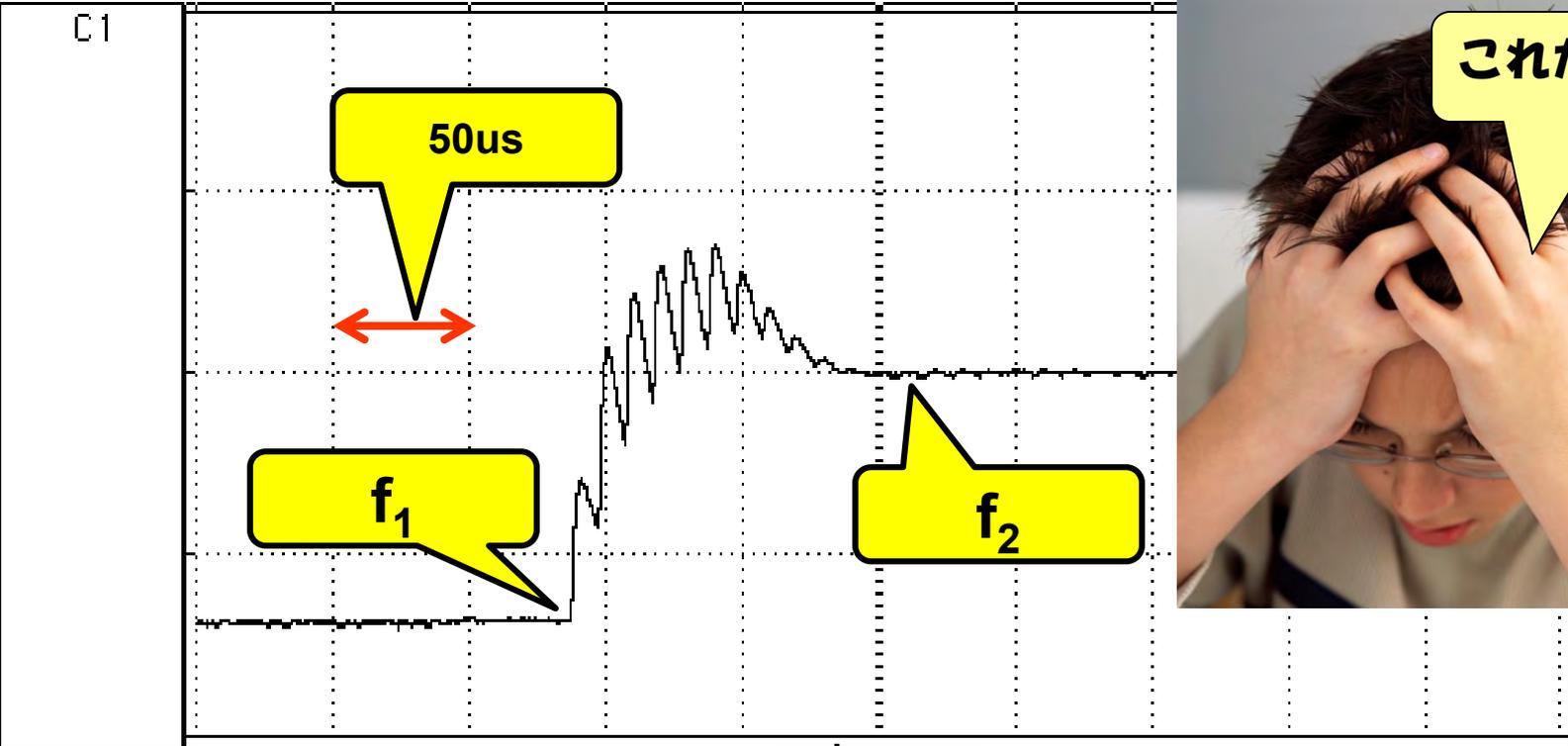
$$= REFIn / R \times (PB + A)$$

$$\therefore RFout = PFD \times (BP + A)$$

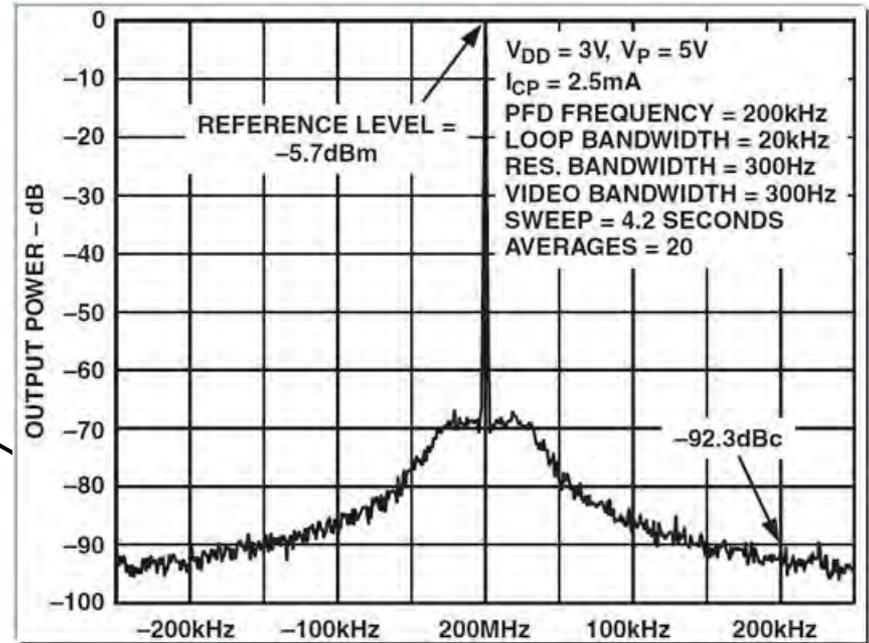
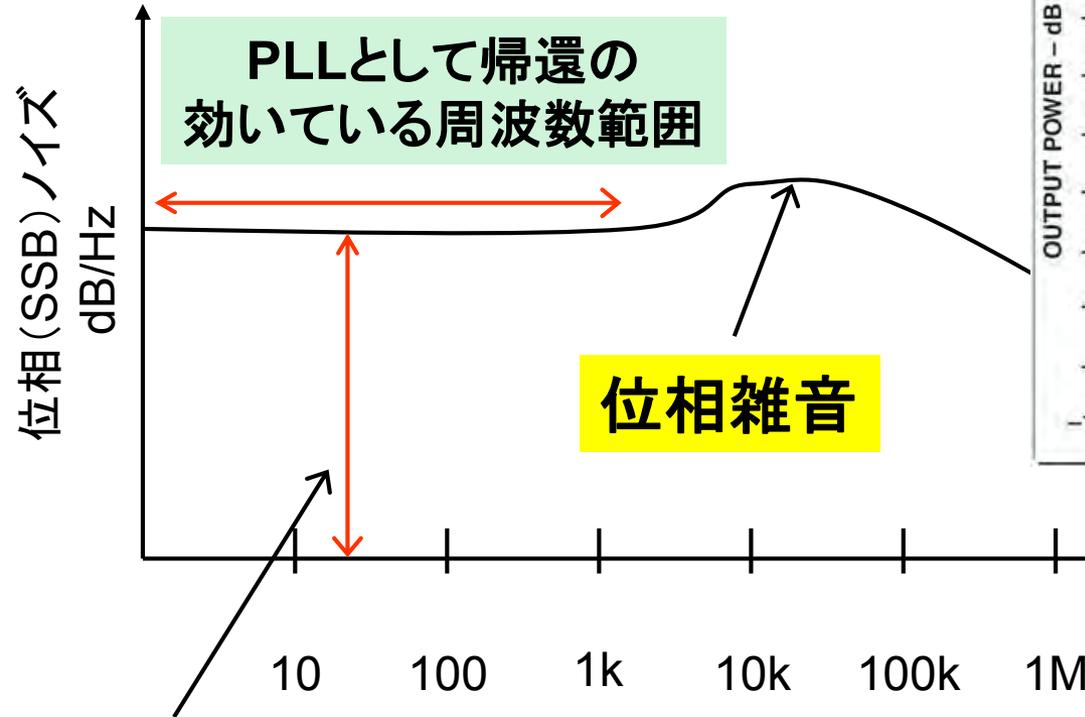


PLLで重要な過渡特性(チャンネル変更)

1GS 32K Scope C	Channel	Autoscale	Cancel	Run	
Input C1	V/Div 750 mV	Offset 1.000 V	Probe 10:1	Coupling 1MΩ / DC	Preset User
s/Div 50.0 us	Delay 100.00 us	Display Options	Sample Period	Data acquired at: 100 ns	Next acquisition: 100 ns



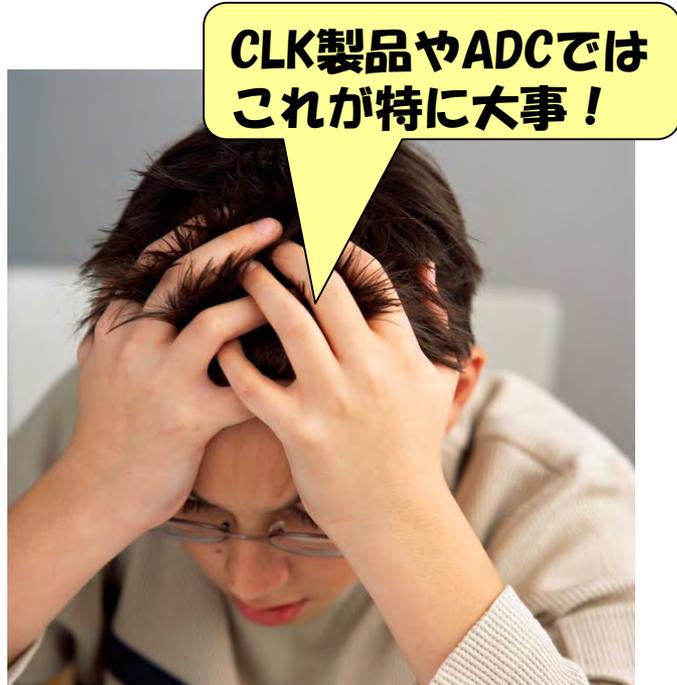
PLLで重要な位相雑音



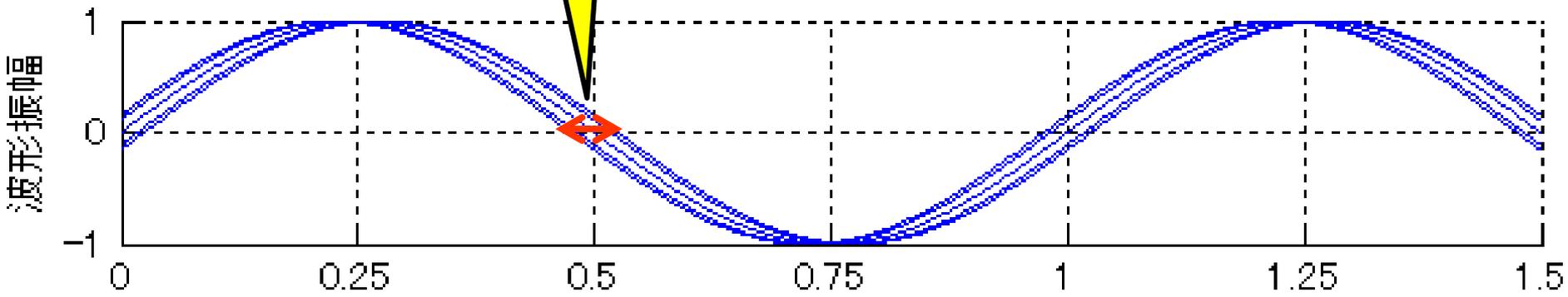
位相雑音 = ノイズ・フロア + $10 \times \log_{10}(\text{PFD}) + 20 \times \log_{10}(N)$ ← 簡単な見積もり式

■ 同じ出力周波数ならPFDの周波数が高い方が(Nが小さいほうが)位相雑音は良くなる

位相雑音から生じる時間ジッタ



時間ジッタ

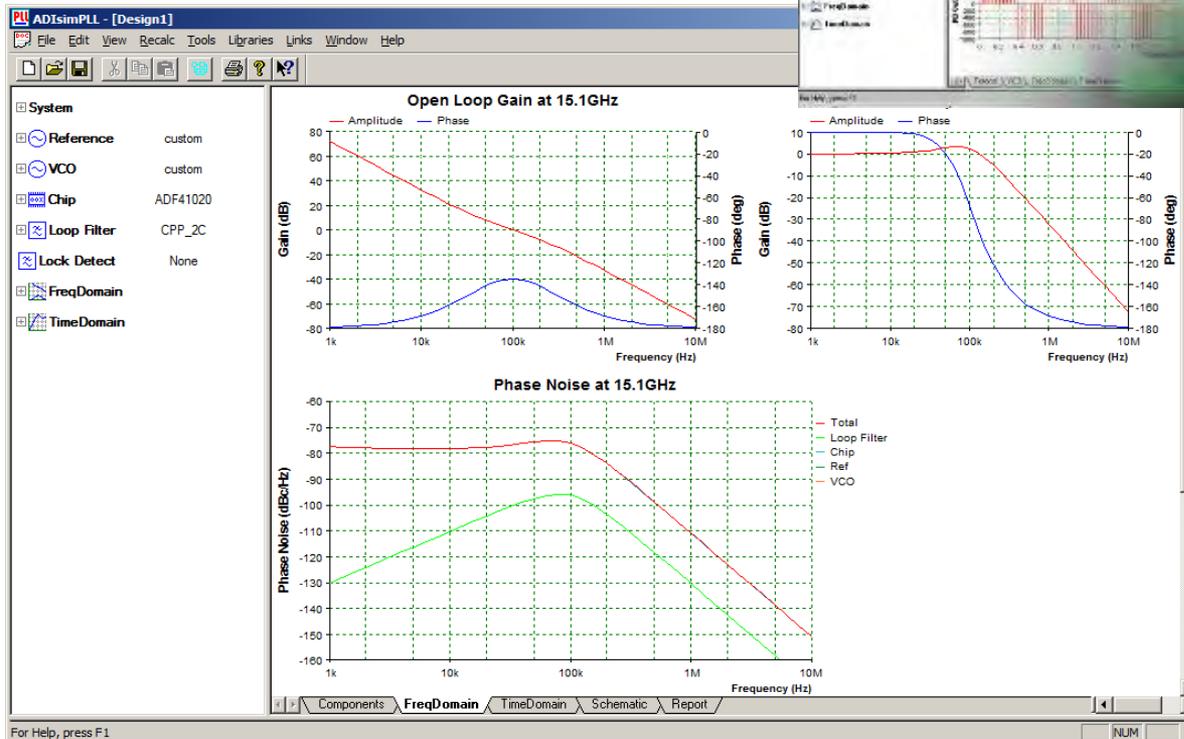




2. ADIsimPLLの使い方

PLLの定数や特性を自動計算「ADIsimPLL」

- ◆ ADIsimPLLを用いることで、アナログ・デバイセズのPLL ICを用いた設計が可能
- ◆ www.analog.com/adisimpll



ADIsimPLLのデモと使い方

- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ VCOノイズの付加(ノイズ伝達関数の見方)
- ◆ ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで

ADIsimPLLのデモと使い方

- ◆ **スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)**
- ◆ **各パラメータの見方**
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認
- ◆ **ループ・フィルタ特性の変更**
 - 「What's this?」機能
- ◆ **VCOノイズの付加(ノイズ伝達関数の見方)**
- ◆ **ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更**
- ◆ **サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)**
- ◆ **レポート作成の方法**
- ◆ **いろいろな設定はFreqDomain/TimeDomainメニューで**



ADIsimPLLのデモと使い方

- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ **各パラメータの見方**
 - **Components, Freq Domain, Time Domain, Schematic, Report**
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ VCOノイズの付加(ノイズ伝達関数の見方)
- ◆ ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで

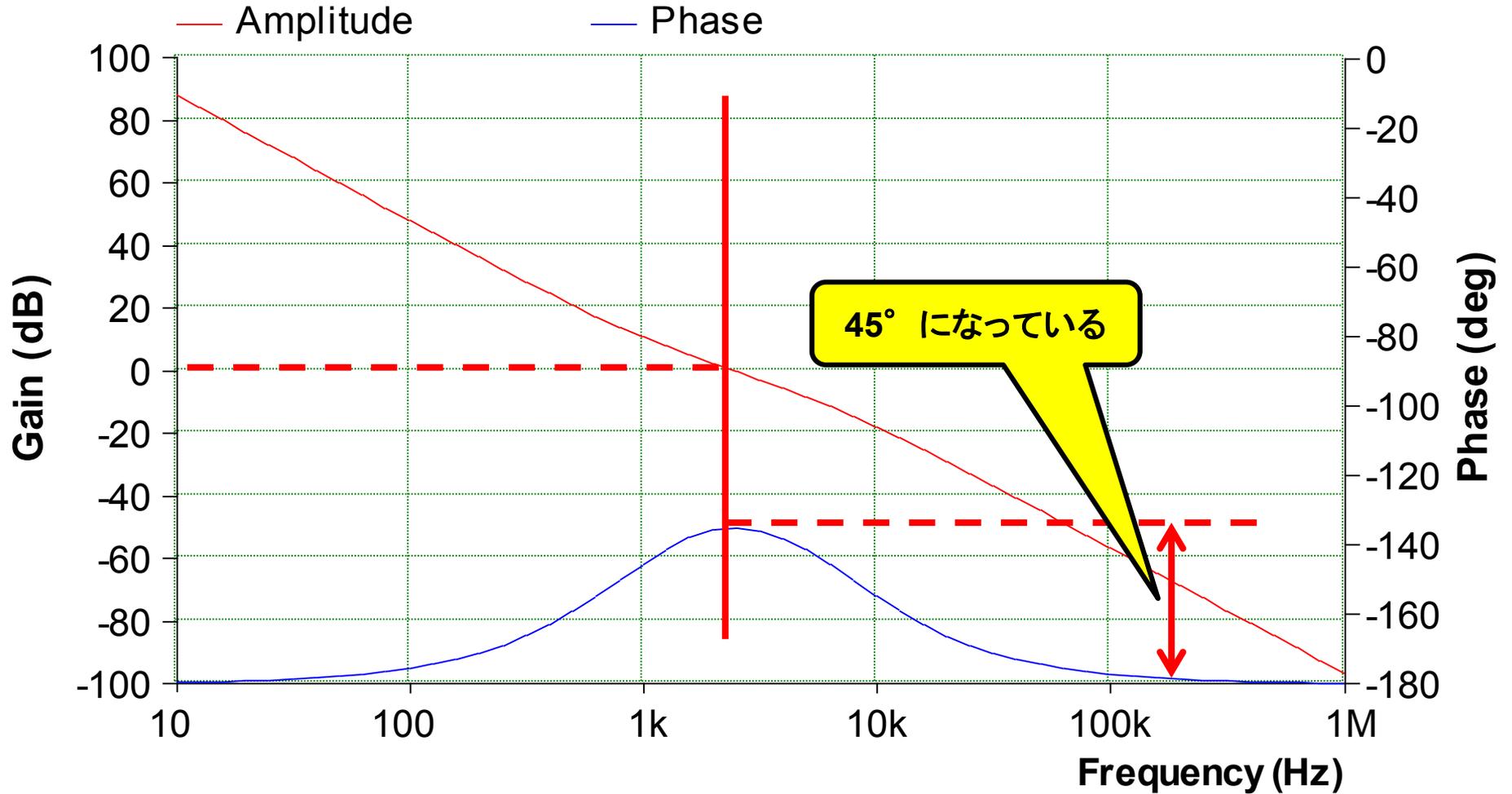


ADIsimPLLのデモと使い方

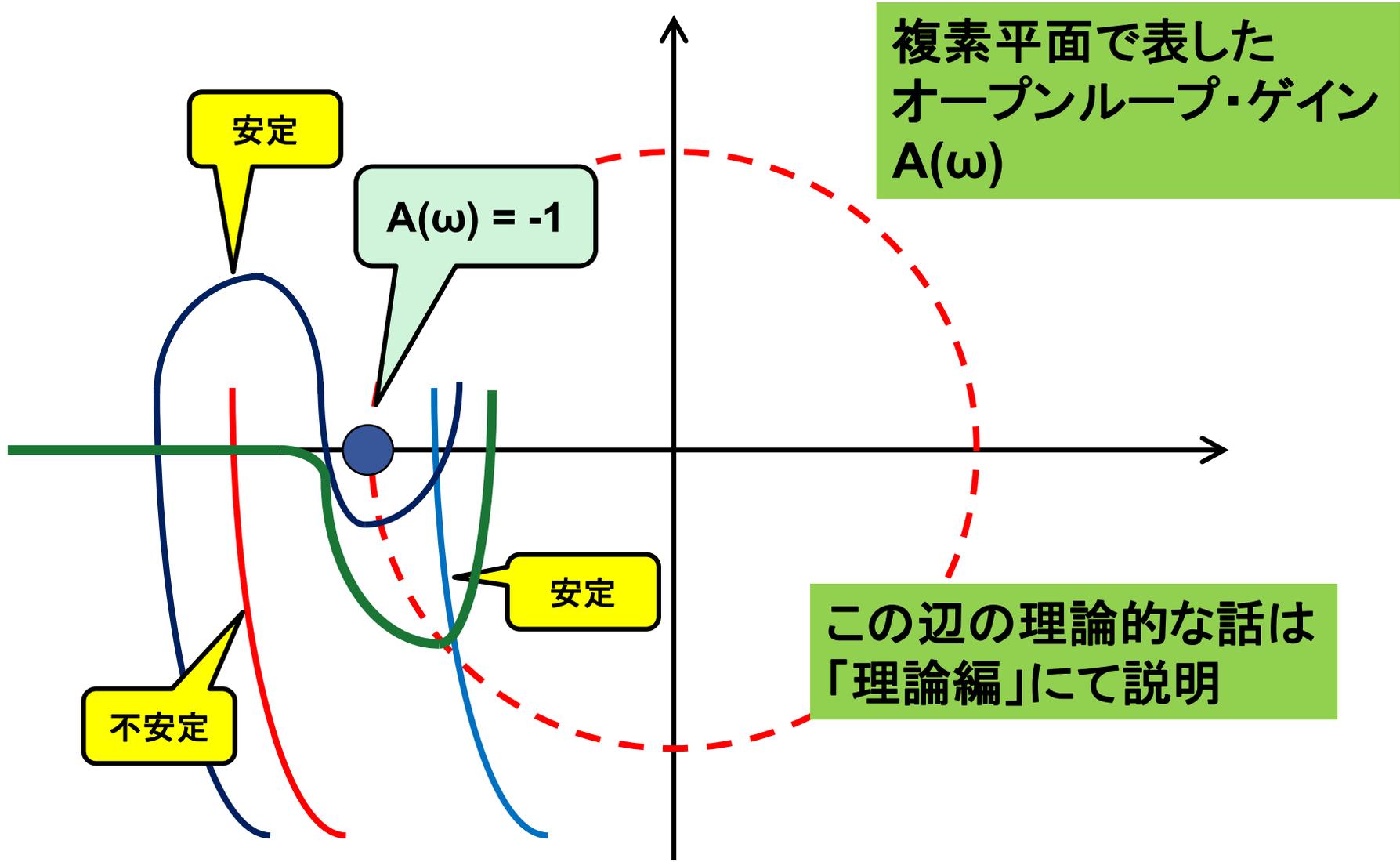
- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ **各パラメータの見方**
 - Components, Freq Domain, Time Domain, Schematic, Report
 - **位相余裕、ノイズ伝達関数の見方**
 - REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ VCOノイズの付加(ノイズ伝達関数の見方)
- ◆ ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで

位相余裕

Open Loop Gain at 415MHz



位相余裕について(ナイキストの安定判別法)





ADIsimPLLのデモと使い方

- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ **各パラメータの見方**
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - **REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認**
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ VCOノイズの付加(ノイズ伝達関数の見方)
- ◆ ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで



PLL Options, Report Options

PLL Options

Include Divider / Phase Detector Delay

Delay as fraction of Tref:

Number of Ref Spurs to calculate:

Tools / Build command sets components as follows:

Resistors	Capacitors
<input type="radio"/> Exact Value	<input type="radio"/> Exact Value
<input type="radio"/> Nearest E6	<input type="radio"/> Nearest E6
<input type="radio"/> Nearest E12	<input checked="" type="radio"/> Nearest E12
<input checked="" type="radio"/> Nearest E24	<input type="radio"/> Nearest E24
<input type="radio"/> Nearest E48	<input type="radio"/> Nearest E48
<input type="radio"/> Nearest E96	<input type="radio"/> Nearest E96

Phase Noise | Phase Jitter | FM Mod | ACR/ACI | Lock Times

Include Phase Noise Table in report

Entries at: Hz

Example: 10, 100, 1k, 12.5k, 100k, 1M

Include Reference Spur Levels in report

Include estimate of Fractional Spurs in report

Show Fractional-N Spurs on Phase Noise Plot

Number of Fractional-N Spurs to estimate (< 10):



ADIsimPLLのデモと使い方

- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量 (Report) の確認
- ◆ **ループ・フィルタ特性の変更**
 - 「What's this?」機能
- ◆ VCOノイズの付加 (ノイズ伝達関数の見方)
- ◆ ループ・フィルタとスピードアップ回路 (@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ (ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで



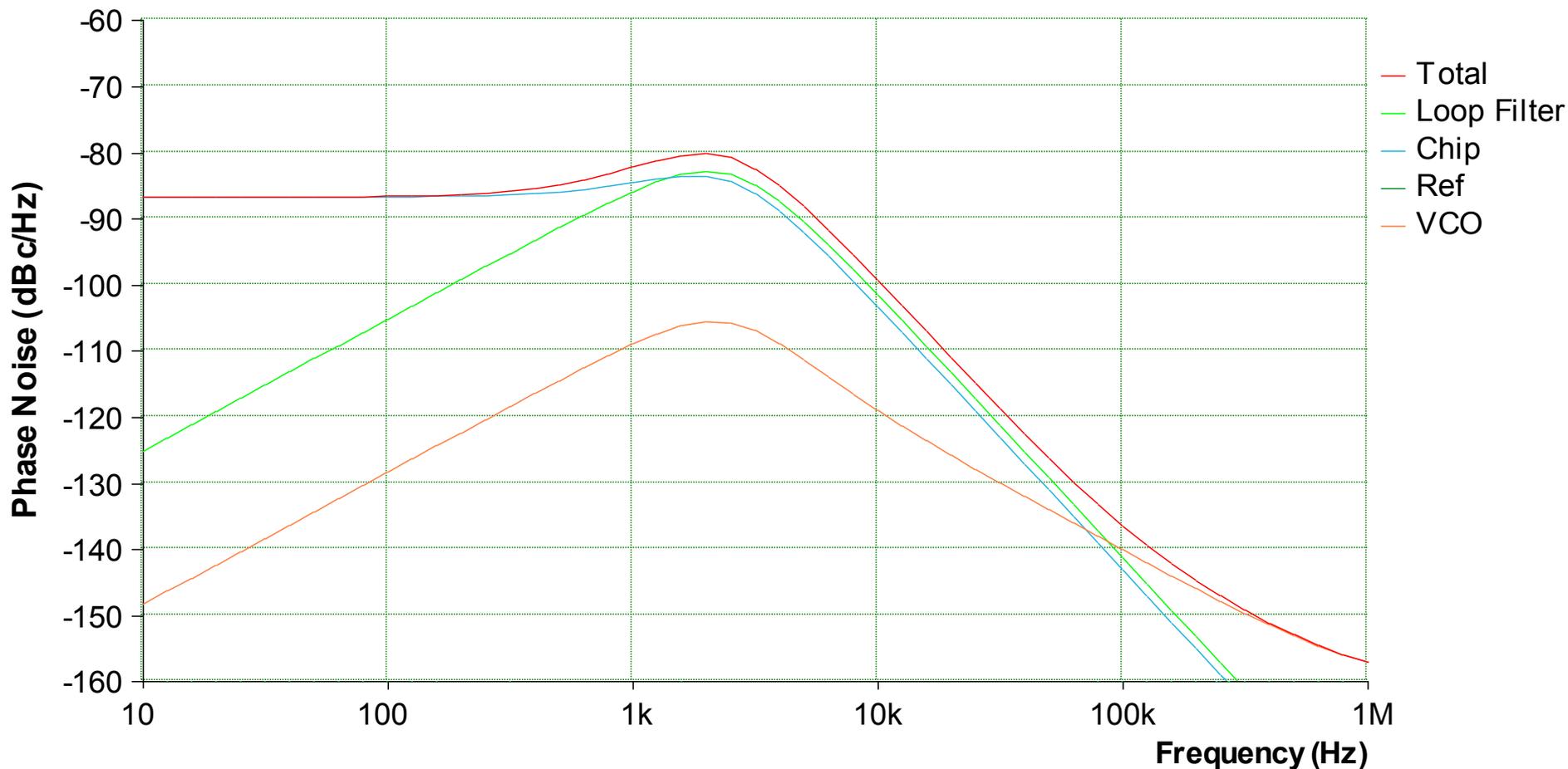
ADIsimPLLのデモと使い方

- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ **VCOノイズの付加(ノイズ伝達関数の見方)**
- ◆ ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで



VCOに位相ノイズを付加 **Corner = 1MHz / Floor = -160dBc/Hz**のパラメータ

Phase Noise at 415MHz





ADIsimPLLのデモと使い方

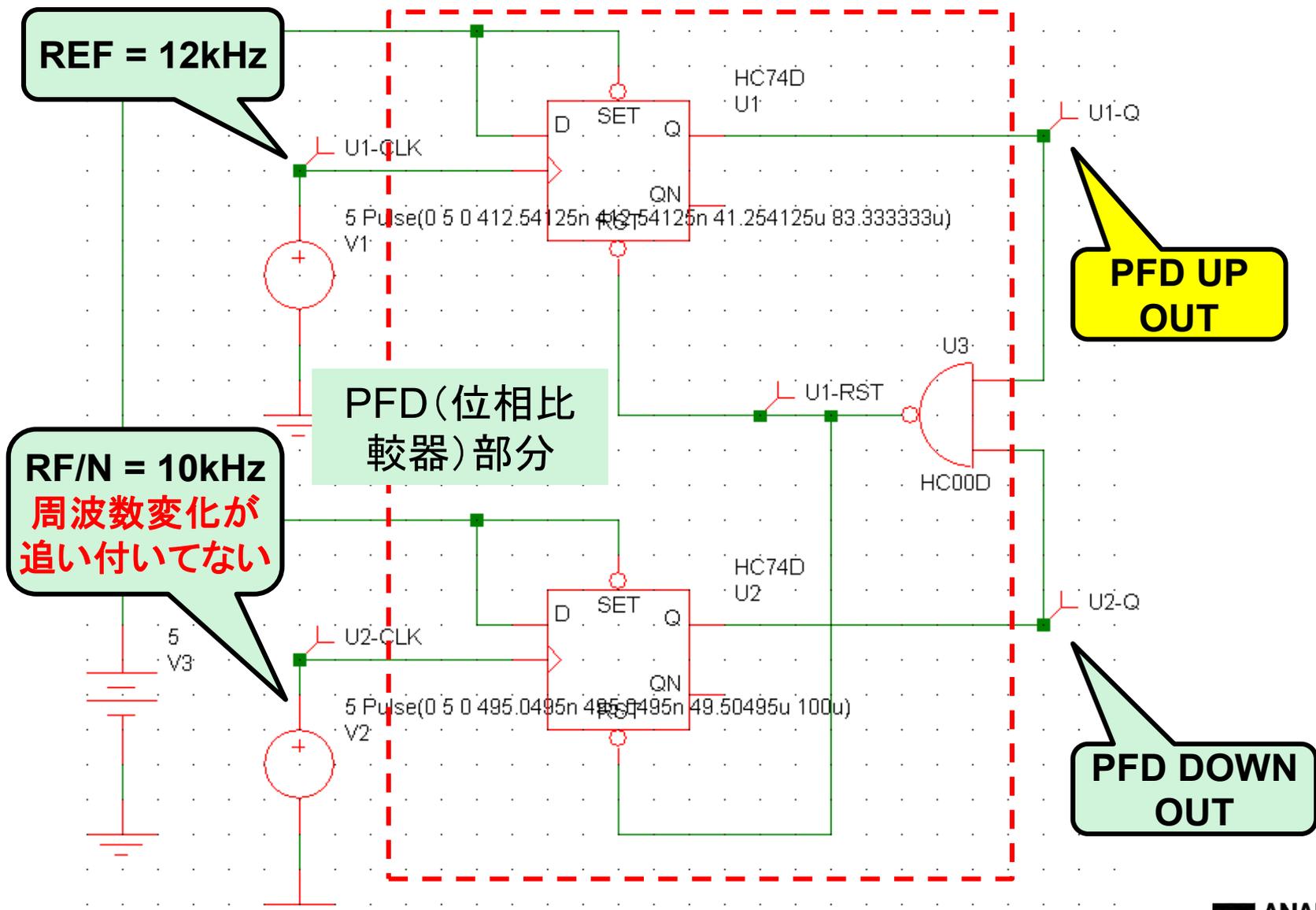
- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ VCOノイズの付加(ノイズ伝達関数の見方)
- ◆ **ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更**
- ◆ サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで



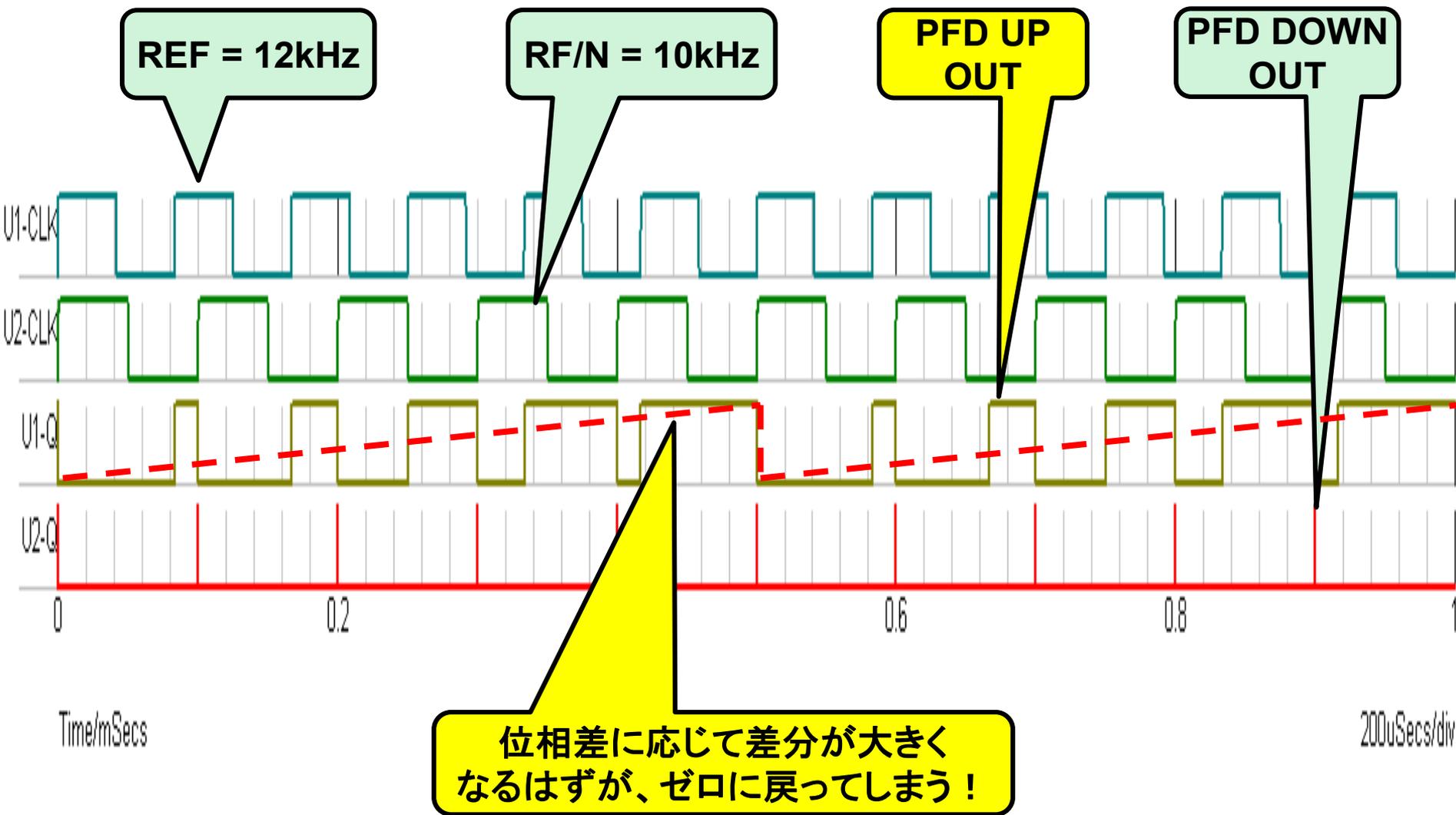
ADIsimPLLのデモと使い方

- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ VCOノイズの付加(ノイズ伝達関数の見方)
- ◆ ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで

ADF4350で発生したサイクル・スリップのようす



ADF4350で発生したサイクル・スリップのようす





ADIsimPLLのデモと使い方

- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量 (Report) の確認
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ VCOノイズの付加 (ノイズ伝達関数の見方)
- ◆ ループ・フィルタとスピードアップ回路 (@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ (ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ いろいろな設定はFreqDomain/TimeDomainメニューで



ADIsimPLLのデモと使い方

- ◆ スタートとデフォルトでのパラメータ設定 (400-430M, 25k, ADF4118)
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Report
 - 位相余裕、ノイズ伝達関数の見方
 - REFリーク(1nAで実験)、位相rmsジッタ量(Report)の確認
- ◆ ループ・フィルタ特性の変更
 - 「What's this?」機能
- ◆ VCOノイズの付加(ノイズ伝達関数の見方)
- ◆ ループ・フィルタとスピードアップ回路(@ 500Hz BW)、S/Uモードに変更
- ◆ サイクル・スリップ(ADF4350新規モデルでデモ BW = 2k, 1k, 0.5k)
- ◆ レポート作成の方法
- ◆ **いろいろな設定はFreqDomain/TimeDomainメニューで**

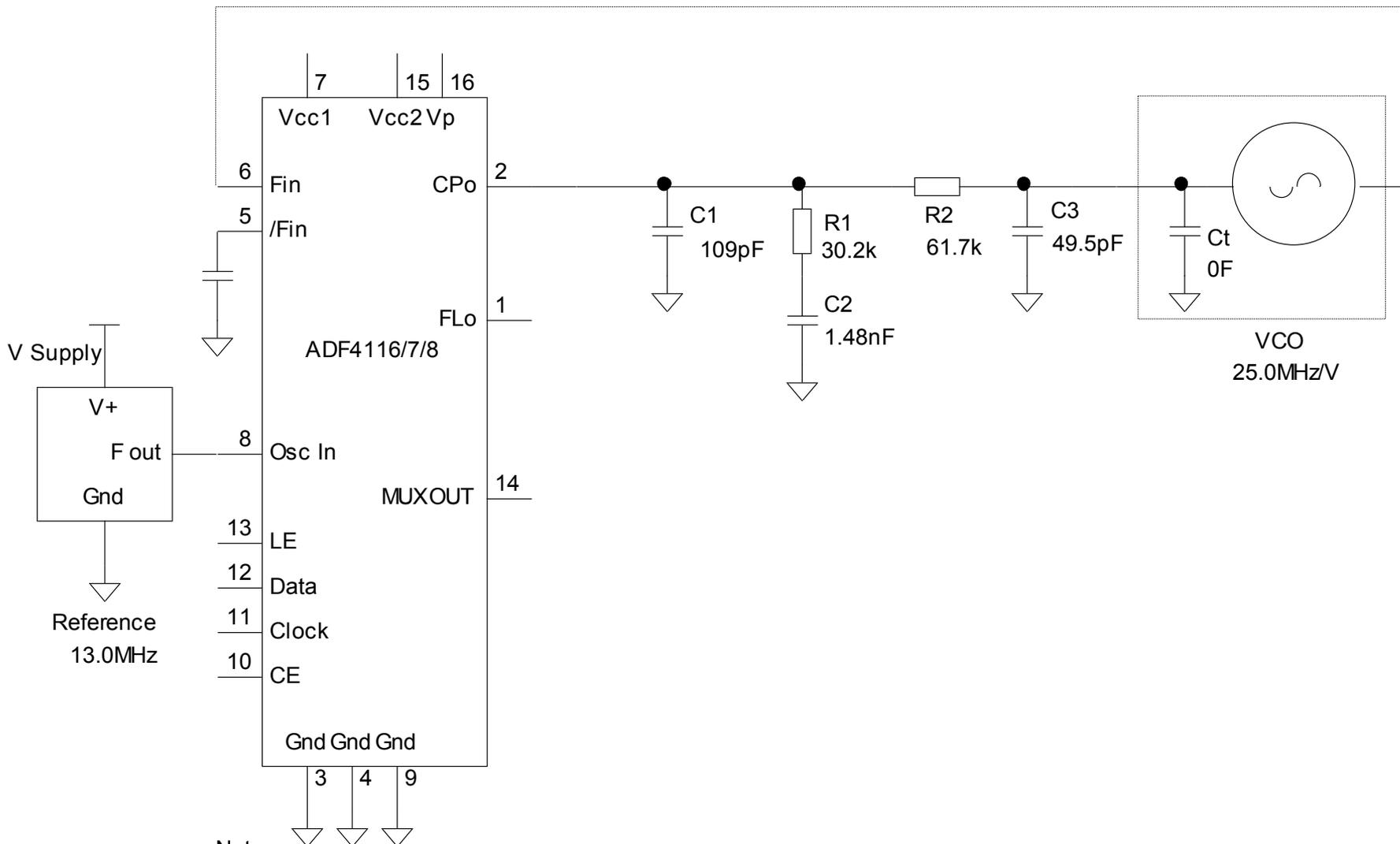


3. ADIsimPLLを使って実際に PLLを設計してみる

設計仕様

項目	仕様
使用するPLLIC	ADF4117
発振中心周波数	1.075GHz
TCXO周波数	13.000MHz
チャンネル・セパレーション	100kHz
チャンネル数	100CH
VCO感度 K_V	25MHz/V

ADIsimPLLで得られた定数(と実際に用いた定数)



Notes:

1. TSSOP pin numbers shown

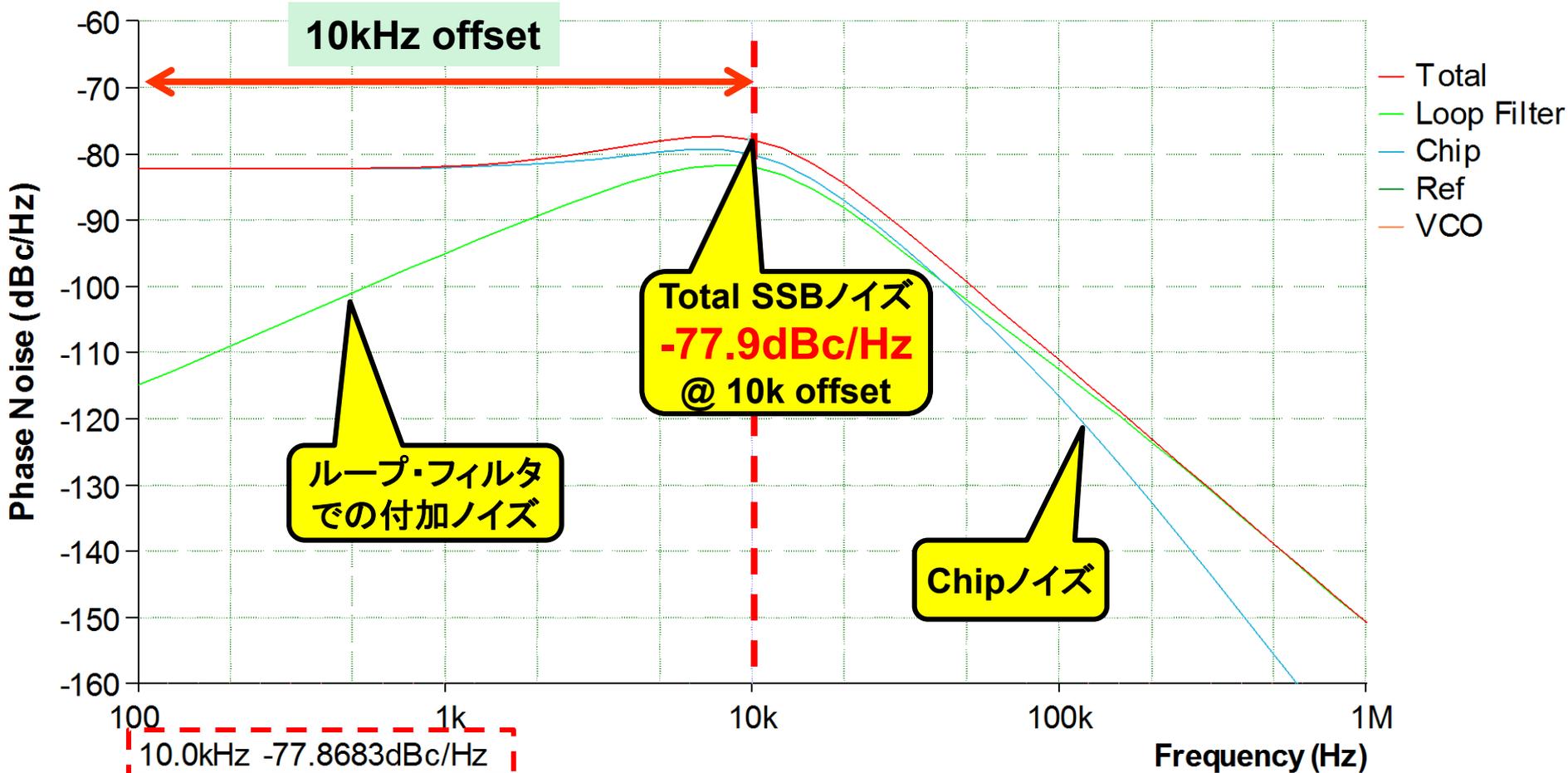
2. Vcc1 Analog Vcc

3. Vcc2 Digital Vcc

Analog Devices Proprietary Information

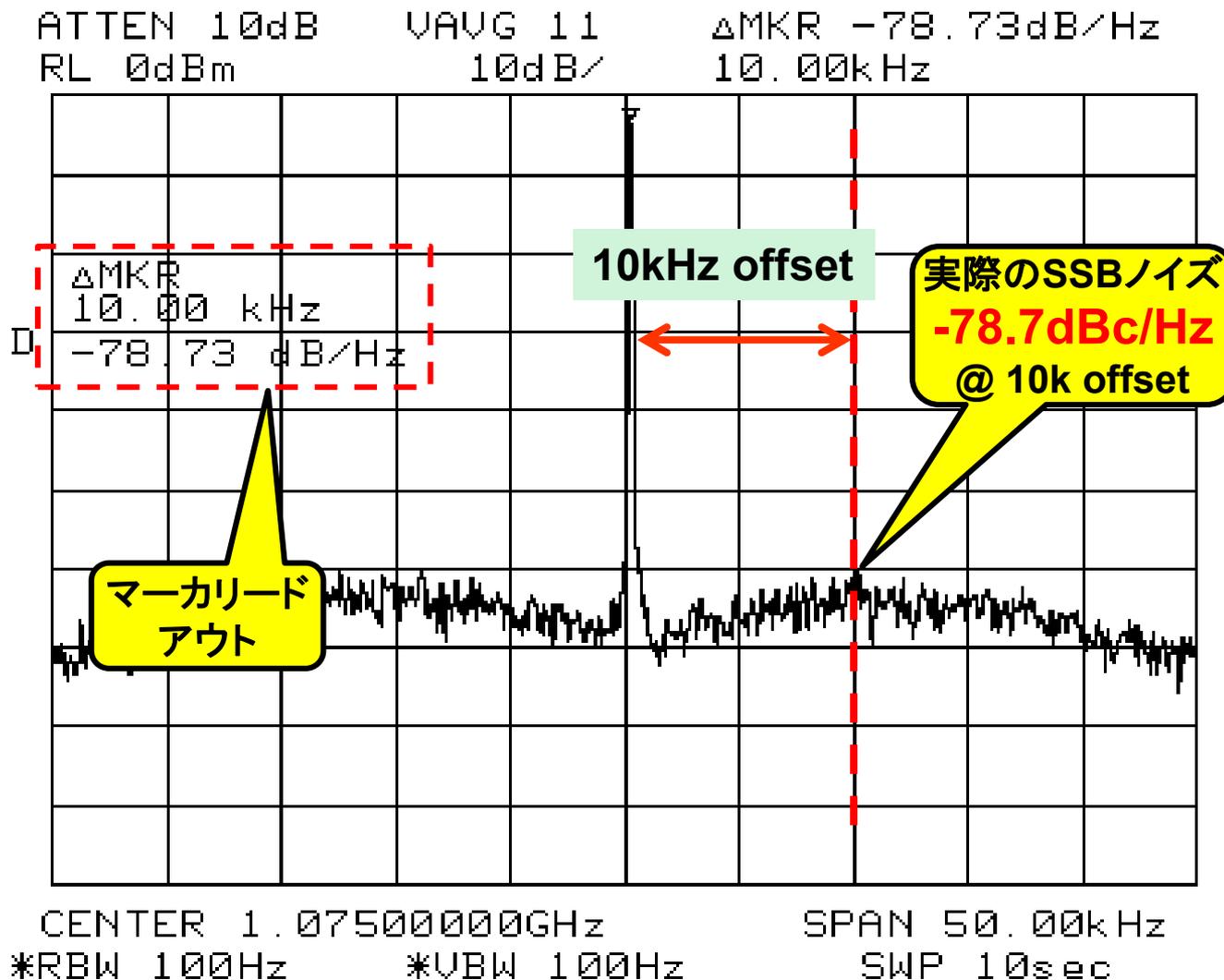
ADIsimPLL周波数特性(SSBノイズ)

Phase Noise at 1.08GHz

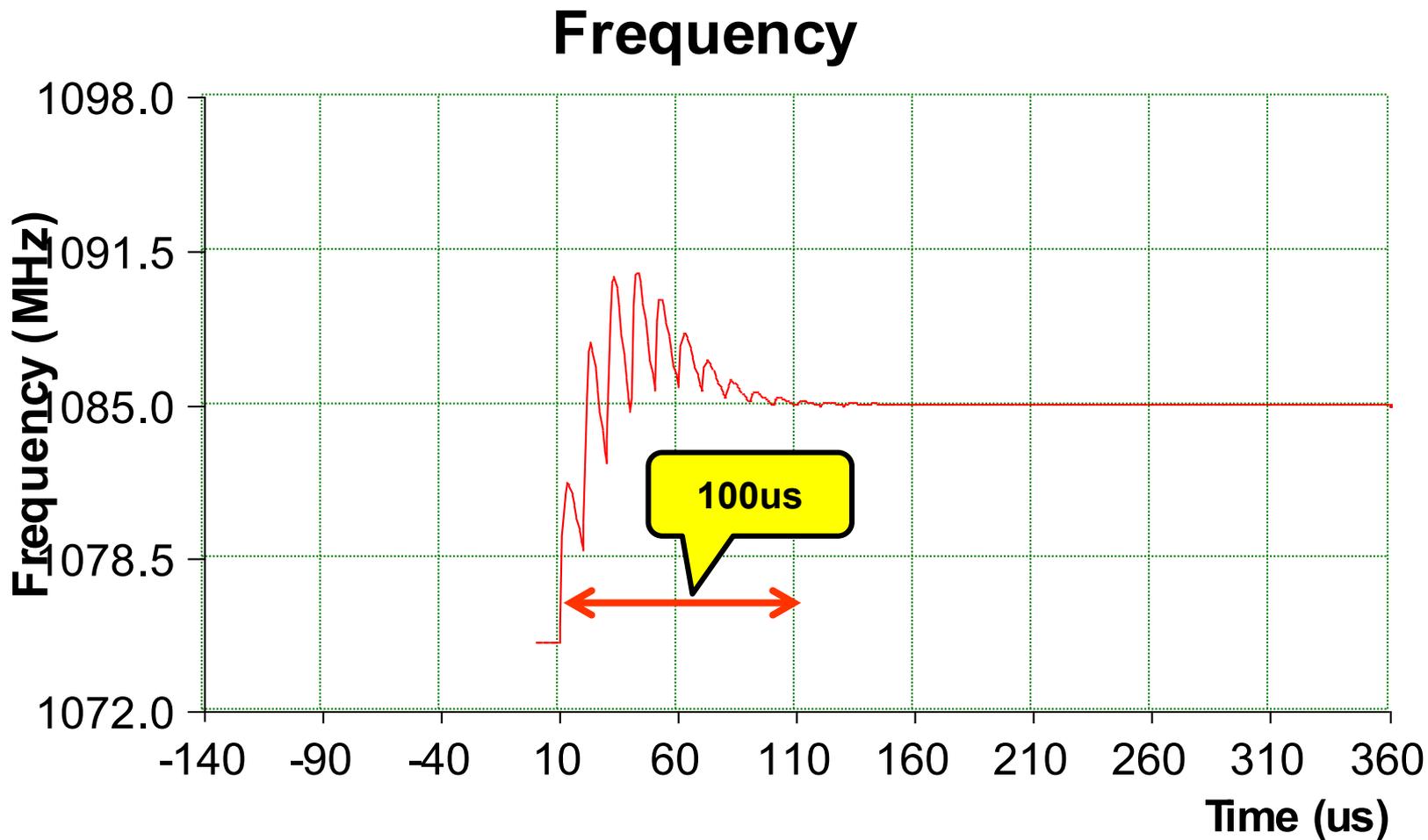


マーカリード
アウト

実際に試作した回路の周波数特性(SSBノイズ)

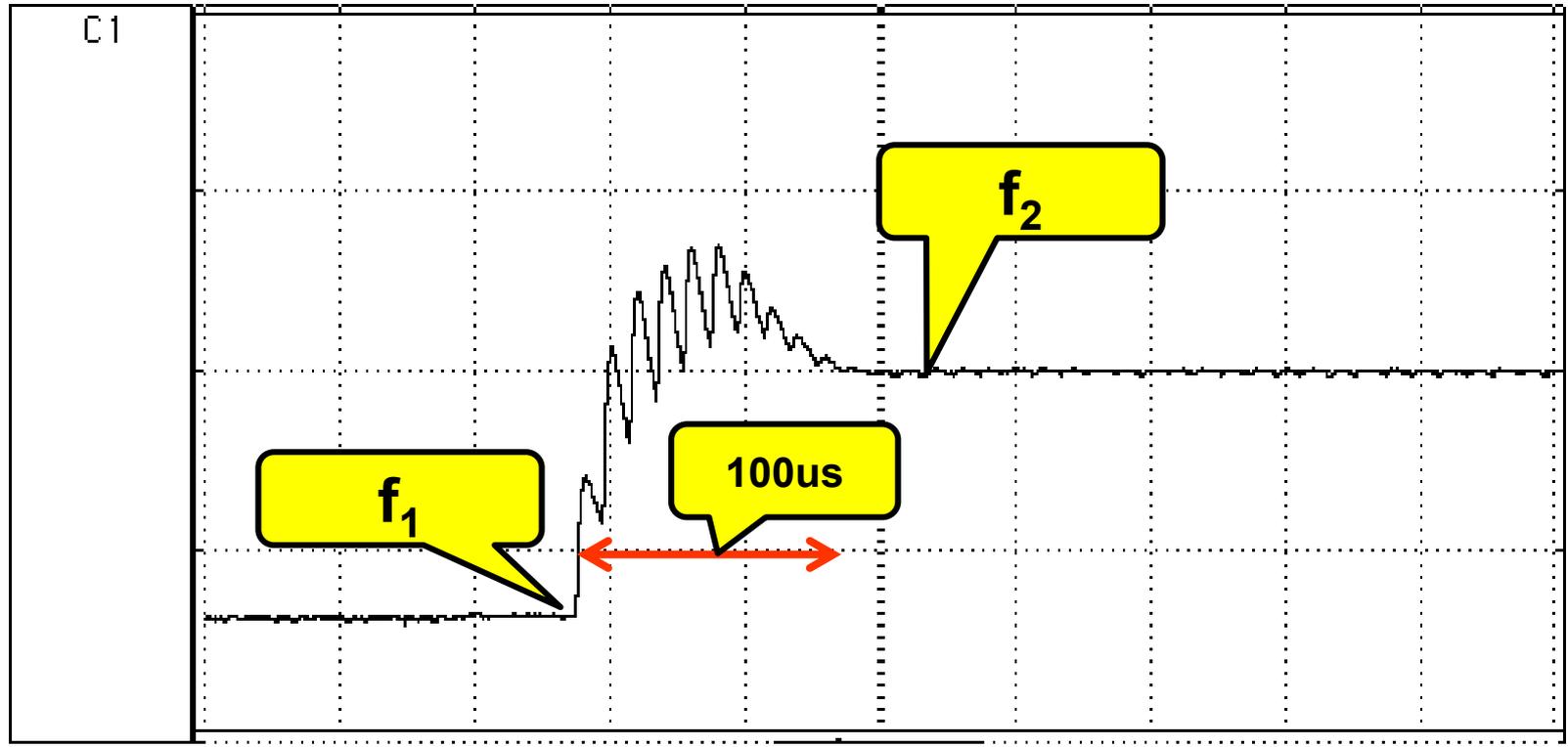


ADIsimPLL時間特性(周波数変更の過渡応答)



試作した回路の時間特性(周波数変更の過渡応答)

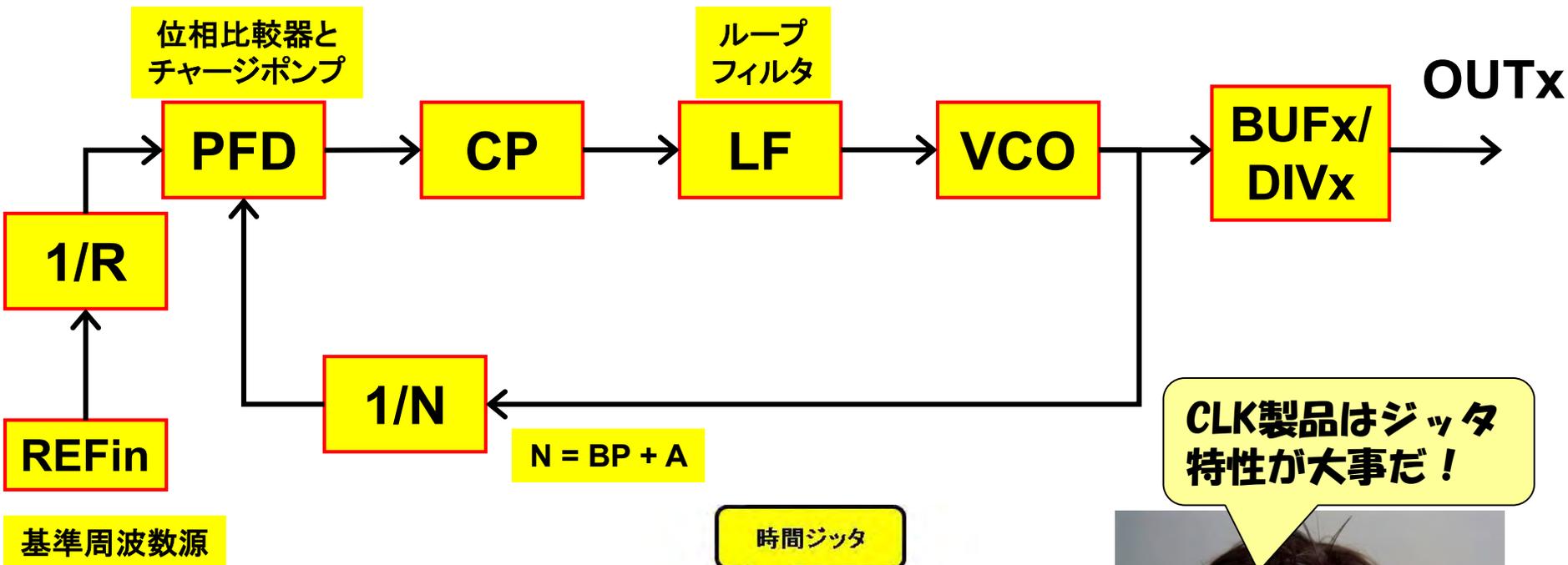
1GS 32K Scope C	Channel	Autoscale	Cancel	Run	
Input C1	V/Div 750 mV	Offset 1.000 V	Probe 10:1	Coupling 1MΩ / DC	Preset User
s/Div 50.0 us	Delay 100.00 us	Display Options	Sample Period	Data acquired at: 100 ns	Next acquisition: 100 ns



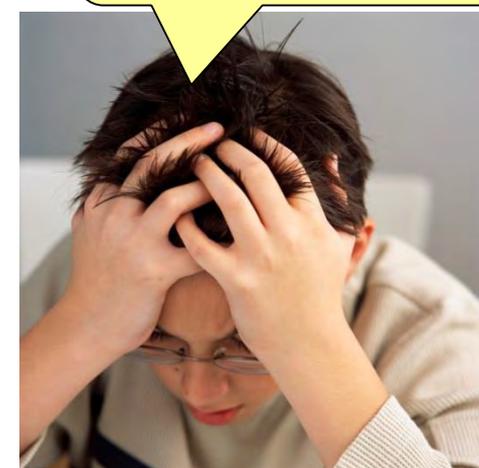
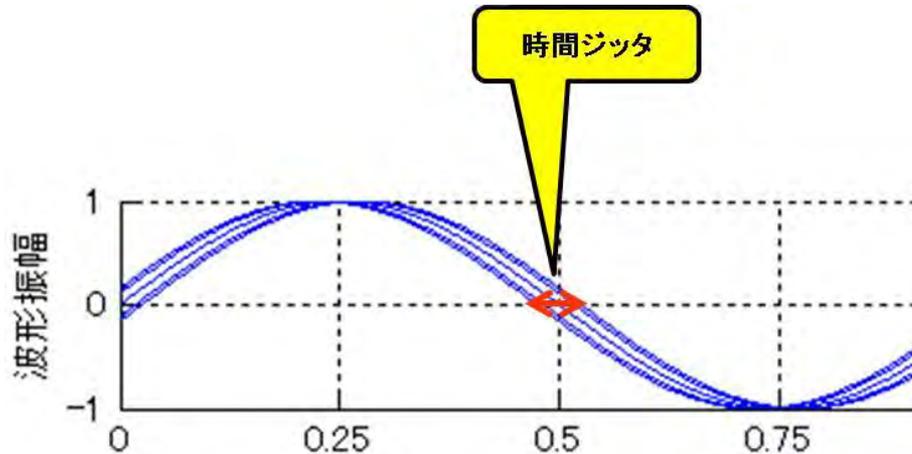


4. ADIsimCLKの使い方

AD95xx (CLK) 製品もPLLなので基本的な考えは同じ



CLK製品はジッタ特性が大事だ!



CLK製品用ツールADIsimCLKのデモと使い方

- ◆ 使い方はほぼADIsimPLLと同じ
- ◆ AD9510(クロック分配器, 800MHz, PLL&分周器内蔵, 遅延調整, 8出力)を使用。500MHzで発振
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Timing, Report, OUT0/1...
 - Reportタブでの位相ノイズの見方
 - OUTタブでの出力形態とDivider/Termination設定
 - VCO位相ノイズを加えてOUTタブでジッタを確認
 - SNR from Jitterの説明
- ◆ AD9523-1(14出力デュアルPLL クロック・ジェネレータ)のデモ

CLK製品用ツールADIsimCLKのデモと使い方

- ◆ 使い方はほぼADIsimPLLと同じ
- ◆ **AD9510(クロック分配器, 800MHz, PLL&分周器内蔵, 遅延調整, 8出力)を使用。500MHzで発振**
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Timing, Report, OUT0/1...
 - Reportタブでの位相ノイズの見方
 - OUTタブでの出力形態とDivider/Termination設定
 - VCO位相ノイズを加えてOUTタブでジッタを確認
 - SNR from Jitterの説明
- ◆ AD9523-1(14出力デュアルPLL クロック・ジェネレータ)のデモ

CLK製品用ツールADIsimCLKのデモと使い方

- ◆ 使い方はほぼADIsimPLLと同じ
- ◆ AD9510(クロック分配器, 800MHz, PLL&分周器内蔵, 遅延調整, 8出力)を使用。500MHzで発振
- ◆ 各パラメータの見方
 - **Components, Freq Domain, Time Domain, Schematic, Timing, Report, OUT0/1...**
 - Reportタブでの位相ノイズの見方
 - OUTタブでの出力形態とDivider/Termination設定
 - VCO位相ノイズを加えてOUTタブでジッタを確認
 - SNR from Jitterの説明
- ◆ AD9523-1(14出力デュアルPLL クロック・ジェネレータ)のデモ

CLK製品用ツールADIsimCLKのデモと使い方

- ◆ 使い方はほぼADIsimPLLと同じ
- ◆ AD9510(クロック分配器, 800MHz, PLL&分周器内蔵, 遅延調整, 8出力)を使用。500MHzで発振
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Timing, Report, OUT0/1...
 - Reportタブでの位相ノイズの見方
 - OUTタブでの出力形態とDivider/Termination設定
 - VCO位相ノイズを加えてOUTタブでジッタを確認
 - SNR from Jitterの説明
- ◆ AD9523-1(14出力デュアルPLL クロック・ジェネレータ)のデモ

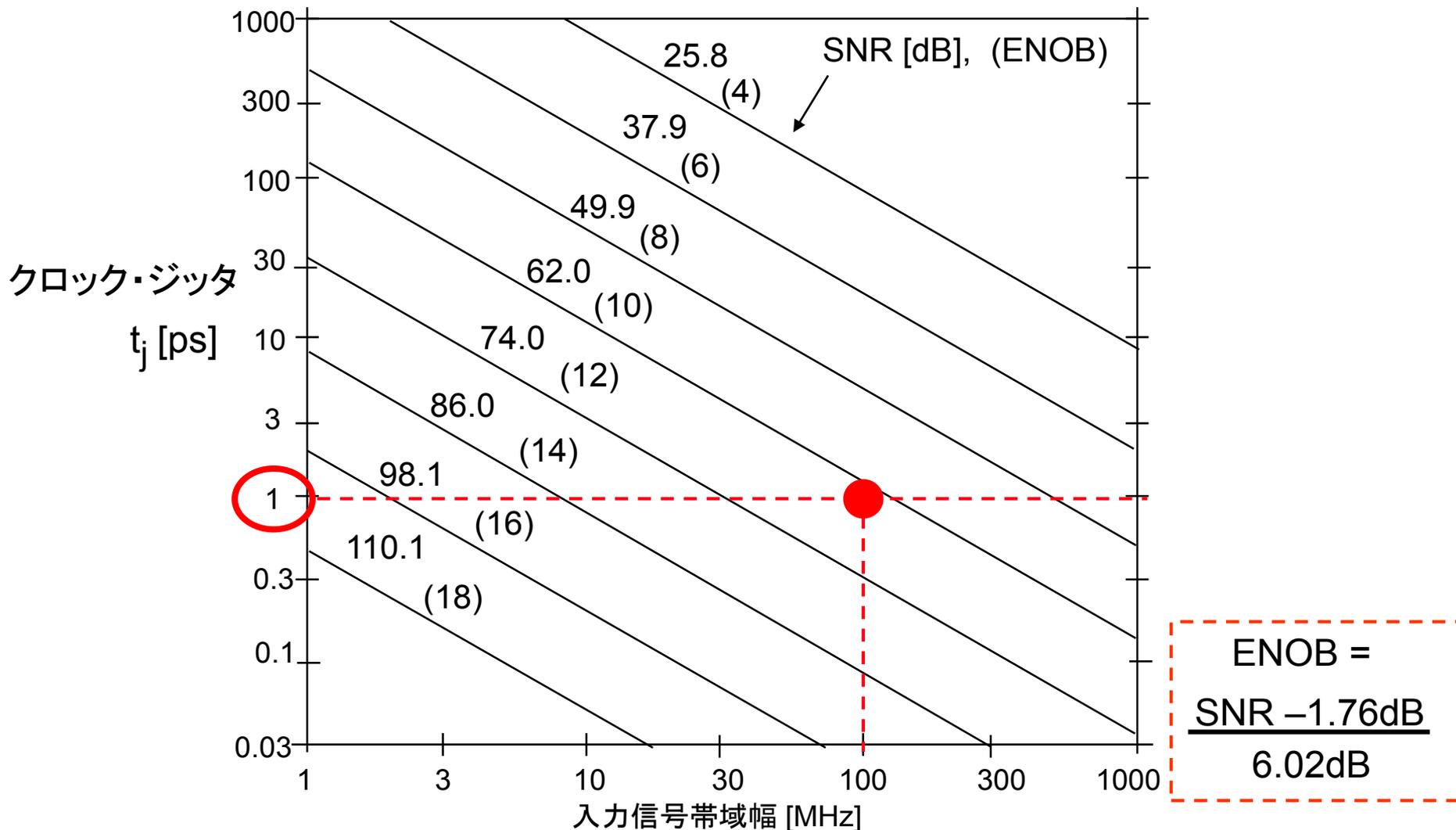


CLK製品用ツールADIsimCLKのデモと使い方

- ◆ 使い方はほぼADIsimPLLと同じ
- ◆ AD9510(クロック分配器, 800MHz, PLL&分周器内蔵, 遅延調整, 8出力)を使用。500MHzで発振
- ◆ **各パラメータの見方**
 - Components, Freq Domain, Time Domain, Schematic, Timing, Report, OUT0/1...
 - Reportタブでの位相ノイズの見方
 - OUTタブでの出力形態とDivider/Termination設定
 - **VCO位相ノイズを加えてOUTタブでジッタを確認**
 - **SNR from Jitterの説明**
- ◆ AD9523-1(14出力デュアルPLL クロック・ジェネレータ)のデモ



クロック・ジッタによる有効ビット(ENOB)の制限



ENOB: Effective Number Of Bits; 有効ビット数

CLK製品用ツールADIsimCLKのデモと使い方

- ◆ 使い方はほぼADIsimPLLと同じ
- ◆ AD9510(クロック分配器, 800MHz, PLL&分周器内蔵, 遅延調整, 8出力)を使用。500MHzで発振
- ◆ 各パラメータの見方
 - Components, Freq Domain, Time Domain, Schematic, Timing, Report, OUT0/1...
 - Reportタブでの位相ノイズの見方
 - OUTタブでの出力形態とDivider/Termination設定
 - VCO位相ノイズを加えてOUTタブでジッタを確認
 - SNR from Jitterの説明
- ◆ **AD9523-1(14出力デュアルPLL クロック・ジェネレータ)のデモ**

まとめ

- ◆ PLLで重要となる特性について説明した
 - ポイントは「応答特性と位相余裕」「位相(SSB)ノイズ」
- ◆ ADIsimPLLの使い方をご紹介した
 - ポイントは「応答特性と位相余裕」「位相(SSB)ノイズ」
- ◆ ADIsimPLLを使って実際にPLLを設計した例を示した
- ◆ クロック製品用のツール ADIsimCLKの使い方をデモした

