



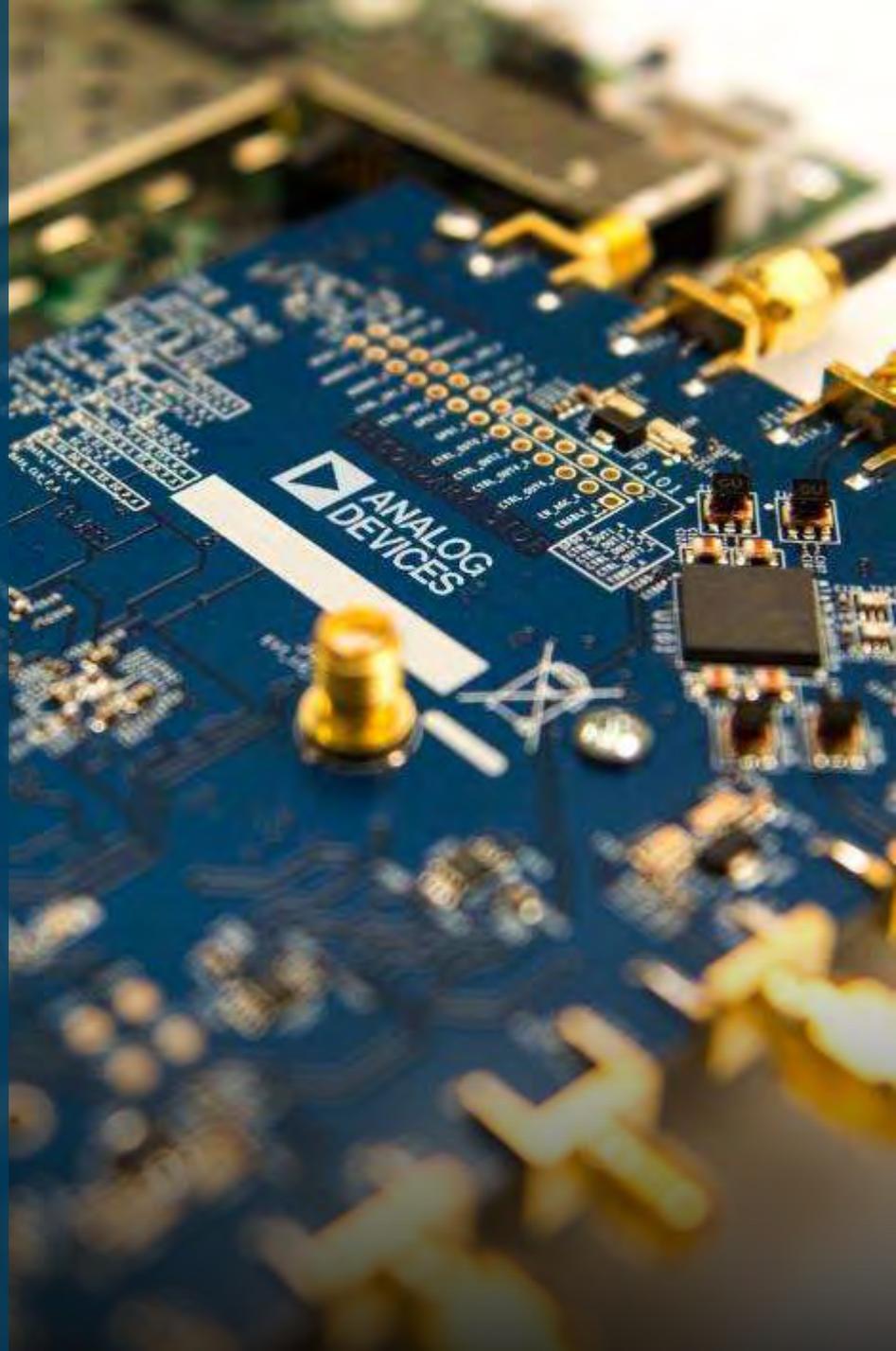
想像を超える可能性を  
AHEAD OF WHAT'S POSSIBLE™

# 高速コンバータ・インター フェース

## JESD204BのABC

アナログ・デバイセズ株式会社

藤森 弘己

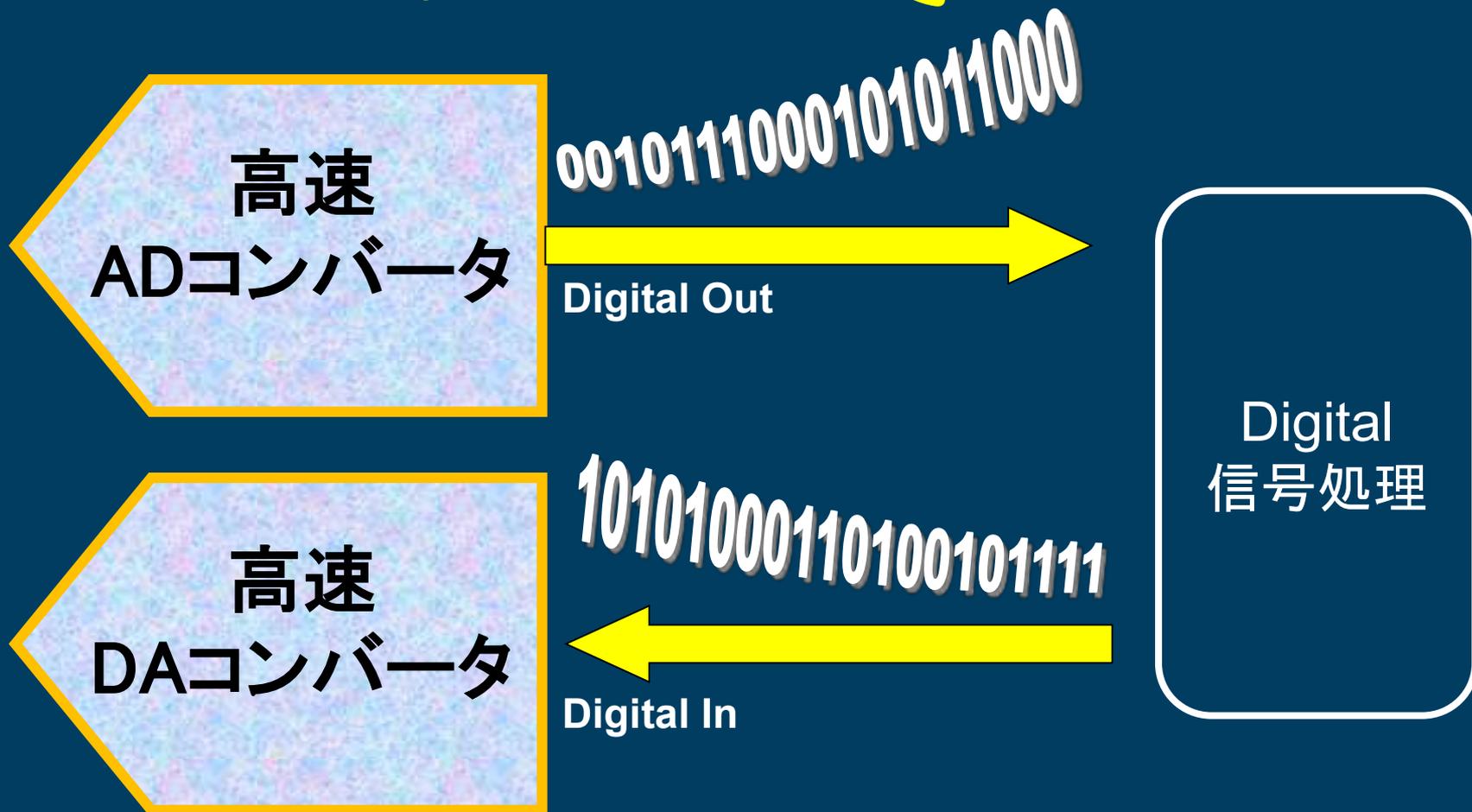


# 本日のAgenda

- (1) JESD204Bとは何のための規格？
- (2) 規格の経緯と特長、性能の概要
- (3) 他のインターフェースとの比較、ロジックの違い
- (4) レーン上のデータの形
- (5) 規格の中で使われる用語
- (6) 3種類の動作モードと使用する制御信号
- (7) データ伝送線の接続とアライメントをとる手順
- (8) リンクの確立とエラーの検出
- (9) 特徴的なスペック、ディタミニスティック・レイテンシとは？
- (10) アプリケーションでのメリット
- (11) 参考資料

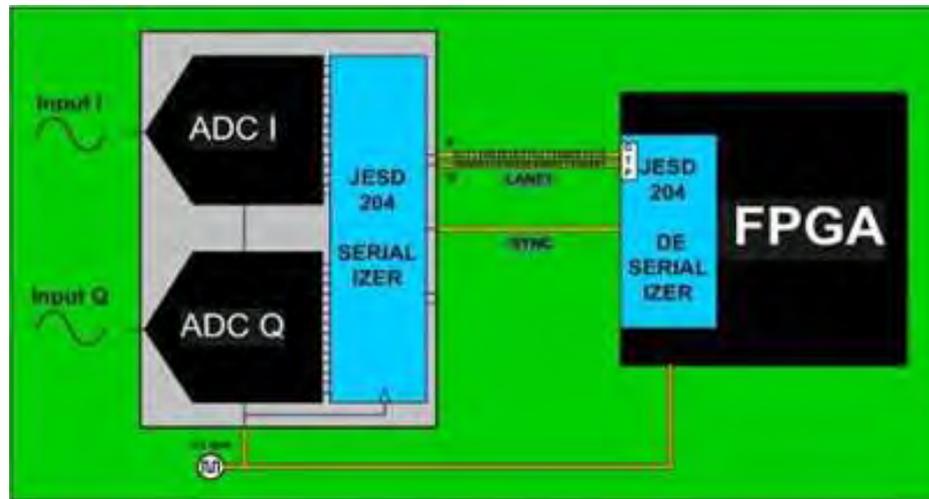
# ??GBPS

▶ (1)



# JESD204B ABCのA

- ❖ JESD204Bは、高速ADコンバータ、高速DAコンバータと、そのデジタル・データをやり取りするデジタル回路側を接続するインターフェースの規格です。
- ❖ 今後高速コンバータ・インターフェースのトレンドの一つになります。



- ❖ JESD204 (2006年)、JESD204A (2008年)、JESD204B (2011年)にリリース

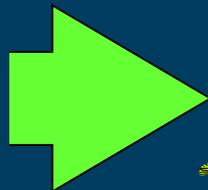
# データ伝送速度の比較

## シリアル1レーンあたりの速度

JUN 10, 2016

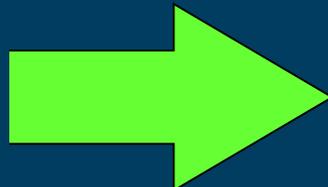
250MBPS

CMOS



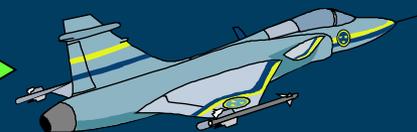
800MBPS

LVDS



12.5GBPS

JESD204B



## (2) 規格の経緯と特長、性能の概要

# JESD204 インターフェース規格の経緯

機能	JESD204	JESD204A	JESD204B
規格のリリース	2001	2006	2011
レーンの伝送速度	3.125Gbps	3.125Gbps	12.5Gbps
マルチ・レーン(コンバータ1台に複数レーン)	×	○	○
マルチ・デバイス(レーン1本に複数コンバータ)	○	○	○
レーン同期	×	○	○
ディタミニスティック・レイテンシ	×	×	○

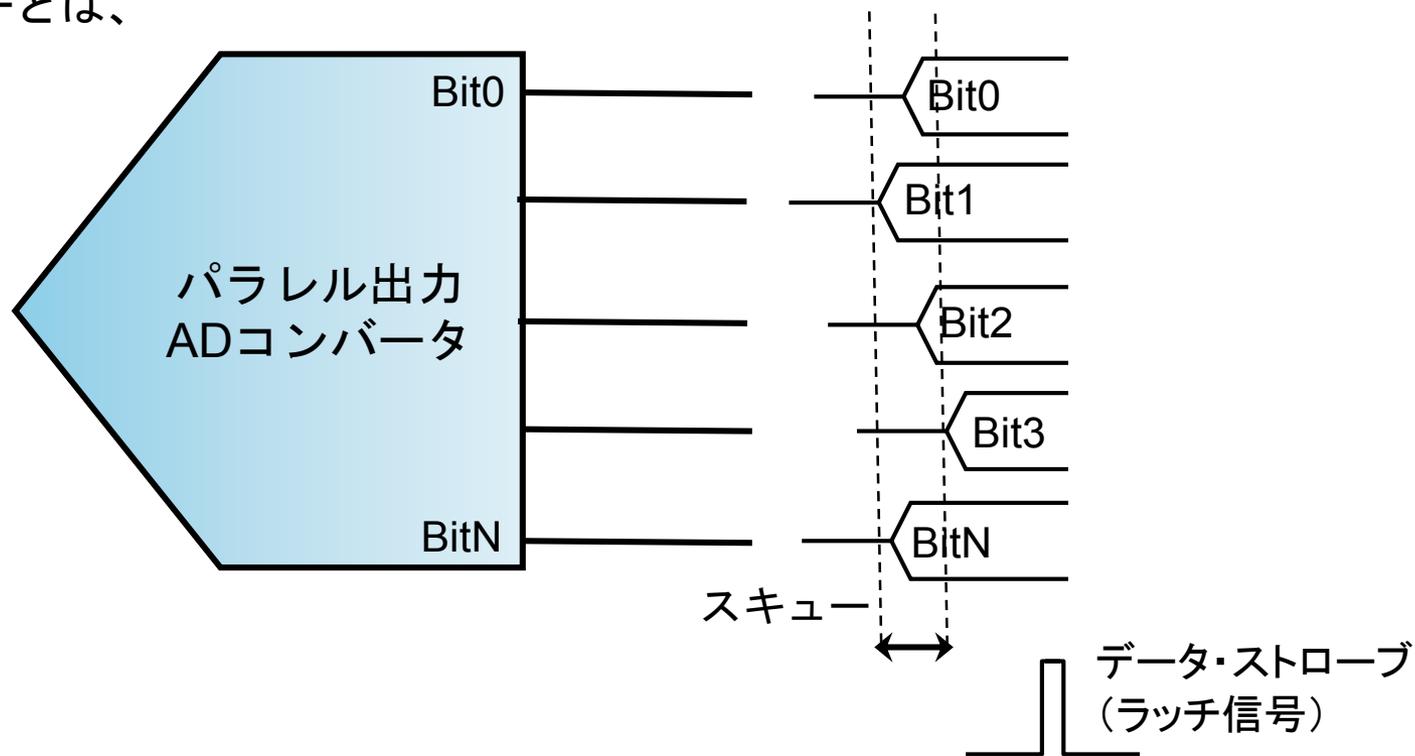
# JESD204Bの技術的な特長

- (1) 変換データは、シリアル伝送専用 SERDESを内蔵
- (2) データは1対の差動信号線（レーン）のみ
- (3) 伝送相度は最大12.5Gbps／レーン（最低312.5Mbps）
- (4) 伝送帯域が足りないときは、マルチレーン
- (5) 信号物理層は高速CMLロジック OIFの規格を借用
- (6) シリアル・データのビット・クロックは信号に埋め込み
- (7) 信号線は単一方向
- (8) 信号以外に数本の制御線（SYSREF、SYNC～）とデバイス・クロック
- (9) 3種類の動作モード（Subclass 0、1、2）
- (10) データミニスティック・レイテンシ(Deterministic Latency)

# なぜ大量のデータ伝送にシリアル通信か??

❖ パラレル・インターフェースの問題点 スキューと消費電力

□ スキューとは、

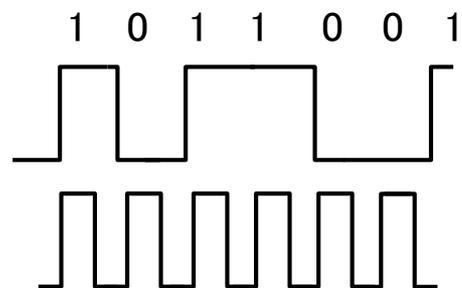


❖ 多チャンネル駆動のためのロジック・バッファの消費電力

□ 例 LVDS  $\pm 3.5\text{mA}$  3.3V電源電圧 16ビット パラレル

$$3.5 \times (3.3\text{V} - 350\text{mV}) \times 2 \times 16 = 330\text{mW}$$

# 話を進める前に “SkewとJitter”



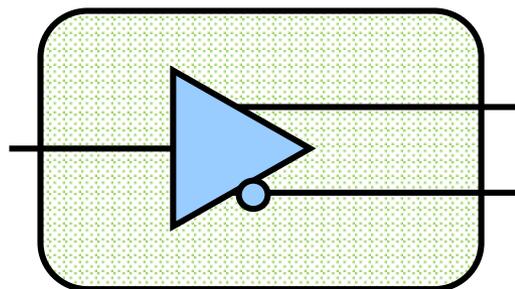
クロックに合わせてランダムなデータを入力

信号周波数=クロック周波数÷2

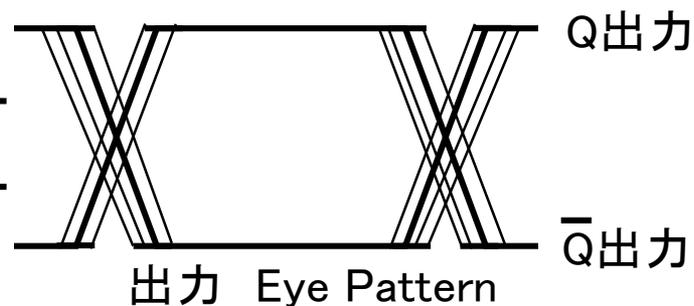
実際は擬似ランダム・パターン

JESD204Bは専用のパターンを使用します。

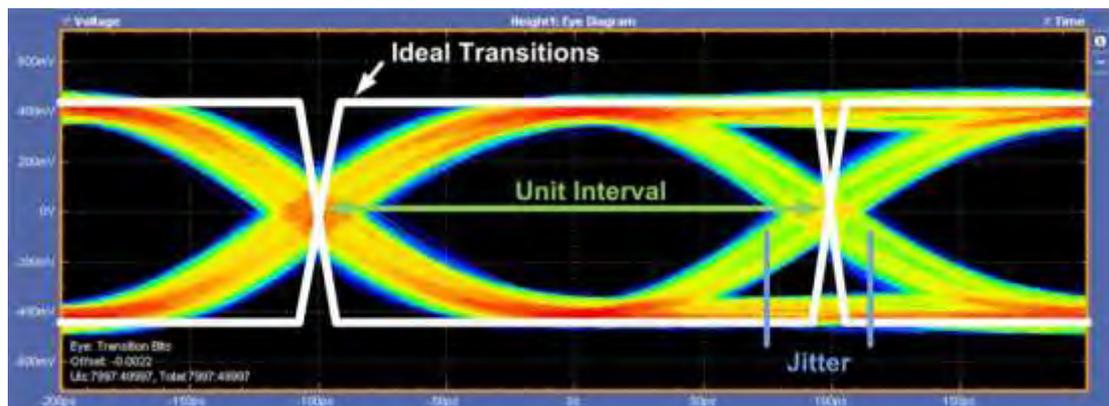
Modified RPAT あるいは JSPATを使います。



出力をクロック・タイミングで重ねると



UI: Unit Interval



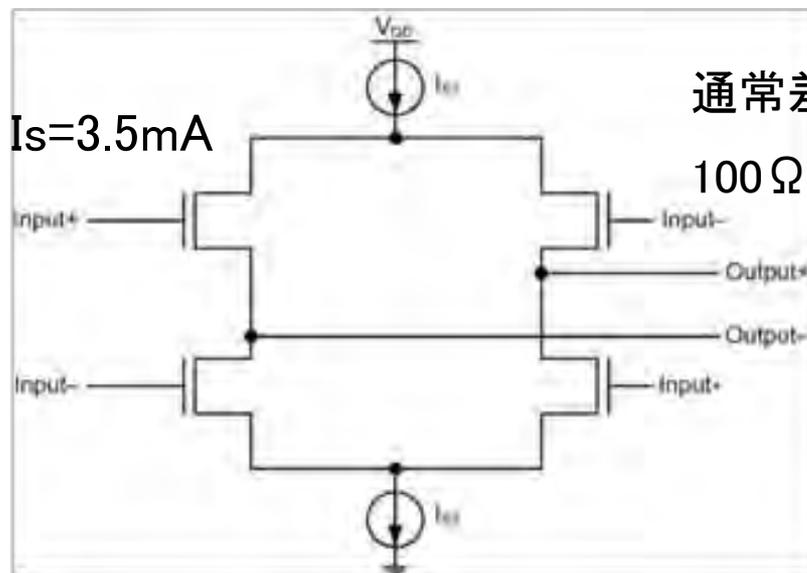
5Gbpsのアイパターン・ダイアグラムの例

# (3) 他のインターフェースとの比較 ロジックの違い

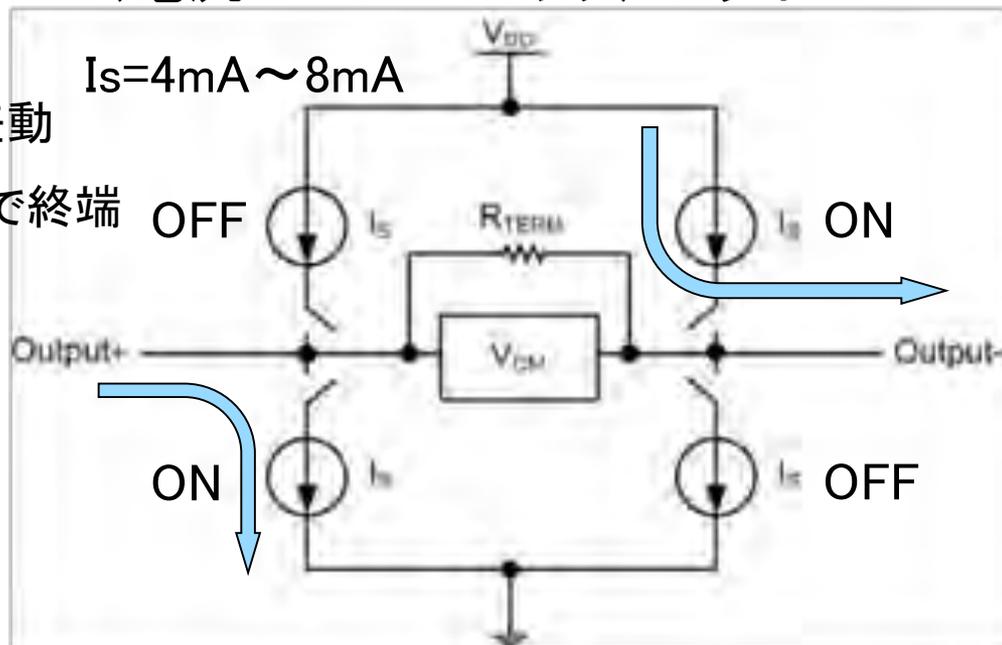
CMOS VS LVDS VS CML

# CML (Current Mode Logic)とLVDSのドライバー

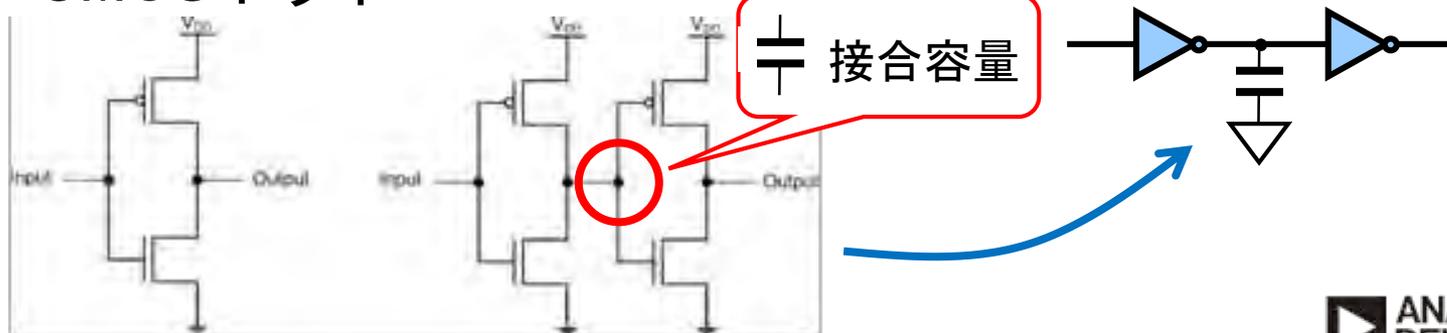
## LVDS ドライバー



## CML (電流モード・ロジック) ドライバー

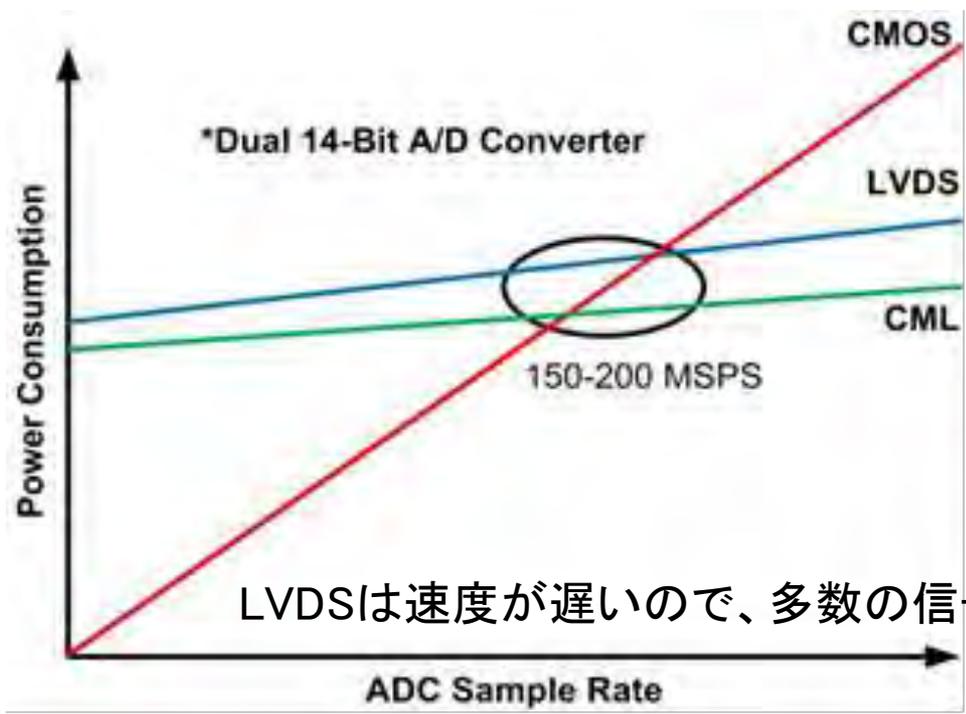


## CMOS ドライバー



# CML、LVDS、CMOSを使ったインターフェースの消費電力

CMOSインターフェースは、必ずしも低消費電力ではありません。  
CMOSは周波数が高くなるとCに充放電する電流が増加します。

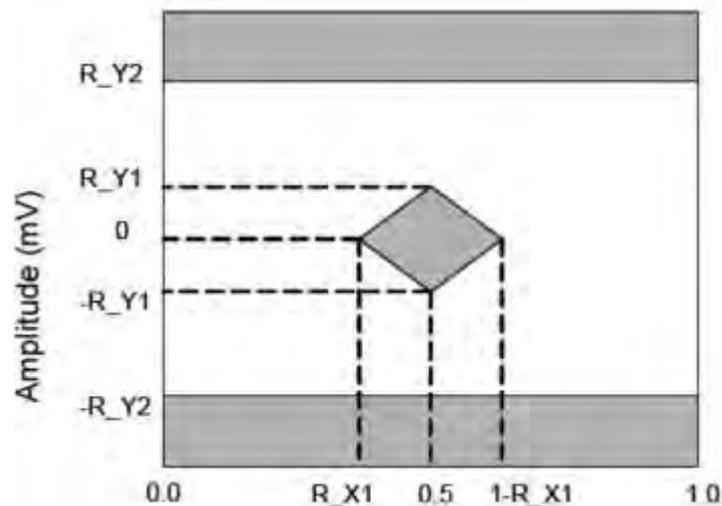
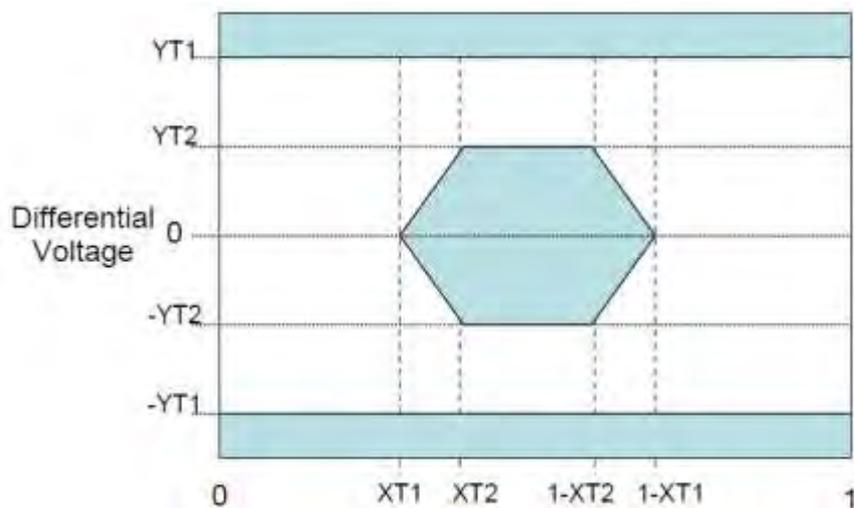


LVDSは速度が遅いので、多数の信号線が必要になります。

JESD204Bでは、レーン信号以外のロジックに指定はありません。

# JESD204Bのアイ・ダイアグラムのスペック例

送信側アイ      LV-OIF-6Gの場合      受信側アイ



XT1 (UI)	XT2 (UI)	YT1 (V)	YT2 (V)	T <sub>UBHPJ</sub> (p-p UI)	T <sub>DCD</sub> (p-p UI)	T <sub>J</sub> (p-p UI)
0.15	0.4	0.375	0.20	0.15	0.05	0.3

R_X1 (UI)	1-R_X1 (UI)	R_Y1 (V)	R_Y2 (V)	R-SJ-hf (p-p UI)	R-SJ-max (p-p UI)	R_BHPJ (p-p UI)	T <sub>J</sub> (p-p UI)
0.30	0.70	0.0625	0.375	0.05	5	0.45	0.60

アイ・ダイアグラムのスペックは通信速度のクラスにより異なります。

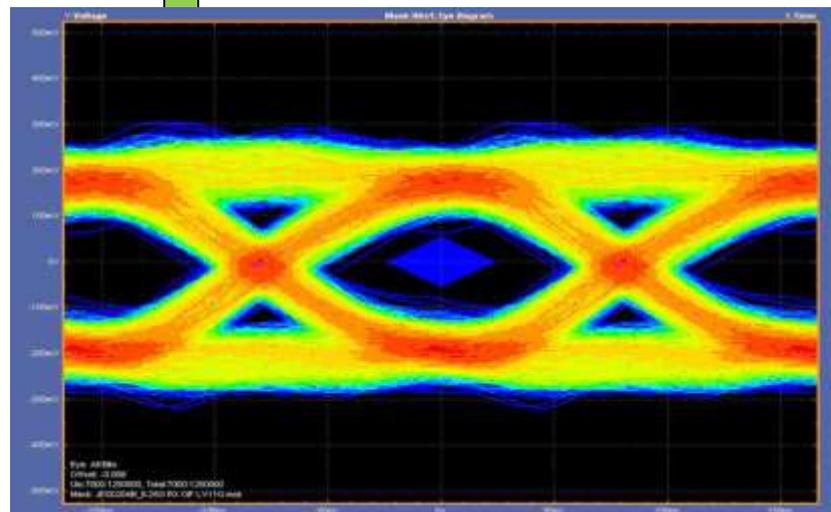
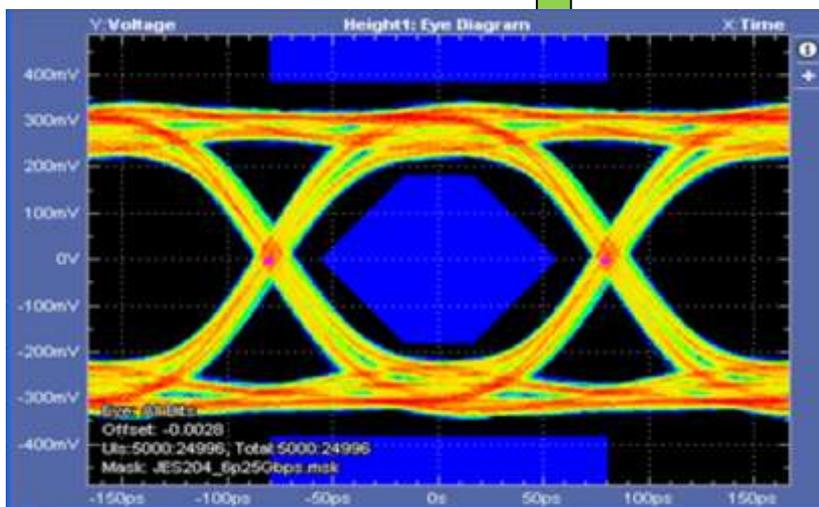
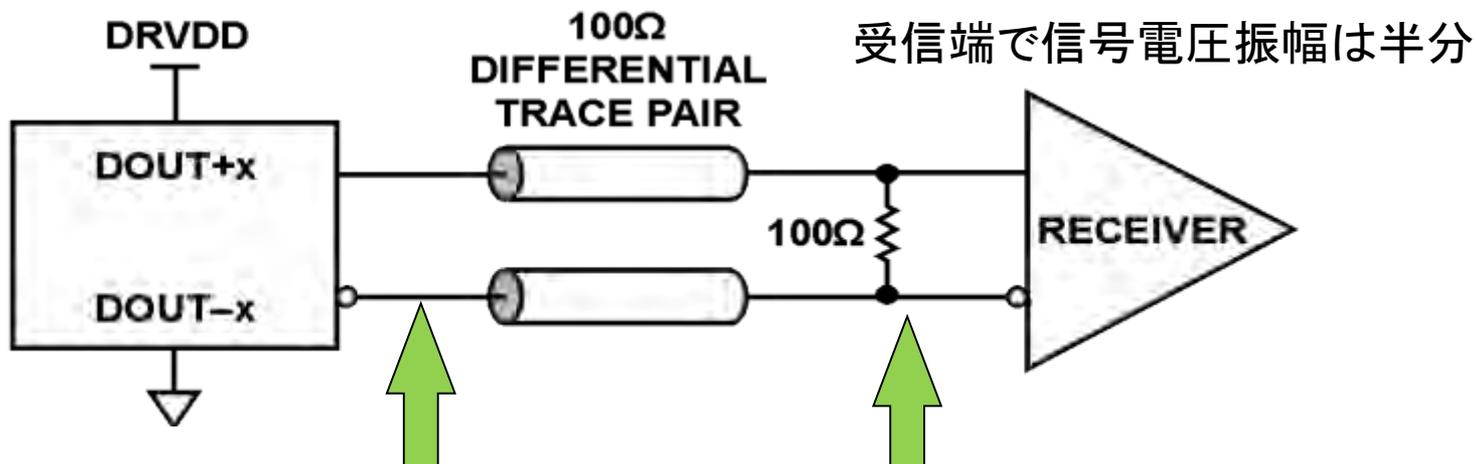
# JESD204Bの通信速度によるクラス分け

## レーンの伝送速度

- (1) 312.5Mbps～3.125Gbps (LV-OIF-Sx15)
- (2) 312.5Mbps～6.375Gbps (LV-OIF-6G-SR)
- (3) 312.5Mbps～12.50Gbps (LV-OIF-11G-SR)

	仕様名	XT1	XT2	YT1	YT2	Total Jitter(p-p)	同相電圧	*1
	LV-OIF-Sx15	0.175	0.45	0.5	0.25	0.35	0.72～1.23	
送信側	LV-OIF-6G-SR	0.15	0.4	0.375	0.2	0.3	0～1.8	*2
	LV-OIF-11G-SR	0.15	0.4	0.385	0.18	0.3	0～1.8	*2
	LV-OIF-Sx15	0.28	0.39	0.5	0.0875	0.56	0.7～Vtt	
受信側	LV-OIF-6G-SR	0.3	0.7	0.0625	0.375	0.6	0.475～Vtt+0.125	*2
	LV-OIF-11G-SR	0.35	0.65	0.055	0.525	0.7	0.475～Vtt+0.125	*2
*1 単位はXT1,XT2,Total JitterはUI、YT1,YT2,同相電圧がVolt								
*2 同相電圧は、終端回路とカップリング (AC/DC) により変わります								

# JESD204Bのレーンの接続



高速信号なので、インピーダンス・マッチング、終端処理、等距離配線などの配慮が必要。レイアウトでアイをつぶさないように設計する。

## CMLレーン信号のPre-Emphasis (Equalizing)

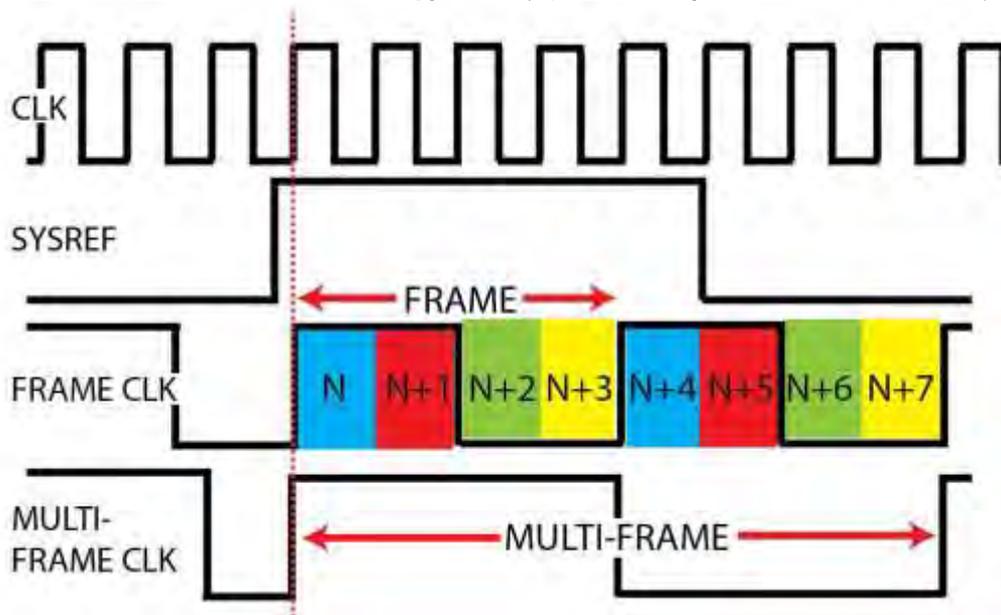
- ❖ JESD204Bのレーン信号には、伝送特性を補償するPre-Emphasis、あるいはEqualizingの機能がついています。
- ❖ この機能をオンにすると、周波数特性にピークが増大し、ケーブルロスを補償することができます。
- ❖ 実際にはパルスのエッジにオーバーシュートが発生し、伝送路の損失による帯域の低下を補正します。
- ❖ 送信側につける補正をPre-Emphasis、受信側につける補正をEqualizerと呼びます。
- ❖ メーカー/製品により特性が異なります。
- ❖ JESD204Bの規格では、これらの機能をつけることができますという記述だけです。

## (4) レーン上のデータの形

オクテットとキャラクタ

# レーン上のデータの形 (Octet, Character, Frame)

- ❖ データの最小単位はオクテット（8ビット）です。
- ❖ オクテットは8b/10b変換で、レーン送出前に10ビットのキャラクタ・データに変換されます。
- ❖ 複数の連続するキャラクタをまとめたブロックをフレーム（Frame）と呼びます。
- ❖ 連続する複数のフレームをまとめたブロックをマルチ・フレームと呼びます。
- ❖ SYSREFによりフレームの位相（頭）がそろえられます。



4キャラクタ/フレーム  
2フレーム/Mフレーム

# オクテット (Octet) とキャラクタ (Character)

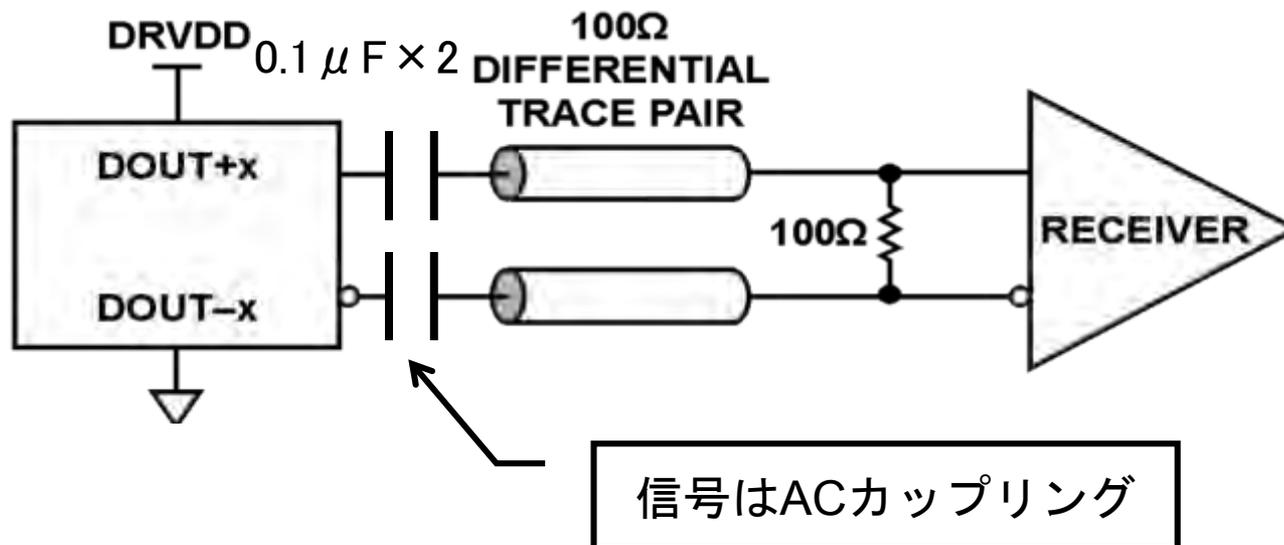
- ❖ JESD204Bの中では、データは8ビットを最小単位として扱います。これをオクテット (Octet) と呼びます。バイト (Byte) とは異なった意味があります。
- ❖ 実際に通信路に送出されるデータは、8ビットのオクテットを10ビットのデータにエンコード (変換) します。この変換を、8b/10bエンコードと呼び、10ビットのワードをキャラクタ (Character) と呼びます。変換方法はIEEE803.2に準じます。
- ❖ データ以外に制御コードと呼ばれるキャラクタが決められています。内容は下記の表を参照してください。CGSやILAS、Stand-byのフェーズで使用されます。

制御キャラクタ・コード K28.Xの例

文字名	制御コード名	8 bit コード	10 bit コード (RD=-1)	10 bit コード (RD=+1)	Note
R	K28.0	00011100	0011110100	1100001011	Start of Multi-Frame
A	K28.3	01111100	0011110011	1100001100	Lane Alignment
Q	K28.4	10011100	0011110100	1100001011	Start of link configuration data
K	K28.5	10111100	0011111010	1100000101	Group Synchronization (Comma)
F	K28.7	11111100	0011111000	1100000111	Frame Alignment

IEEE803.2では12種類の制御コードが定められていますが、JESD204Bではその全てを使用しているわけではありません。

## 8b/10bエンコードを行う理由



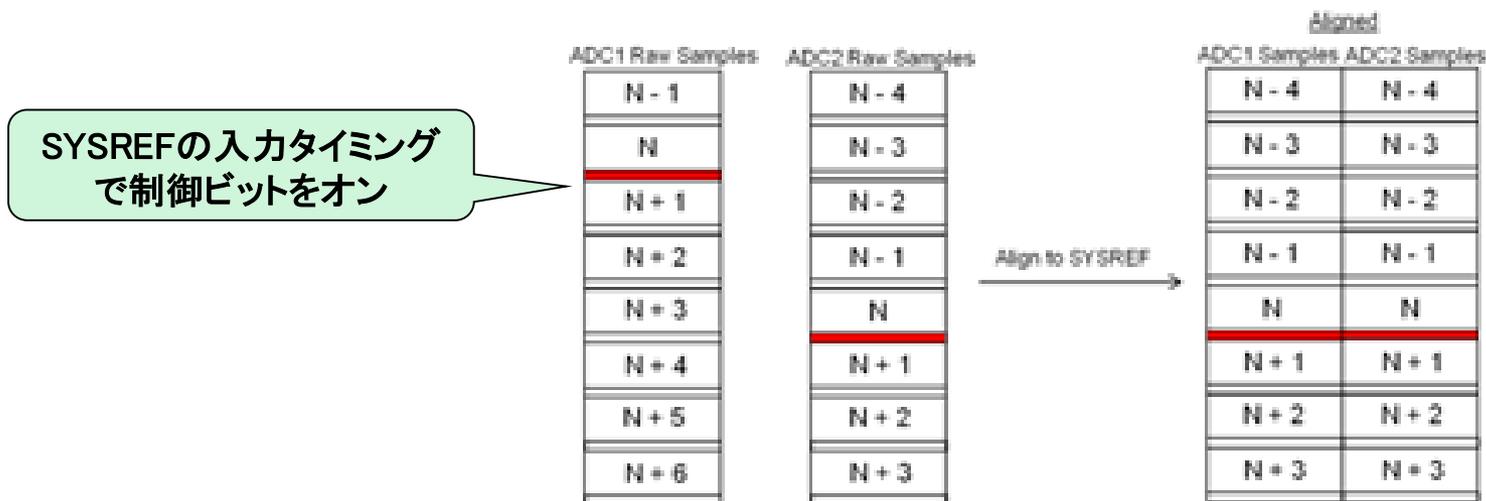
- ❖ ACカップリングのため、シリアルデータの1と0に比率に偏りがあると、動作点のバイアスがどちらかにずれてしまう。それを防ぐため、2ビット追加し、ルックアップ・テーブルによりオクテットを1/0の比率が極端に偏らない10ビット・コード（キャラクタ）に変換。
- ❖ 1や0が5ビット以上連続しないコードに変換し、クロック・リカバリを容易にする
- ❖ 変換の前に、データ・スクランブルが行われる。（データ送信時のみ）

JESD204Bでは通信帯域(12.5Gbps)を全てデータ通信に使えるわけではありません。20%のオーバーヘッドがあります。

# 制御ビットとテール・ビット

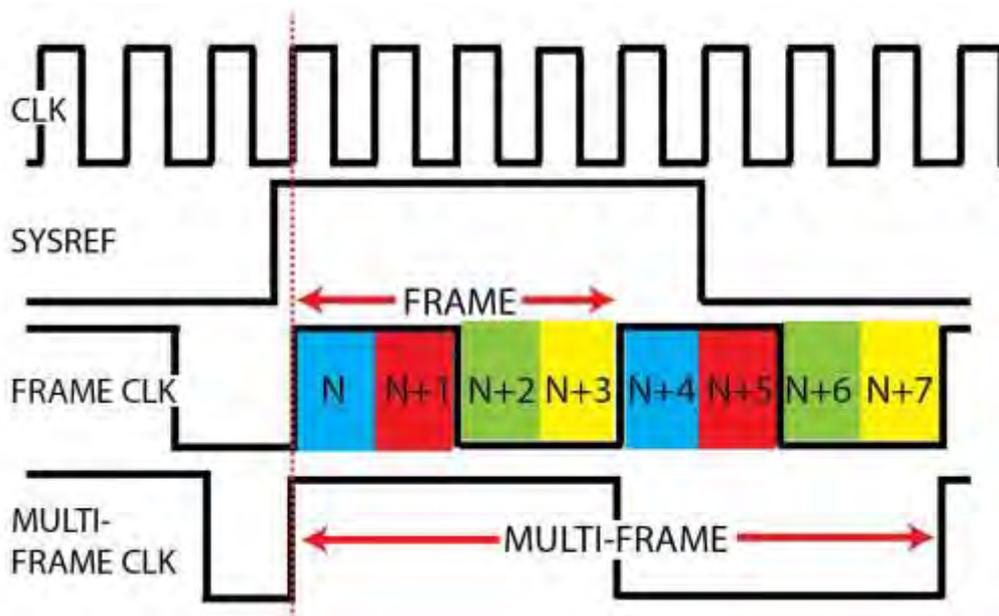
- ❖ データの最小単位は、8ビット（オクテット）です。例えば、12ビット・コンバータには2オクテットが必要です。
- ❖ 1サンプルのデータの中で余ったビット（例では4ビット）には、制御ビット（制御コードではありません）が割り当てられます。またそれでも使用しないビットは、テール・ビットと呼ばれダミービットが挿入されます。（テール・ビットにもランダム化は必要？）

## 制御ビットを使用した、タイム・スタンプ機能の例



# デバイス・クロックとSYSREF、SYNC~ (レーン信号以外のJESD204Bの制御信号)

- 1) デバイス・クロックはシステム全体のタイミング基準クロック。送受信双方のデバイスに入力されます。(これらの信号は、CMLではない)
- 2) SYSREFは、クロック回路から送信側に入力されるタイミング合わせのための信号。サブクラス0と2では使用しない。
- 3) SYNC~信号は、受信側から送信側に送られる、ILAS開始の要求、あるいはREADY信号。ILASが正しく完了するとHになる。リンクが外れると、再びLになる。



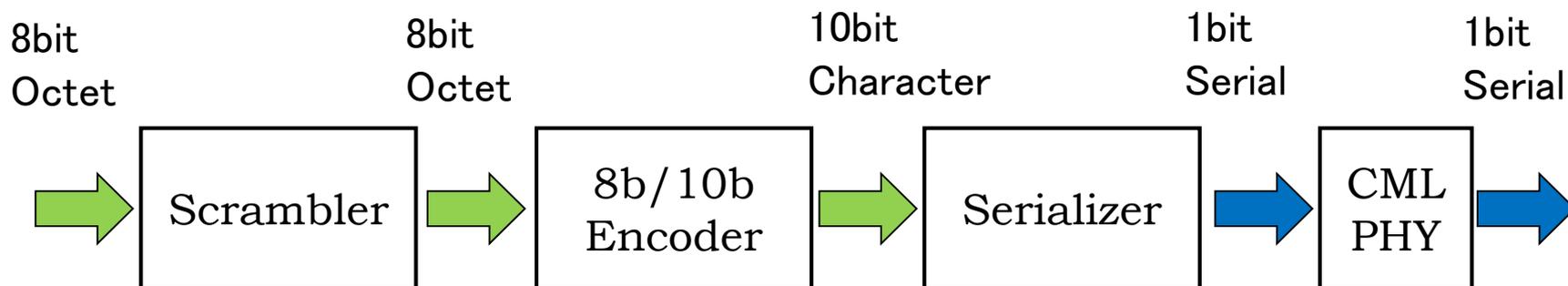
SYSREF、SYNC~は、  
通常DC結合

## (5) 規格の中で使われる用語

# JESD204B規格の中で使用される用語 (1)

## ❖ データの形などを表す用語

- ❑ Octet : 8ビットのデータ。複数ビットのデータを扱う最小単位
- ❑ Character : オクテットと8b/10b変換して出力される10ビットのデータ。  
JESD204Bのレーン上のデータは、キャラクタの形態です。
- ❑ 8b/10bエンコード : 8ビット／ワードのオクテット・データを、10ビットのキャラクタに変換します。変換はIEEE803.2に定められる、ルックアップ・テーブルを使います。1と0の比が極端にならないよう変換します。
- ❑ Scrambler : データによるスペクトラムをランダム化するためのスクランブラーオクテットのデータを処理します。ScramblerはEnable/Disable選択可能

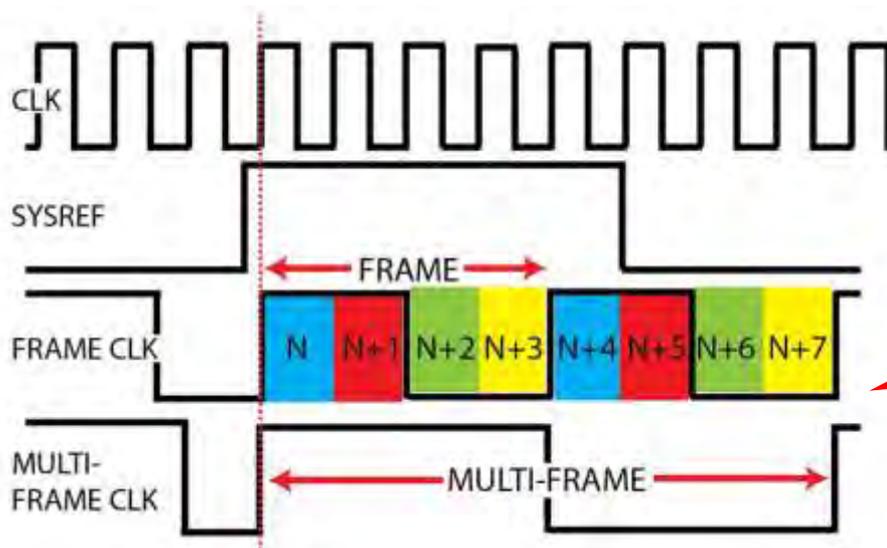


## JESD204B規格の中で使用される用語 (2)

### ❖ レーン上のデータの形に関わる用語

- ❑ Frame : 連続するOctet (Character) をまとめて送る際の、ひとかたまりのデータ。この中には、複数のOctetが含まれます。
- ❑ Multi-Frame : 連続するFrameをまとめて送る際の、ひとかたまりのデータ。この中には複数のFrameが含まれています。
- ❑ Frame Clock : Frameの区切りを示すクロックです。
- ❑ Local Multi-Frame Clock : Multi-Frameの区切りを示すクロックです。

### ❖ フレームクロック類は、直接外部よりモニターすることはできません



Device Clock:  
全ての動作の元になる  
基準クロックです

データは全て  
フレーム化されて  
伝送されます

## JESD204B規格の中で使用される用語 (3)

### ❖ JESD204B動作のパラメータ

□L : レーンの数

□M : リンク上のコンバータの数

□N : コンバータの分解能

□N' : 1サンプルのなかで送信される情報ビット数。データビット+コントロール・ビット+テールビット。

□F : 1フレームあたりのオクテット数 (最大32個)

□K : 1マルチ・フレームあたりのフレーム数 (最大32個)

□S : コンバータひとつのフレームあたりのサンプル数 (最大32個)

□FsあるいはSC : サンプル・クロック (変換間隔、サンプリング・クロック周波数)

□LR : Lane Rate レーンの最大伝送レート。これは次のように計算されます。  
$$LR = (M \times N' \times (10/8) \times Fs) \div L$$

## (6) 3種類の動作モードと使用する制御信号

制御信号とリンクの確立

サブクラス 0, 1, 2

# デバイス・クロックと制御信号（SYSREF、SYNC～） データ・レーン以外の信号線

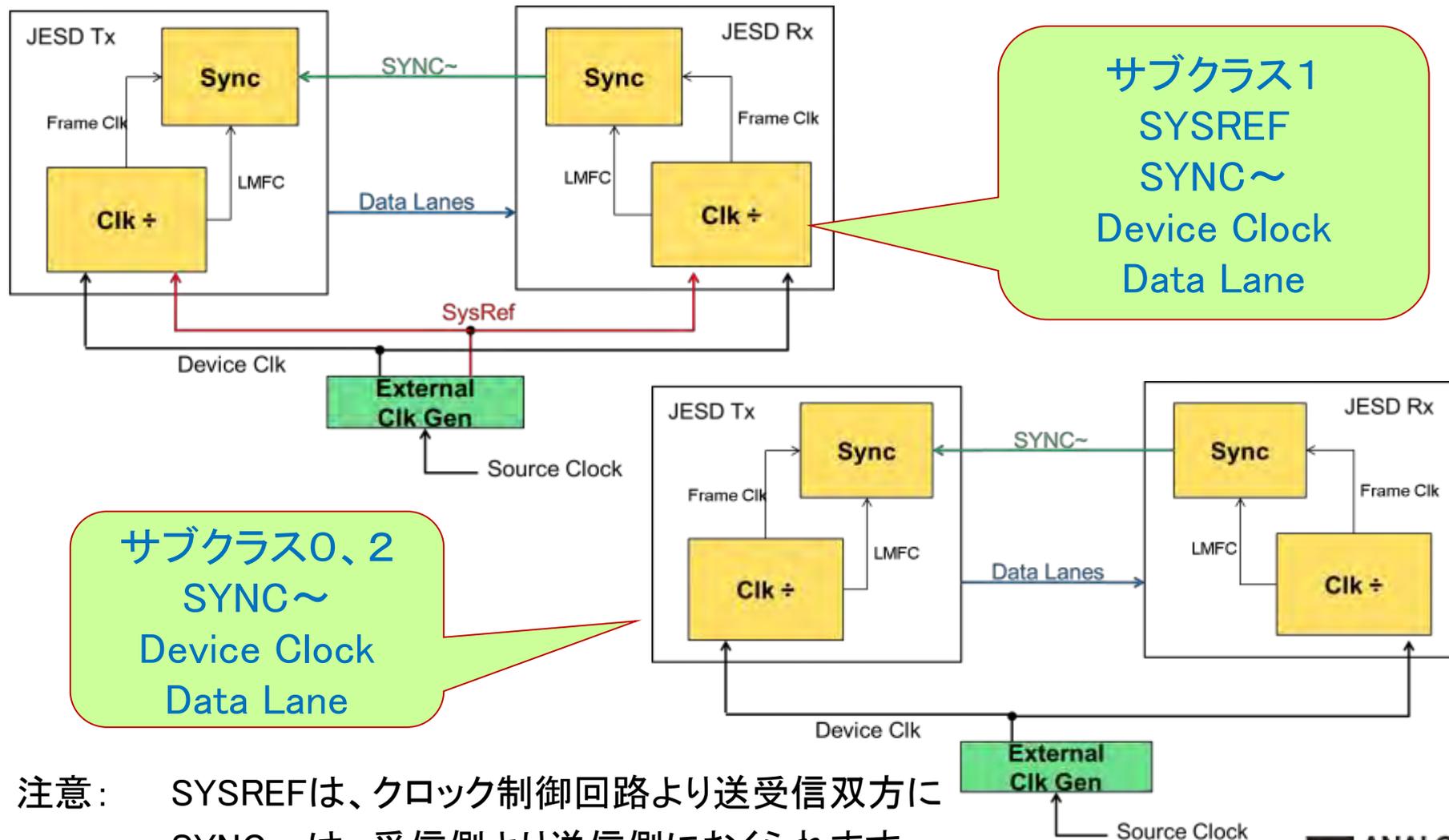
- ❖ JESD204Bは、データ・レーン以外に、(1)デバイス・クロック、(2) SYSREF、(3) SYNC～という3種類の信号を必要とします。これらは、CMLである必要はありません。
- 1) デバイス・クロックは、この伝送システム全体の基準クロックです。外部のクロック回路から供給されます。SYNC～、SYSREFは、このクロックを元に作られます。SYNC～、SYSREFともにレーンの初期アライメントの際に使います。
  - 2) SYSREFは、デバイス・クロックと同期して複数レーンのフレーク・クロックの位相を合わせます。
  - 3) SYNC～は、デバイス・クロックと同期してレーンの初期アライメントの処理（CGS、ILAS）のスタート合図をだします。
- Note: SYNCについている～は、信号がアクティブLの負論理という意味です。

## 3種類の制御モード (Subclass 0, 1, 2) と制御信号

- ❖ Subclass 0 : 使用する信号線は、Lane、Device Clock、SYNC~の3本です。Deterministic Latency\*1は、定義されません。
  - JESD204、JESD204Aとの互換性を取るための規格です。
- ❖ Subclass 1 : 使用する信号線は、Lane、Devices Clock、SYNC~、SYSREFの4本です。Deterministic Latency\*1が定義されます。
  - ADI製品の推奨動作モードです。ただしサブクラス0, 2の動作モードの設定も可能です。
- ❖ Subclass 2 : 使用する信号線は、Lane、Device Clock、SYNC~の3本です。Deterministic Latency\*1が定義されます。

\*1 Deterministic Latencyは、データのディレイに関する規格です。

# 各サブクラスの接続の違い

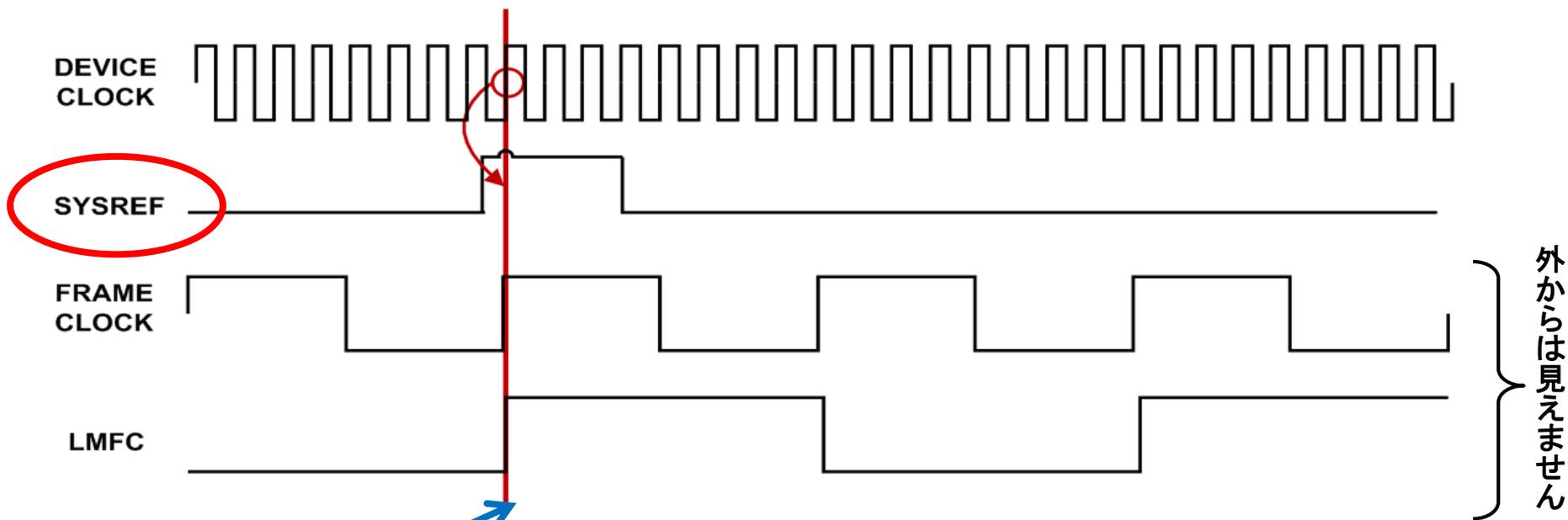


注意: SYSREFは、クロック制御回路より送受信双方に  
 SYNC~は、受信側より送信側におくられます。

# (7) データ伝送線の接続とアライメントを とる手順

# SYSREFとSYNC~の動作（1） （レーンの同期作業開始の合図）

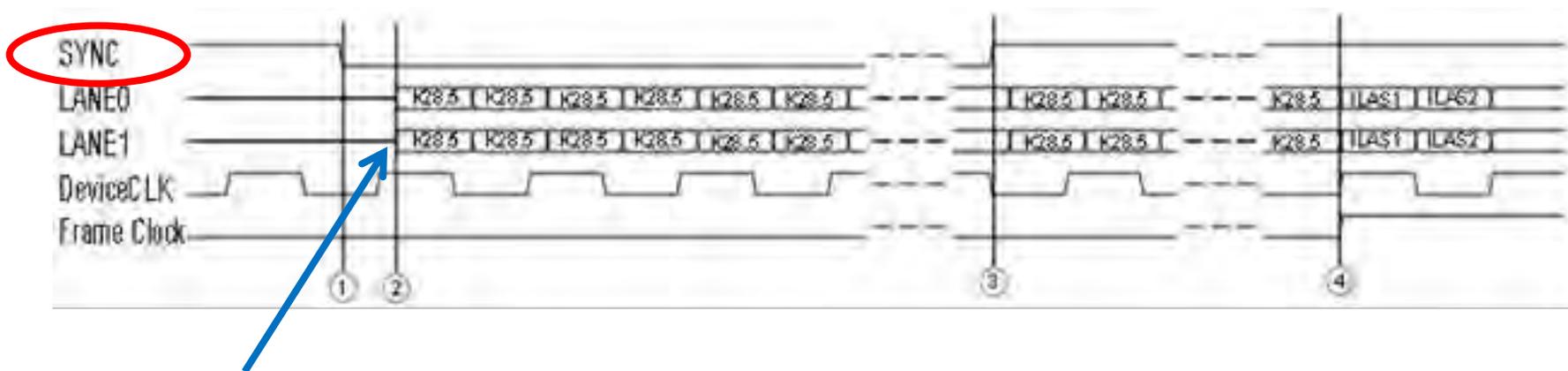
- ❖ SYSREF信号は、サブクラス1でのみ定義されます。



SYSREF信号が入力されると、デバイス・クロックでサンプリングされ、フレーム・クロック/マルチ・フレーム・クロックの位相を合わせます

# SYSREFとSYNC~の動作（2） （レーンの同期作業開始の合図）

- ❖ SYNC~信号は、全てのサブクラスで定義されます。



SYNC~信号が送信側に入力されると、デバイス・クロックでサンプリングされ、レーン・アライメントの作業を開始します。

この図は、2本のレーンでの動作を示しています。SYNC~信号入力により送信側は最初の特異文字であるK28.5の送信を始めます。JESD204Bの初期動作は、必ずこの手順から始まります。

# JESD204Bで使用される制御コード

## 制御キャラクタ・コード K28.X

文字名	制御コード名	8 bit コード	10 bit コード (RD=-1)	10 bit コード (RD=+1)	Note
R	K28.0	00011100	0011110100	1100001011	Start of Multi-Frame
A	K28.3	01111100	0011110011	1100001100	Lane Alignment
Q	K28.4	10011100	0011110100	1100001011	Start of link configuration data
K	K28.5	10111100	0011111010	1100000101	Group Synchronization (Comma)
F	K28.7	11111100	0011111000	1100000111	Frame Alignment

- ❖ JESD204Bでは、12種類の制御コード全てには使いません。
- ❖ コードは、/R/のように表現されます。
- ❖ /F/以外は、リンクのアライメント確立のときに使用されます。
- ❖ ランニング・ディスパリティにより+と-のコードが交互に発生されます。

# JESD204B リンク接続確立の手順 CGSとILAS

- 1) 電源オンのあと、整定時間を経た後、動作設定の通信ポート（SPI, etc）を通して、内部動作（PLLの周波数や、タイミングアジャスト等）設定のコードを送る。



- 2) クロック回路は、SYSREF信号を送出し、フレームクロックの頭をそろえる。これはサブクラス 1 のシステムのみでの処理です。



- 3) 受信側より送信側にSYNC～のH→L遷移を送出し、リンクのためのハンドシェイク作業を始める。



- 4) 送信側は/K/（K28.5）をスクランブル無しでキャラクタを連続送信し、受信側は4個以上正しく受信された場合、SYNC～をHに戻します。CGSフェーズ。（文字が正常に受け取れない場合は??）



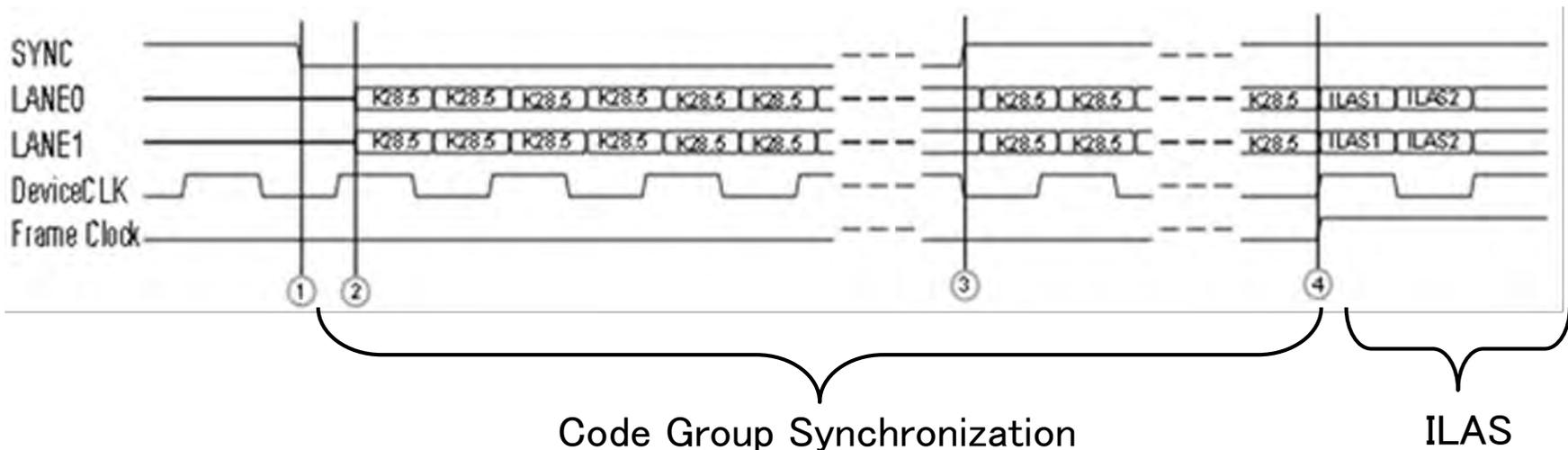
- 5) 送信側は、これを見てILASフェーズに移り、動作設定のコンフィギュレーション・データを含む4個×14キャラクタのマルチフレーム・データを送出する。これが正しく終了すると、データの送信を開始する。スクランブルはありません。

**CGS: Code Group Synchronization    ILAS: Initial Lane Alignment Sequence**

# レーン・アライメントの手順 CGSとILAS (その2)

## CGS : Code Group Synchronization

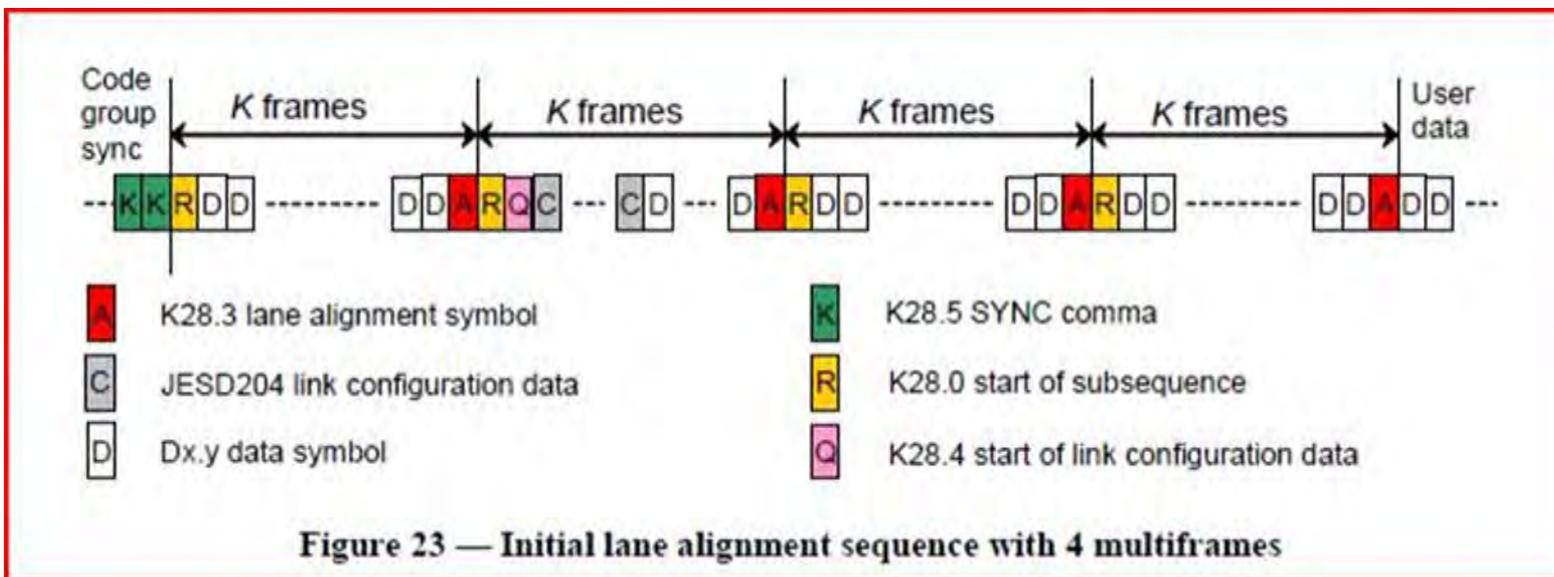
- ❖ 送信側は、SYNC~を受け取ると、設定されたレーンレートで/K/キャラクタ (K28.5) をスクランブル無しで連続送信します。
- ❖ 受信側は、K28.5が正しくデコードされて出力されるかモニターします。
- ❖ 4個以上の連続する/K/が正しく受信されるまで、次のステップへ行きません。
- ❖ コードが正しく受信されると、SYNC~はHにもどります。
- ❖ このステップをCGSと呼びます。



# レーン・アライメントの手順 CGSとILAS (その3)

## ILAS : Initial Lane Alignment Sequence

- ❖ CGS確立後 ILASフェーズでリンクのアライメントをとります。
- ❖ 4つの連続するマルチフレームからなります。
- ❖ M-Frame1 : /R/で始まり、/A/で終わるダミーデータ、M-Frame2 : /R/、/Q/で始まり/A/でおわる14オクテットのConfig Data、M-Frame3と4 : MFLM1と同じ。全てスクランブル無しです。
- ❖ ILAS終了後、データの送信開始



# Configuration Register File

## (14 Octets セットアップ情報)

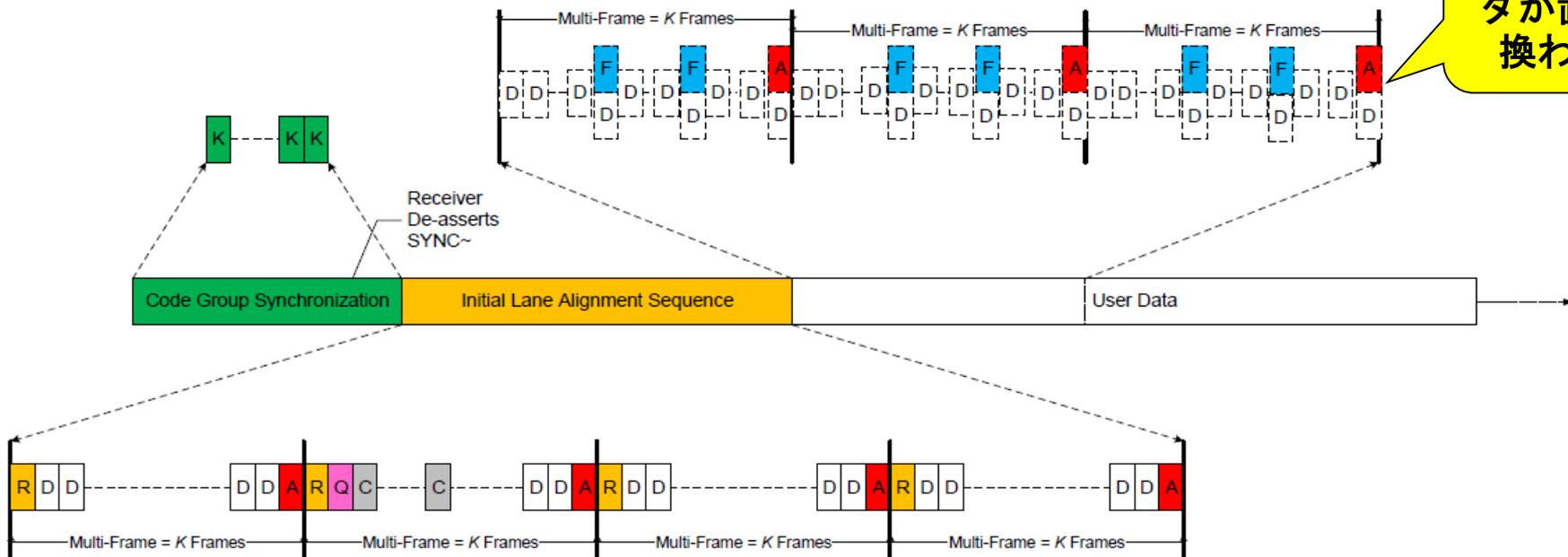
Configuration octet no.	Bits							
	MSB	6	5	4	3	2	1	LSB
0	DID<7:0>							
1	ADJCNT<3:0>				BID<3:0>			
2	X	ADJDIR<0>	PHADJ<0>	LID<4:0>				
3	SCR<0>	X	X	L<4:0>				
4	F<7:0>							
5	X	X	X	K<4:0>				
6	M<7:0>							
7	CS<1:0>		X	N<4:0>				
8	SUBCLASSV<2:0>			N*<4:0>				
9	JESDV<2:0>			S<4:0>				
10	HD<0>	X	X	CF<4:0>				
11	RES1<7:0> - Set to all X							
12	RES2<7:0> - Set to all X							
13	FCHK<7:0>							

## (8) リンクの確立とエラーの検出

# リンク確立後 レーンに送出されるデータの形

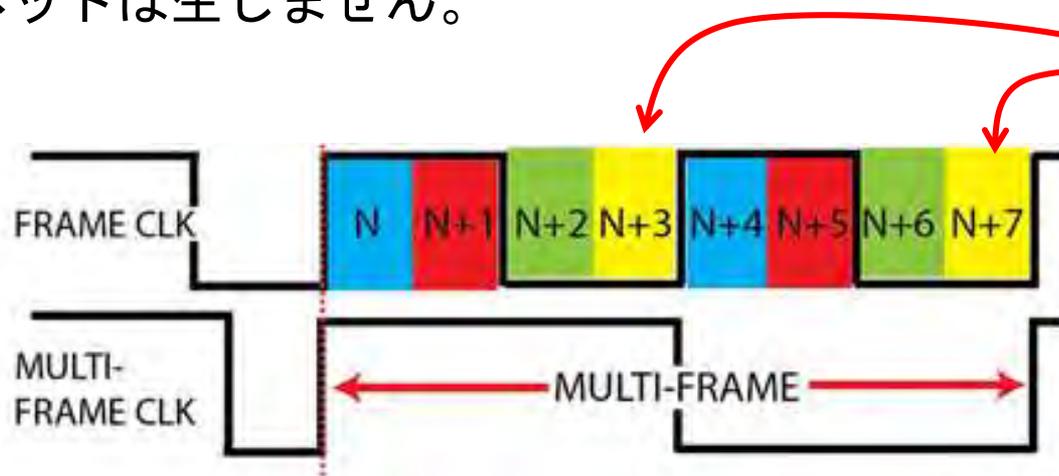
- ❖ CGSでは常に/K/コードが連続して送出されます。
- ❖ ILASでは、4個のマルチ・フレームは全て/R/で始まり/A/で終わります。
- ❖ 実際のデータ送受信では、時々フレームやマルチフレームの最後のキャラクタが/A/や/F/に置き換えられる以外、フレームの区切りを示す特別な目印となるコードはありません。

時々データが置き換わる



# キャラクタの置き換えと、アライメント・モニター

- ❖ データのマルチ・フレーム、あるいはフレームの最後のキャラクタが、時々特定の制御コード（/F/あるいは/A/）に置き換えられます。（アライメント文字）これはある条件により偶然起こります。
- ❖ このデータの置き換えは、一つ前のフレームの最後のオクテットと今のフレームの最後のオクテットを比較して置換が実行されます。
- ❖ この置換されたデータをモニターし、レーンのアライメントを確認します。
- ❖ したがってこのモニター動作は、偶然の条件により実行されます。
- ❖ アライメント・モニター用文字は、データに埋め込まれるので、オーバーヘッドは生じません。



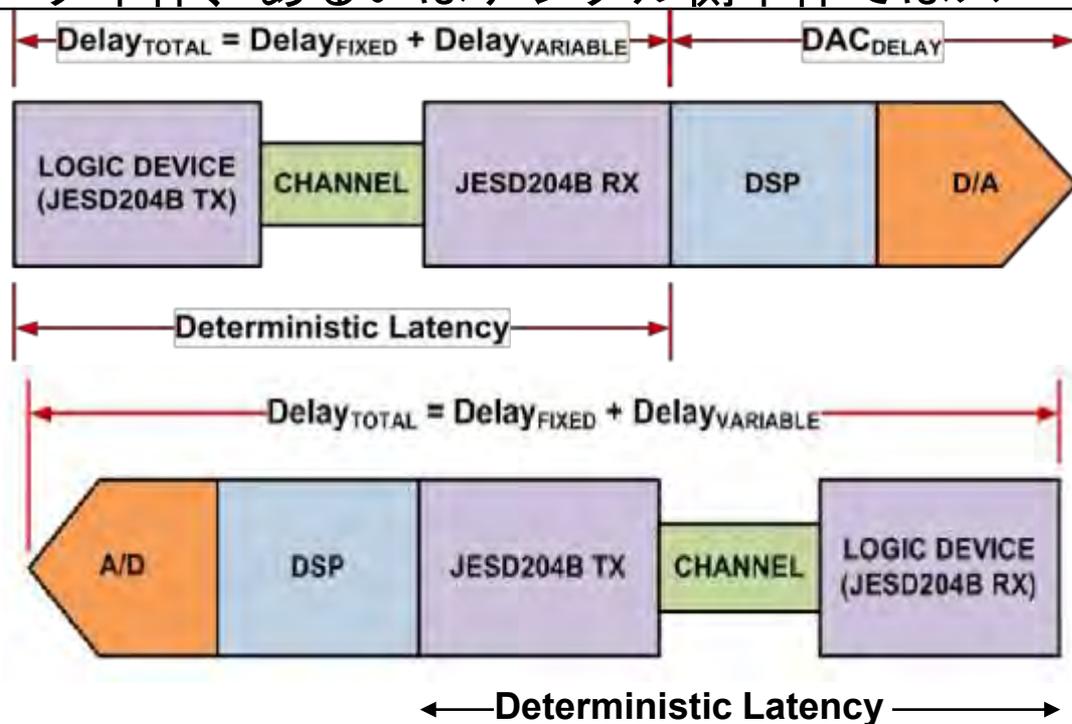
## \* 文字置換の例

もしN+3とN+7のオクテットが同じデータならばN+7を/A/(K28.3)に置き換える

## (9) 特徴的なスペック、ディタミニスティック・レイテンシとは？

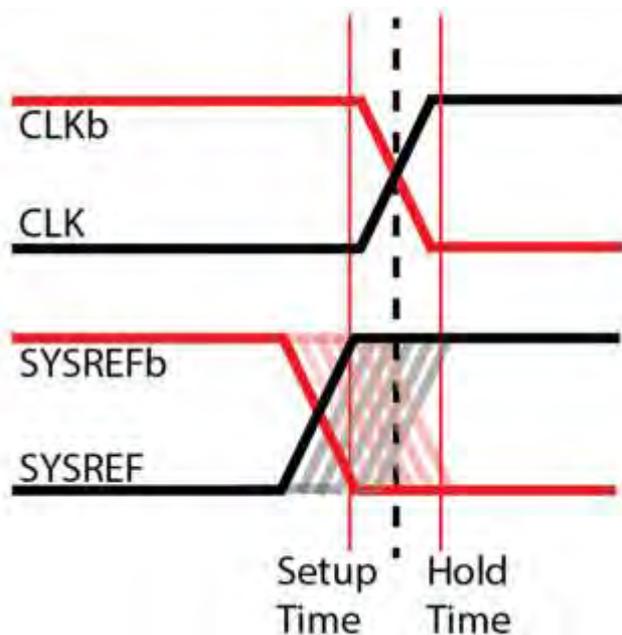
# Deterministic Latency (DL) とは？

- ❖ Deterministic Latencyは、送信側生データから受信側パラレル・データまでの時間を特定する規格です。
- ❖ このディレイは、フレームクロック（マルチ・フレーム・クロック）の数で規定されます。（ディスクリート・ディレイ）
- ❖ コンバータ単体、あるいはデジタル側単体ではスペック規定できません。



# SYSREF/SYNC~のタイミングとDLの不確実性

- ❖ SYSREF、およびSYNC~の入力には、デバイス・クロックとの Setup/Holdタイムがある。
- ❖ 入力から動作までのTpd（動作の遅延時間）規定が必要
- ❖ マルチ・デバイスでは、タイミングにより同期が取れないことがあ  
ズ

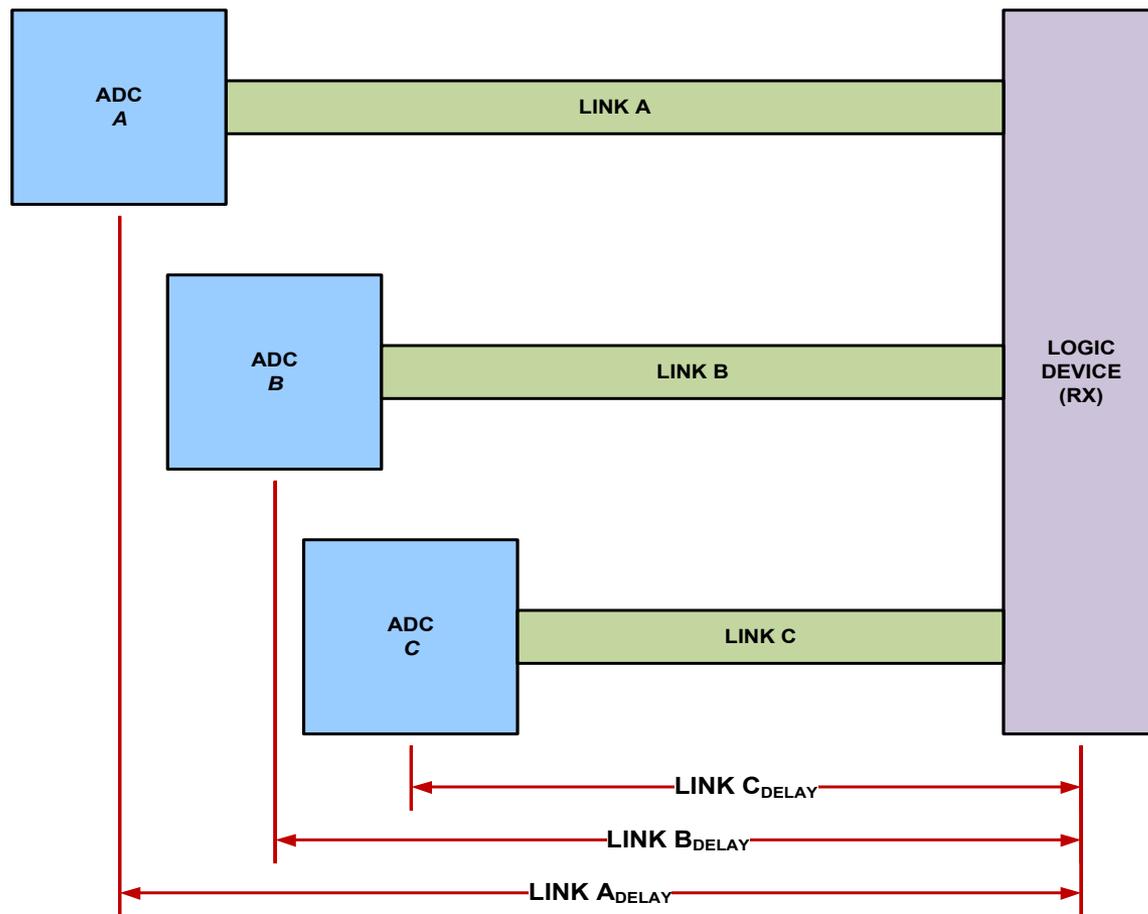


複数のADCでSYSREFのタイミングがずれると、フレームクロックのタイミングが1デバイス・クロック分ずれてしまう。

DLの不確実性につながる

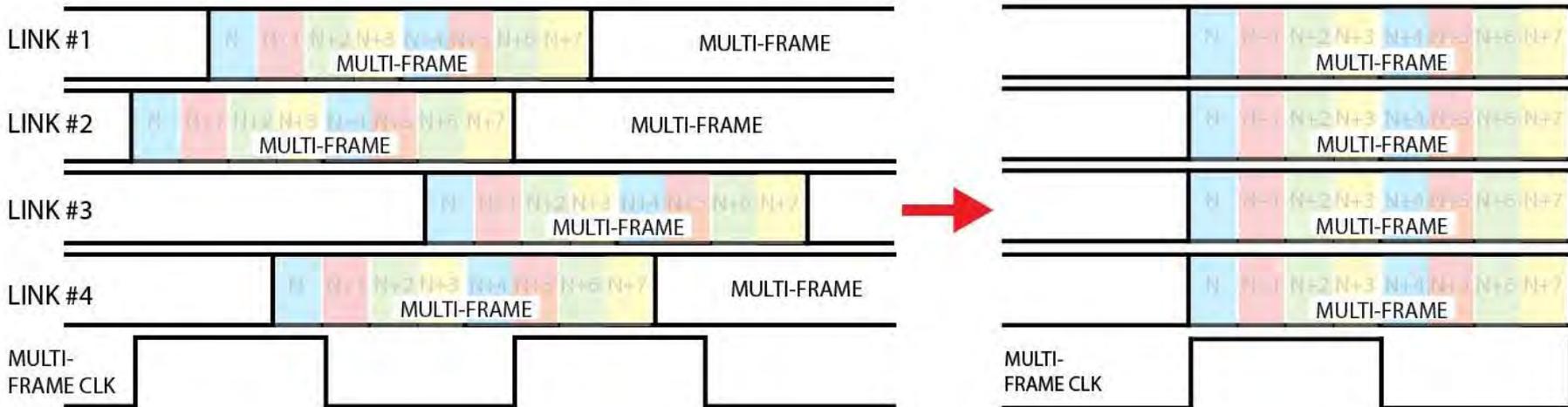
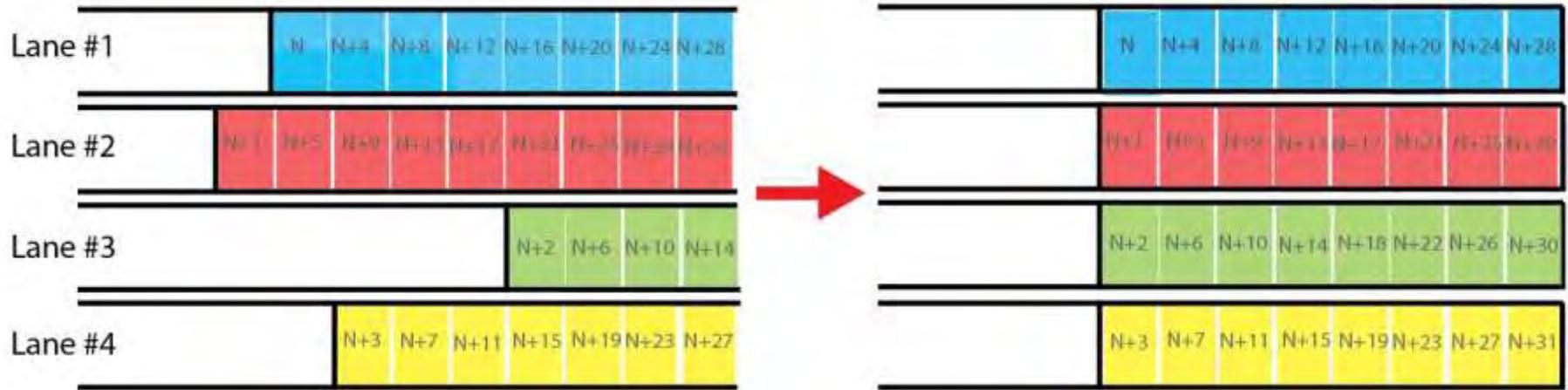
# 複数レーンのアライメント 複数ADCの接続例とディレイ – Spatial Delays (物理的要因のディレイ)

- ❖ 3個のADC接続例
- ❖ 受信側からの距離は別々
- ❖ 物理的距離の違いによりリンクのディレイに差が生じる
- ❖ このディレイの差は、受信側デジタル回路で補正しなければならない。



$$\text{LINK A}_{\text{DELAY}} > \text{LINK B}_{\text{DELAY}} > \text{LINK C}_{\text{DELAY}}$$

# レーン・データのアライメント



# (10) アプリケーションでのメリット

# 医療用機器 (MRI, Ultra-Sound, X-Ray, etc)

- ❖ 高速・高分解能ADコンバータによるデータ変換が必要なアプリケーション
  - MRI 画像診断装置 (16ビット以上のDレンジと入力PGAが必要)  
1.5TのMRI装置では、共振周波数が70MHz近傍になる。
- ❖ 高速・多chADコンバータによるデータ変換が必要なアプリケーション
  - 超音波診断装置 12～16ビットADC、信号帯域 5MHzから20MHz 多ch トランスジューサ入力
- ❖ 低速・高分解能・超多chADコンバータによるデータ変換が必要なアプリケーション
  - X線CT画像診断装置 16～24ビット分解能 低速(数KSPS) 数千ch～数万chの変換データ

# 通信機器、レーダー (Soft Ware Defined Radioを含む) IF 段を減らすメリット

- ❖ 送信機：デジタル変調での高速DA変換
  - IQ変換では、デバイス一つでM=2となる
- ❖ 受信機：ダイレクト復調やIF段でのデータ・サンプリング
  - アンダーサンプリング、IFサンプリング技術（高速IFシグマデルタ）
  - デジタルIQ復調のための広入力帯域
- ❖ Soft Ware Defined RadioのAD変換出力
- ❖ レーダー復調のための高速ADコンバータ
- ❖ Phase Array Rader (AESAs: Active Electronically Scanning Array )
  - 送信側の位相制御と高速DAC
  - 受信側の位相制御と高速ADC
  - 気象観測用レーダーでは100Mbps以上

- ❖ 計測機器の場合もIF段を減らすメリットは通信機器と同じです
  - アナログ回路による歪みやノイズなどの誤差要因の削減
  - Mixerやゲイン段の温度ドリフトの削減
  - 基板面積の削減（回路の小型化）
- ❖ 高速信号を扱う計測機器
  - FFTアナライザ／スペクトル・アナライザ
  - 無線信号アナライザ／テスター
- ❖ 超音波機器
  - ハイドロ・フォン
  - 超音波探傷機器
- ❖ イメージ・センサー

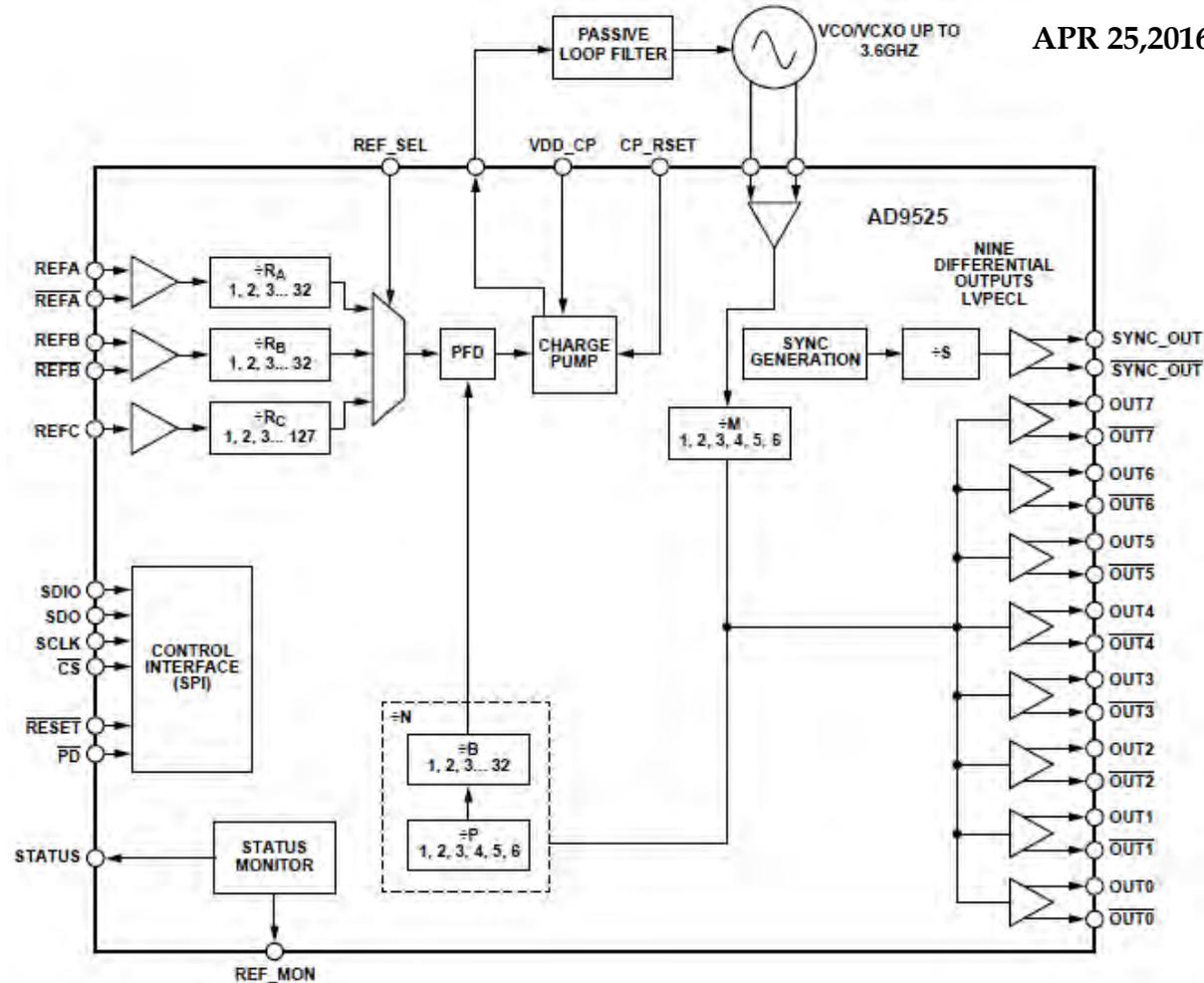
# (11) 参考資料

## APPENDIX

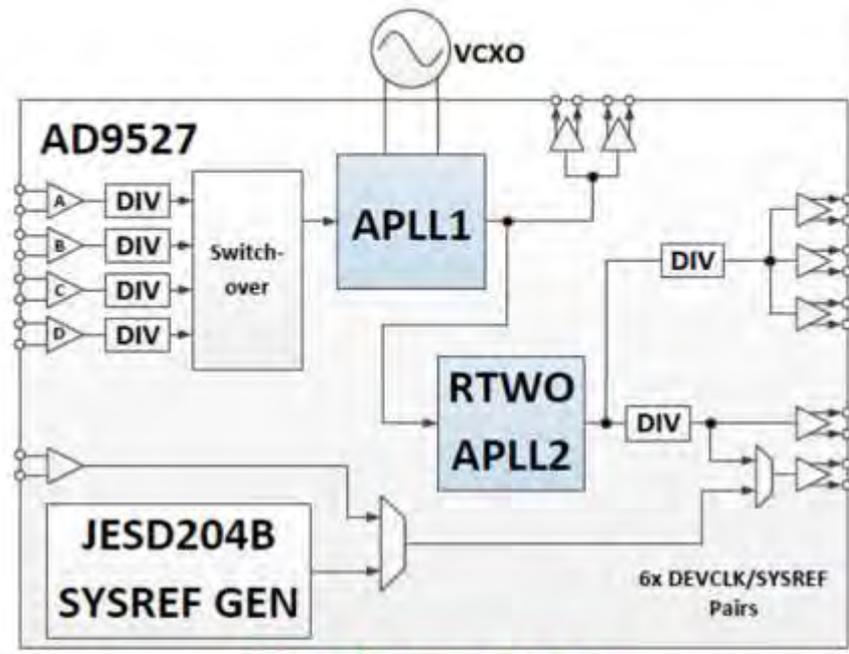
# AD9525 低ジッター(< 100 fs, RMS) クロック・ディストリビュータ

APR 25, 2016

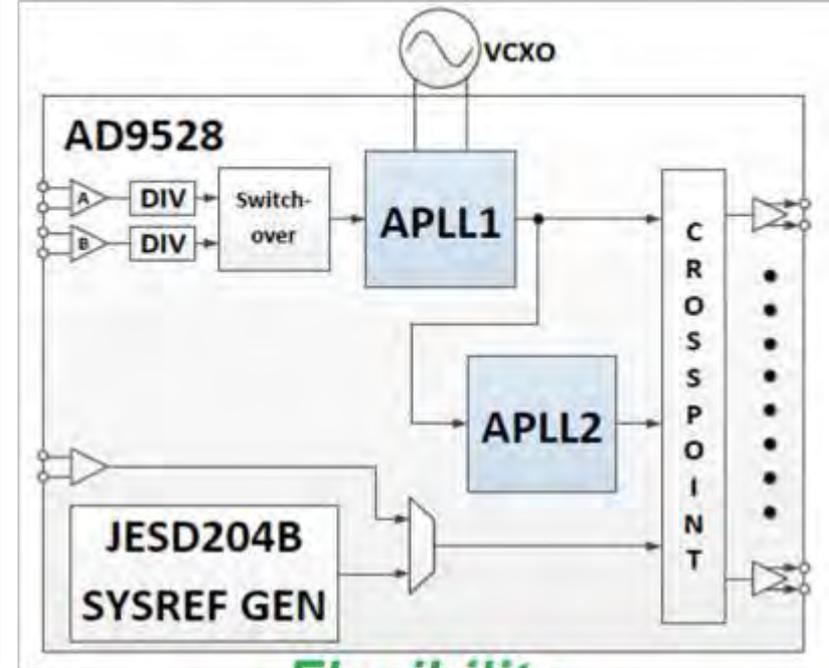
- ▶ デュアル入力
  - Auto/Manual Switchover
  - 3<sup>rd</sup> single-ended reference input
- ▶ 差動8ch 出力
  - All outputs are the same frequency up to 3.6GHz
  - Logic standard will comply with ADC & DAC (LVPECL)
- ▶ 外付けVCO / VCXO 3V – 5V Operation
- ▶ ‘SYSREF’ Output to Sync Data Converters
  - Programmable as: Single Shot, Periodic or Pseudo-random
  - Differential LVPECL or 2 Single-ended CMOS



# JESD204B クロック・ディストリビュータ



**Performance**

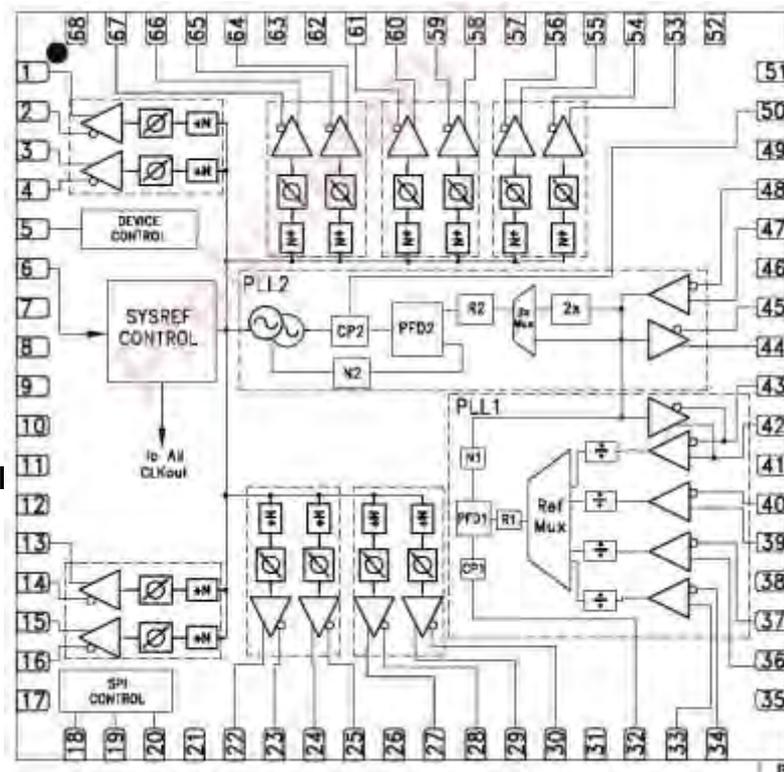


**Flexibility**

	AD9527	AD9528
Max Output Speed	3GHz	1.25GHz
Number of Outputs	17 (6 JESD pairs, 2xPLL1, 3xPLL2)	14 (PLL1, PLL2, or SYSREF)
Jitter Performance (12kHz-20MHz)	~80fs	~150fs
Power	Higher	Lower
Timing Alignment	Digital and analog delays	Digital and analog delays with retiming

# HMC7044 JESD204用 クロック・ジェネレータ

- ▶ **Low Integrated Jitter**
  - Jitter (12kHz-20MHz RMS) – 55fs typical
- ▶ **Spur Performance (DCLK0)**
  - DCLK 0,2,4,10,12 = 983MHz
  - DCLK8 = 491.52MHz, DCLK6 = 245.76MHz
    - -83dBc @ 122.88MHz
    - -75dBc @ 245.76MHz
    - -65dBc @ 491.52MHz
- ▶ **Features**
  - 14 DCLK Outputs or 7 pairs DCLK & SYSREF (500 – 3GHz)
  - LVDS, LVPECL, CML, CMOS
  - 4 CLK Inputs (10MHz-750MHz)
  - Internal 2.5GHz and 3GHz VCOs
    - (2130MHz-2860MHz and 2640MHz – 3510MHz)
  - Loss of lock indication
  - Holdover
  - Automatic Switchover
    - User-defined reference select priority
  - Fine Analog Delay (24 steps of 25ps)
  - Coarse Digital Delay (17 steps of ½ VCO – cycles)
  - External VCO supported up to 5GHz
  - On board regulators for excellent PSRR
  - Programmable GPIO pins for alarms and pin controls



Package
10x10mm 68 pin SMT

Status
Sampling Release: 4Q14