想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

意外と知らないDAC システムの設計技法 —プリント基板への実装例も交えて—

アナログ・デバイス株式会社

石井 聡

9/13/2016 – 9/16/2016

Analog Devices Proprietary Information ©

アジェンダ

1. イントロダクション(DA変換とは)
 2. DACアーキテクチャとそれぞれの特徴
 3. DAC実装のアナログ設計の考え方
 4. DACへのデータ伝送と基板レイアウト
 5. 完成した基板を動かしてみると・・・
 6. まとめ
- Appendix 1. ダンピングのための抵抗接続のしくみ
- Appendix 2. DACの折り返しスペクトルについて
- Appendix 3. DACのノイズ特性を評価してみる

1.1. イントロダクション

2. (DA変換とは)

このセッションで得られる知識

- DACの各種アーキテクチャ
- 電流モードR-2R DACのメリットと使用上の注意点や設計ノウハウ
- ミックスド・シグナル・プリント基板設計の考え方
- 各種ミックスド・シグナル・システムにも応用できる知識

DAコンバータの基本図

〔基準電圧(リファレンス)外付けの場合〕

想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

2. DACアーキテクチャと それぞれの特徴

電圧モード R-2R ラダー抵抗DAC

※ V_{OUT} 端子から見たインピーダンスはスイッチの状態によらず一定

ストリング型DACとその進化形 デジタル可変抵抗「デジタル・ポテンショメータ」DigiPot

バイナリ電流スイッチングを使ったDAC回路(高速DACに多い)

(意外と知られてないが便利な)電流モード R-2Rラダー抵抗DAC

【本セッションのお題】

ADIのDACでは結構多い
メリットは技術資料MT-015も参照

* この抵抗はRより十分小さい抵抗値であり、ゲイン調整のためのトリム用途

仮想グランド V_{GND} に I_{OUT} が流れるように外部回路を設計する

便利に使える電流モード R-2Rラダー抵抗DAC

ADIのDACでは結構多い
メリットは技術資料MT-015も参照

- V_{REF} 入口にゲイン抵抗が接続でき、ゲインのトリムが可能
- 電圧モードDAC（製品にもよるが）と比べてコードの下限・上限での動作が安定
- V_{REF} 入口に高電圧やマイナス電位を加えられる（スイッチがグラウンド電位で動くから）
- V_{REF} を信号入力としてDACコードでレベル可変できる（意外と高い周波数まで動作する）
- この考え方で「乗算DAC ($I_{OUT} = V_{REF} \times \text{デジタルコード}$)」が構成できる
- **使用上の注意点をきちんと抑えて最適化！**

想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

3. DAC実装のアナログ設計 の考え方

64bit OS時代の「たった16bitのアナログ」DACの注意点

いまやパソコンは
64bit OS時代

高精度抵抗は
精度1%（一例）

16ビットは $1/2^{16} = 0.0015\%$ ！
むちゃくちゃ細かい！

それ相応のアナログ（DAC）回路
設計の配慮が必要

電流モードR-2R DACの簡易等価回路

$N = \text{DAC分解能}$

Analog Devices Proprietary Information ©

電流モードR-2R DACの簡易等価回路 (続き)

R_{FB} : $1/2^N$ 以下の精度で R にマッチングした内蔵フィードバック抵抗

安定用コンデンサ
あとで説明

R : リファレンス側から見えるR-2Rラダー抵抗値 (一定)

R_0, C_0 : コード D に依存するスイッチ抵抗とスイッチ容量

$N = \text{DAC分解能}$

内蔵フィードバック抵抗を使う理由は？

この抵抗値は説明の簡単化のため。実際は違う(考え方はスライド10)

R_{FB} が外付けたと

外付 R_{FB} が正確でも、 R_{FB} 対 R が各種原因（IC内部の薄膜フィルム抵抗の温度係数など）でトラックせず、 $\pm 20\%$ ほど狂う可能性あり

R_{FB} が内蔵だと精度が維持できる

R と内蔵 R_{FB} は、 $1/2^N$ 以下の精度でマッチング

温度変化により R が「ある率で」ずれると、 R_{FB} も同じだけずれる

そのため R_{FB} 対 R の比は変わらない

適切な出力アンプの選定（デモでは手持ちのAD8051を使用）

オフセット電圧 V_{OS}
 オフセット電流 I_{OS}
 電圧性ノイズ V_N
 電流性ノイズ I_N

左記に注意し
これらの低い
アンプを使う

AD5543 D/SではTable 9に推奨アンプが記載

コードDに依存し、 R_0 が変化
 R_0 の変化に依存し、ノイズゲイン $G_N = 1 + R_{FB}/R_0$ が変化
 ⇒ 出力オフセット電圧、出力ノイズ電圧が変調を受け、
 ⇒ DNL（微分非直線性）も悪化

出力アンプの異常発振対策

出力アンプの異常発振対策（AD5543のデータシートより）

STABILITY

Figure 21. Optional Compensation Capacitor for Gain Peaking Prevention

An optional compensation capacitor, C1, can be added for stability, as shown in Figure 21. C1 should be found empirically, but 20 pF is generally adequate for the compensation.

「empirically」は「経験的に」という意味

補正には20pF程度が適当

実験での検証は、 I_{OUT} とグラウンドの間に（マージンを取るため）100pFのコンデンサを接続し、出力レンジの上、中、下あたりで、それぞれの微小変化をあたえ、ステップ応答を見ると良い（オーバーシュートのようすで位相余裕が分かる）

想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

4. DACへのデータ伝送と 基板レイアウト

AD5543を高速で動作させたい (AD5543のタイミング・ダイアグラム)

最高速で
 $20\text{ns} \times 16 \text{ cycle} = 320\text{ns}$
3.125Mspsが実現できる

DAC CLK最大周波数
50MHz

Figure 4. AD5543 Timing Diagram

デモでは80MHz FPGA CLKの2サイクルでDAC CLK(40MHz)を作成
また、余裕も考えて(きりの良い)1Mspsとした(/CSサイクル = 1us)
サイン波を作るFPGA内のCORDICアルゴリズムも33 FPGA CLK(412.5ns)必要だった

完成したDAC基板（下はFPGA基板）

AD5543
DAC基板

FPGA基板

Arduino

このデモ基板をP板.com展示ブース
で展示しています
また関連する冊子「**Arduinoと接続
できるFPGA基板の設計とCORDIC
アルゴリズムの実装**」も配布中です
※ 冊子のご名刺と交換となります

\ Arduinoと接続できる /
**FPGA基板の設計と
CORDICアルゴリズムの実装**

FPGA Shield Board Design for Arduino and
Implementation of CORDIC Algorithm

【基板設計】アナログ経路とI/F信号のレイアウト

デジタルI/F

デジタルI/F

RFB

**RFB
アナログ**

**GND
どう接続？**

ダンピングと電流制限
のための抵抗
(次のページで説明)

【抵抗の挿入】高速信号で「なめた」試作（設計）をしてみると こうなる

DAC AD5543と
AMP AD8051
90°ずれた2ch

なめた接続のリード線
40MHz用としては長い

サイン波データ
生成CORDIC
アルゴリズムが
動作するFPGA

【抵抗の挿入】電気理論を考慮した対策（対策と結果の測定）

ドライブ端に
抵抗を接続する

Tek Stop: 1.00GS/s 7 Acqs

25ns (40MHz)

DAC
CLK

DAC
DATA

26

Tek Run: 50.0kS/s Sample

DAC
SIN
OUT

DAC
COS
OUT

Ch1 2.00 V Ch2 2.00 V M 1.00ms Ch1 -2.76 V

理論的詳細はAppendix 1を参照
プリント基板上でも同じ考え方

【グラウンド設計】 EVAL-AD5543 (ADI公式) 評価ボードの アプローチ

【グラウンド設計】本システムのグラウンド経路は複雑だったので

DAC I/FのリターンはDGND。でもDGNDをやたらにつなぐとまずくない？

【グラウンド設計】本システムのグラウンド経路を考慮した 基板設計アプローチ「珍問／難問集 Issue 9」より

検索 (調べる／学
ぶ)

チュートリアル

ライブラリ

- アナログ・ダイアロ
グ
- 技術資料・記事・
ビデオ検索
- 珍問／難問集
(FAQ)
- FAQ
- トレーニング & チ
ュートリアル
- ビデオ
- ウェブキャスト

University
Engagement

珍問／難問集

About The Author
James Bryant

コンバータの接地(あるいは救いの哲 学！)

アナログ・デジタル・コンバータ

Q: 最近、ADCのデジタル・グラウンド・ピンをシステ
ムのアナログ・グラウンドに接続するようにアドバイス
されましたが、信じられません。間違いではありません
か？

間違いではありません。アナログ
(AGND)とデジタル(DGND)のグ
ラウンド接続が別々にあるデータ
コンバータ(ADCとDAC)の接続で
は、これが唯一の安全な方法で
す。びっくりされたのは、いわゆる
「範疇的誤謬」という哲学的な誤り
によるものです。幸いなことに、電
子工学と同様、哲学についても若
干の知識がありますので、ちょっと
説明させてください。

【グラウンド設計】 「これでどれだけの性能が出る？」 デジタルリターン電流とグラウンドのモデル化と影響度

【グラウンド設計】 ベストな方法でもグラウンド構成方法には注意が必要

$V_{GD} \neq V_{GA}$
がグラウンド
ノイズになる
可能性あり

この問題を完全になくすには
デジタル・アイソレータを使うと良い

最初にCAD設計者から上がってきたレイアウト（部品面）

最初にCAD設計者から上がってきたレイアウト（半田面）

改善したレイアウト（部品面）

5. 完成した基板を動かしてみると・・・

正弦波信号を生成するAD5543を含んだシステムのブロック図

完成した基板での1kHz (976.56Hz) 出力時のスペクトル

ノイズ・レベルの確認（測定器のノイズ・フロア）

TRACE A: Ch1 Spectrum

6. まとめとAppendix

【最後にご注意を！】電流モードR-2R DACの出力接続と、一部の超高速電流出力型DACの出力接続との差異

□ 電流モードR-2R DAC出力は、IVアンプの反転入力端子へ接続

□ 非反転入力端子（仮想ショート）は、DAC内部電流スイッチの基準電位（グラウンドがほとんど）に設定

(続き) 電流モードR-2R DACの出力接続と、一部の超高速電流出力型DACの出力接続との差異

- 一部の超高速電流出力型DACは下図のような接続
- それらのDACは「コンプライアンス電圧 V_{COMP} 」という、DAC出力電圧 V_{OUT} の最大値が規定されている
- 電流モードR-2R DACはこのような接続はNG。 V_{OUT} が変動するから

一部の超高速電流出力型DACの出力接続例

まとめ

- DACの各種アーキテクチャをご説明
- 電流モードR-2R DACは便利で高性能なDAC
- 使用上の注意点をきちんと抑えて最適化！
- コンバータ搭載のミックスド・シグナル・プリント基板は、グラウンド設計に注意する
- ご説明した事項・考え方は、各種ミックスド・シグナル・システムにも応用できる知識

参考文献

- ▶ Liam Riordan; 乗算型 DAC—固定リファレンスによる波形発生アプリケーション, AN-1094, Analog Devices
- ▶ Liam Riordan; 乗算型 DAC—AC/任意リファレンス・アプリケーション, AN-1085, Analog Devices
- ▶ John Wynne; CMOS DAC とオペアンプをベースにしたプログラマブル・ゲイン・アンプ Part I, AN-320A, Analog Devices

【以下はかなり長編な資料（ただし英文です）】

- ▶ Analog Devices; CMOS DAC Application Guide, 1984
 - <http://www.analog.com/jp/education/education-library/cmos-dac-application-guide.html>
- ▶ Analog Devices; The Data Conversion Handbook, 2005
 - <http://www.analog.com/en/education/education-library/data-conversion-handbook.html>
- ▶ Analog Devices, Mixed Signal Electronics Systems, Analog Circuit Design Tutorials
 - <http://www.analog.com/jp/education/courses-and-tutorials/tutorials/mixed-signal-electronics-systems.html>

想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

Appendix 1. ダンピングの ための抵抗接続のしくみ

電気理論を考慮した原因の予測 (信号の反射を原因とする波形の暴れ)

信号の反射は
伝送路終端の
ミスマッチにより生じる

R_S を挿入することで
「送端終端」が実現でき、
波形の暴れが減る

電気理論を考慮した原因の予測 (信号のリングングを原因とする波形の暴れ)

想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

Appendix 2. DACの折り返しスペクトルについて

125kHzでは不思議な周波数にスペクトルが見える

「デジタル離散値」からアナログ値に変換するDAC出力で生じる折り返しのしくみ (f_s はサンプリング周波数)

※それぞれ適切に重み付けしてある

つまりDAC出力波形は、折り返し成分が含まれている！

想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

Appendix 3. DACのノイズ 特性を評価してみる

データシートに記載されているAD5543のノイズ特性

Parameter	Symbol	Condition	5 V ± 10%	Unit
AC CHARACTERISTICS⁴				
Output Voltage Settling Time	t_s	To ±0.1% of full scale, Data = 0x0000 to 0xFFFF to 0x0000 for AD5543 Data = 0x0000 to 0x3FFF to 0x0000 for AD5553	0.5	μs typ
Reference Multiplying Bandwidth	BW	$V_{REF} = 100$ mV rms, data = 0xFFFF	6.6	MHz typ
DAC Glitch Impulse	Q	$V_{REF} = 0$ V, data = 0x7FFF to 0x8000 for AD5543	7	nV-sec
Feedthrough Error	V_{OUT}/V_{REF}	Data = 0x0000, $V_{REF} = 100$ mV rms, same channel	-83	dB
Digital Feedthrough	Q	$C_S = 1$ and $f_{CLK} = 1$ MHz	7	nV-sec
Total Harmonic Distortion	THD	$V_{REF} = 5$ V p-p, data = 0xFFFF, $f = 1$ kHz	-103	dB typ
Output Spot Noise Voltage	e_N	$f = 1$ kHz, BW = 1 Hz	12	nV/√Hz

¹ All static performance tests (except I_{OUT}) are performed in a closed-loop system using an external precision OP177 I-to-V converter amplifier. The AD5543 R_{FB} terminal is tied to the amplifier output. The +IN op amp is grounded, and the DAC I_{OUT} is tied to the -IN op amp. Typical values represent average readings measured at 25°C.

$R_{FB} = 5k\Omega$

AD5543はOP177使用で
電圧性ノイズ密度
@1kHzで12nV/√Hz
と記載されている

D/SではOP177が
使われている

OP177単体のノイズ密度特性

@1kHzにおいて
電流性ノイズ I_N
での電圧降下が
34.6nV/√Hz
(次スライドの
計算による)

@1kHzにおいて
電圧性ノイズ V_N
が10nV/√Hz

Figure 18. Total Input Noise Voltage vs. Frequency

OP177の電流性ノイズの算出手順

- ▶ OP177では、電流性ノイズ密度 I_N はスペックとして表記されていない。そこで計算で求めてみる
- ▶ $R_{S1} = R_{S2} = 200\text{k}\Omega$ THERMAL NOISE OF SOURCE RESISTORS EXCLUDEDのグラフから、 $V_{OP177} = 50\text{nV}/\sqrt{\text{Hz}}$ @1kHzと読める。これはOP177の電圧性ノイズ $V_N = 10\text{nV}/\sqrt{\text{Hz}}$ ($R_S = 0$ のときのプロット)と、同じく電流性ノイズ I_N により R_{S1} , R_{S2} に生じる電圧降下 V_{NI} とが合成されたノイズ量である
- ▶ 一方「THERMAL NOISE OF SOURCE RESISTORS EXCLUDED」なので、抵抗によるサーマル・ノイズは計算から除外されている。ゆえに、 V_{OP177} は

$$V_{OP177} = \sqrt{V_N^2 + V_{NI}^2 + V_{NI}^2} = \sqrt{V_N^2 + (I_N R_{S1})^2 + (I_N R_{S2})^2}$$

- ▶ これから $2V_{NI}^2 = (I_N R_{S1})^2 + (I_N R_{S2})^2$ は、 $2400 (\text{nV}/\sqrt{\text{Hz}})^2$ となり、 $(I_N R_S)^2 = 1200$, $I_N R_S = 34.6 \text{ nV}/\sqrt{\text{Hz}}$ 、これから ($R_{S1} = R_{S2} = 200\text{k}\Omega$ なので) OP177の電流性ノイズ I_N は173 fA/ $\sqrt{\text{Hz}}$ と計算できる

AD5543のノイズ特性の算出

- ▶ 一方、スライド53のDAC R-2R抵抗（REFにつながっている方）が、スライド10の形でMSB（ビット15）のみ接続されている状態であれば、DAC内部を見た抵抗値は $10\text{k}\Omega$ ($2R_{FB}$) となる。IVアンプの入力抵抗は $2R_{FB} // R_{FB} = 3.3\text{k}\Omega$ 。ここに電流性ノイズ I_N は $173\text{ fA}/\sqrt{\text{Hz}}$ が加わると、 $57\text{ pV}/\sqrt{\text{Hz}}$ となり、「OP177の電流性ノイズはほとんど影響を与えない」ことがわかる
- ▶ $2R_{FB} // R_{FB} = 3.3\text{k}\Omega$ のサーマル・ノイズ密度 V_{RN} は、 $V_{RN} = \sqrt{4kTR}$ より、 $V_{RN} = 7.4\text{ nV}/\sqrt{\text{Hz}}$ と計算できる
- ▶ トータルのノイズは $\sqrt{V_N^2 + V_{RN}^2}$ から $\sqrt{10^2 + 7.4^2} = 12.44\text{ nV}/\sqrt{\text{Hz}}$ と計算でき、これはデータシートのスペック $12\text{ nV}/\sqrt{\text{Hz}}$ とほぼ同じになる（過剰雑音源はない）。これから分かることは、「AD5543の静的なノイズ特性はR-2R抵抗のサーマル・ノイズのみを考慮すればよい」
- ▶ ※スイッチ抵抗はコードDに依存するため、コードDでノイズ量が変わる
- ▶ ※動的にはスイッチ切り替えによるグリッチもノイズになるので注意