

ICのパワーオン・リセットとパワーダウン

最近のICは、電源をオン/オフしたときに理想的な状態が得られるようにするための高度な回路を採用しています。具体的には、電源をオンにしたときには、メモリにデータを保持したまま素早く起動し、ICを既知の状態にすることができるようになってきました。一方、電源をオフにしたときには、消費電力をできるだけ少なく抑えることが可能です。本稿では、こうしたパワーオン・リセット機能やパワーダウン機能を使用する際のヒントを紹介します。

パワーオン・リセット

著者：Miguel Usach Merino

はじめに

多くのICは、パワーオン・リセット（POR：Power-on Reset）回路を搭載することにより、電源を投入した際、アナログ部、デジタル部が既知の状態に初期化されることを保証しています。基本的なPOR機能では、競合状態を回避し、正しい動作を保証するための閾値に電源電圧（外部から電源ピンに供給される電圧）が達するまでデバイスをスタティックな状態に保つために、ICの内部でリセット・パルスを生成します。この閾値電圧は、データシートに記載されている最小電源電圧とは異なることに注意してください。電源電圧が閾値に達したら、ICが内蔵するPOR回路がリセット信号を送信し、ステートマシンがIC自身を初期化します。ICは初期化が完了するまで、送られてきた何らかのデータを含めてあらゆる外部信号を無視します。唯一の例外は、リセット・ピンに入力されるリセット信号だけです。これが存在する場合には、IC内部でPOR信号にゲーティングされます。POR回路は、図1に示すようなウィンドウ・コンパレータとして表すことができます。比較に使用する閾値電圧 V_{T2} は、ICの動作電圧とプロセス・ジオメトリに基づいて回路を設計する際に定義されます。

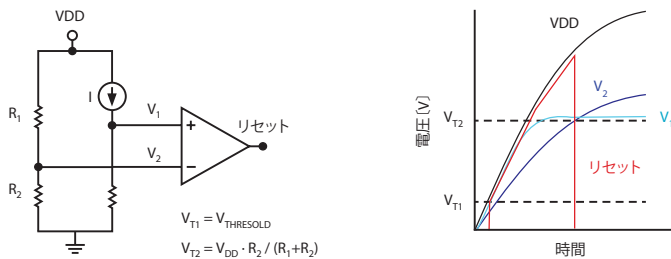


図1. 簡素化して示したPOR回路

PORに関する戦略

一般に、コンパレータのウィンドウはデジタル電源のレベルによって定義されます。アナログ部の制御はデジタル部が行いますが、図2に示すように、デジタル部が完全に動作するために必要な電圧は、アナログ部が機能するために必要な最小電圧とほぼ同じになります。

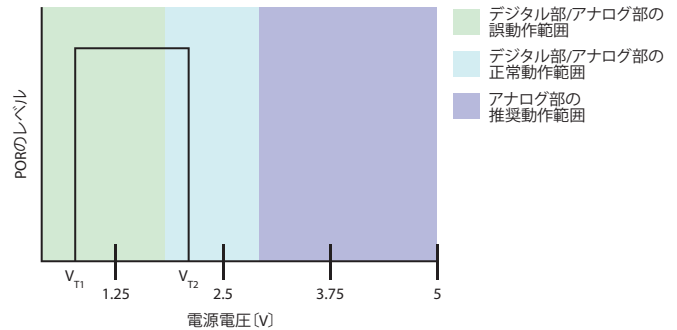


図2. PORの閾値電圧

閾値電圧 V_{T2} が高いほどアナログ部にとっては好都合ですが、推奨電源電圧の最小値に近づけすぎると、電圧が少し低下しただけで誤ってリセットしてしまう可能性があります。デバイスにアナログ電源とデジタル電源が独立して設けられている場合、誤動作を避けるための方法は、POR回路を1つ追加し、動作が保証される十分なレベルに電源電圧が達するまでデジタル部とアナログ部の両方をリセット状態に保つというものです。例えば、電源電圧が3VのICの場合に、 $V_{T1} \cong 0.8V$ 、 $V_{T2} \cong 1.6V$ にするといった具合です。

上記の電圧値は、製造プロセスや設計上の何らかの違いによって変更しなければならないかもしれませんが、それでも合理的な値であることは確かです。閾値の許容誤差は20%以上、旧来の設計では最大で40%にも上ることがあります。許容誤差が大きいと、消費電力に影響が及びます。PORは常時有効でなければならないので、精度と消費電力の間で必ず生じるトレードオフが重要になります。機能的にはまったく違いがなくても、精度が高いほどスタンバイ・モードにおける回路の消費電力が多くなるからです。

ブラウンアウトの検出

POR回路には、ブラウンアウトの検出回路（BOD：Brownout Detector）が付加されている場合があります。BODは、予期せず電圧が短時間低下した際、リセット機能が働いてICが誤動作を起こしてしまうのを回避するためのものです。具体的には、BODによって、POR用に定義された閾値電圧に300mV程度のヒステリシスが追加されます。図3に示すように、BOD回路は、電源電圧が V_{T2} を一度超えた後は、閾値 V_{BOD} よりも電源電圧が低くならない限り、POR回路からリセット・パルスが生成されないことを保証します。

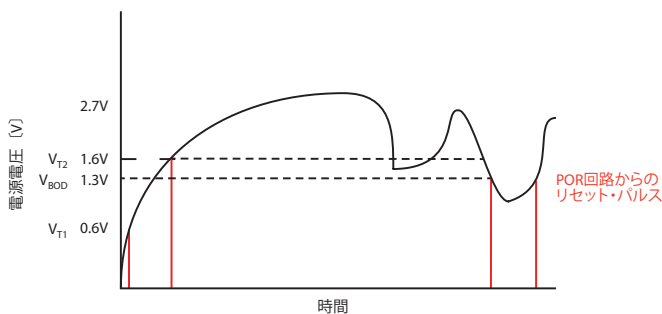


図3. BODによる効果

BODの閾値は、機能を保証できるほどには高くありませんが、デジタル回路において情報を保持できることを保証するには十分なレベルの高さです。このため、電源電圧が一定のレベルを下回ったらコントローラによって動作を停止することができ、ごく限られた時間だけ電源電圧が低下した場合には、IC全体を再度初期化する必要はありません。

適切なパワーオンの方法

実際のPOR回路は図1に示した回路よりも複雑です。例えば、抵抗の代わりにMOSトランジスタが使用されるといった具合です。このため、寄生素子のモデルについても考慮しなくてはならないほか、POR回路には起動用のパルスを生成するための回路が必要です。ただ、そのような回路は特定の条件下では正しく動作しない可能性があるため注意が必要です。次に、上記以外の重要な検討事項について説明します。

まず、印加する電源電圧は単調に増加するように注意することが重要です。電圧の上昇が単調ではない場合、閾値の付近で増減が生じることによって問題が発生する恐れがあります。閾値の付近で大きな増減が生じると、非単調性の同一シーケンスによって、あるデバイスでは機能が働くのに、他のデバイスでは機能が働かないといったことが起こり得ます（図4）。

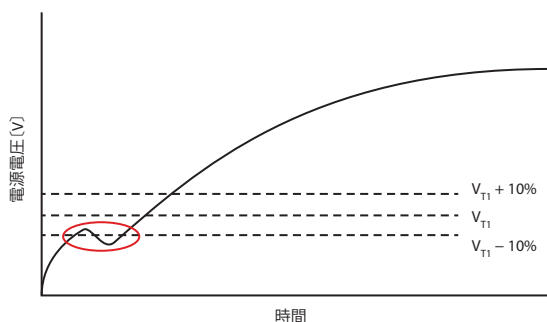


図4. 電源電圧が単調に増加していない例

電源は遮断（LDOがディスエーブル）されているものの、コンデンサに残留電圧（Residual Voltage）が保持されているというケースがあります（図5）。電源電圧が必ず V_{T1} より低下するように、残留電圧はできるだけ小さくする必要があります。そうしなければPORが正しく機能しません。つまり、ICは正しく初期化されないということです。

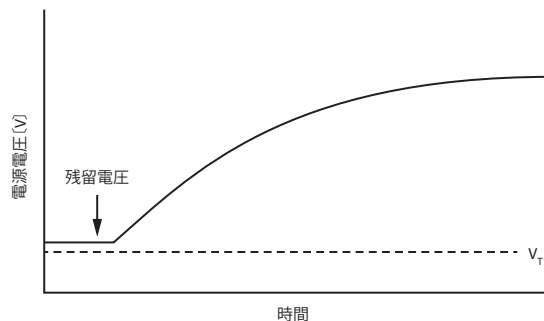


図5. 残留電圧の影響

複数の電源ピンを備える製品の場合、推奨される電源投入シーケンスがデータシートに明記されていることがあります。この場合、記載されたシーケンスに従うことが重要です。例えば、2つの独立した電源を備えるICがあったとすると、恐らく電源投入シーケンスとしては、アナログ電源よりも先にデジタル電源を投入することが求められます（アナログ部の制御はデジタル部によって行うので、デジタル部の電源を先に投入するのが一般的）。また、アナログ部、デジタル部ともに必ず最初に初期化することも必要です。どちらの電源電圧が先に上昇し始めてもかまいませんが、アナログ電源よりも先にデジタル電源が閾値を超えるようにしなければなりません（図6）。2つの電源間の遅延が $100\mu\text{s}$ 程度であればほとんど影響はなく、ICは正しく初期化されるはずですが。

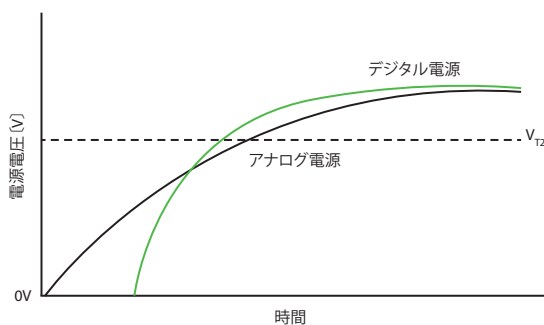


図6. 推奨される電源投入シーケンス

IC内部のトランジスタには寄生容量が存在します。これらが原因で、電源電圧が 100ms 程度かけて緩やかに上昇する場合には問題が生じる可能性があります。POR回路は、電源に関する通常の条件の下で正しく動作することを保証するために、さまざまなスルーレートで評価されます。電源電圧が素早く（ $100\mu\text{s}$ 以下）増加する必要がある場合には、データシートにその旨が記載されます。

例えば、基板から電源までの間が細いケーブルで接続されているなど、グラウンドへの接続が不適切なケースがあります。こうした場合、グラウンドのインピーダンスが高くなり、電源を投入した際にグリッチが生じる可能性があります。また、一部の電磁環境では、MOSトランジスタのゲート容量（寄生容量）に電荷が蓄積されることがあります。それが放電されるまでの間にトランジスタが誤動作し、結果としてPORによる初期化が失敗する恐れがあります。

ドリフトや許容誤差についても考慮しなければなりません。コンデンサなどのディスクリット部品は許容誤差が大きく（最大40%）、温度/電圧/時間によるドリフトも大きいことがあります。また、閾値電圧の温度係数は負の値（温度が低下すると増加）になります。 V_{T1} が室温では0.8Vであったとしても、 -40°C では0.9V、 105°C では0.7Vになるかもしれないということです。

まとめ

本稿では、ICの電源投入に関して、システムの問題につながる恐れのある一般的な問題について説明したほか、ICが正しく初期化されることを保証するための基本的な方法を示しました。見落とされがちなことですが、電源電圧については、その最終的な値の精度と過渡的な動作の両方が重要です。

関連資料

Merino, Miguel Usach 「digiPOT（デジポット）の仕様とアーキテクチャを理解し、AC性能の向上を図る」 Analog Dialogue 45-08

パワーオフか、パワーダウンか？

著者：Dushyant Juneja

「もちろん、パワーダウンだよ！」——この記事のタイトルを見て、思わず声を上げた方がいるかもしれません。あるいは「両者は何が違うのか？」と首をかしげた方もいるでしょう。通常、パワーダウン・モードでは、メモリに格納されたデータの保持、短時間での起動、リーク電流が極めて少なく抑えられることが保証されます。これに対し、単なるパワーオフやパワー・ゲーティングでは、いずれも保証されません。ただ、上記のような機能が不要である場合はどうでしょう。供給する電力を安定させ、パワーダウン・モードを使用することが、無駄に電力を消費することにつながりたくないでしょうか。電源をオフにするだけでは、リーク電流を抑えることはできないのでしょうか。パワーダウン・モードに対する根本的かつ基本的な要件とは何なのでしょう。こうしたことに興味を持たれたなら、ぜひ本稿を参考にしてください。

誘惑とリスク

最近のシステムは、複数のICにまたがる複雑な設計によって実現される豊富な機能を備えています。例えば、ノート型のPCや可搬型の医療機器など、多くのアプリケーションにおいて、電源が重要な要素になります。これらの機器に使用される複数のICは、1種類以上のパワーダウン・モードを備えていることがよくあります。各モードでは、消費電流を最小限に抑えつつ、メモリのデータの保持、周辺回路とのやりとり、高速な起動といった機能が実現されます。これは、完全に電源をシャットダウンすることとは異なります。シャットダウンは、電源ピンに流れ込む一切の電流を遮断し、ICに対する電力供給を完全に停止するというものです。それにより、消費電力は削減されますが、深刻な“副作用”も生じます。

例として、多重化されたバスで相互に接続された複数のICを使って構成される複雑なシステムを考えます。このシステムは、電力の面で制約のあるアプリケーション向けのものとしてみましょう。この場合、その

時点で使用されていないICに対する電力供給を単純に停止するというのが、有効な手法だと思われるかもしれませんが。パワーダウン・モードによって提供される他の機能が不要である場合には特にそのように感じられるでしょう。確かに、電力の供給を停止すればリーク電流は減少します。しかし、電力が供給されていない場合、各ピンは入力信号に対して低インピーダンスのノードとして機能します。このため、予期せぬ状況が引き起こされたり、システム・レベルの潜在的な問題が生じたりする恐れがあります。パワーダウン・モードは、電源の遮断と同じように魅力的なものであるうえに、複雑なシステムで必要とされる基本的なメリットを提供してくれます。つまり、個々のICを既知の望ましい状態に保ち、ICが低電力モードと高性能モードの間で切り替わる際に、安全かつ信頼性の高い動作が維持されるということです。以下のセクションでI/Oノードについて学ぶことにより、さらに詳しく理解することができます。

簡単な例

図7に示したのは、入力と出力の両方の機能を備えるI/Oピンの例です。多重化されたノードに接続され、その動作は検証済みのシステム・アーキテクチャによって設定されます。

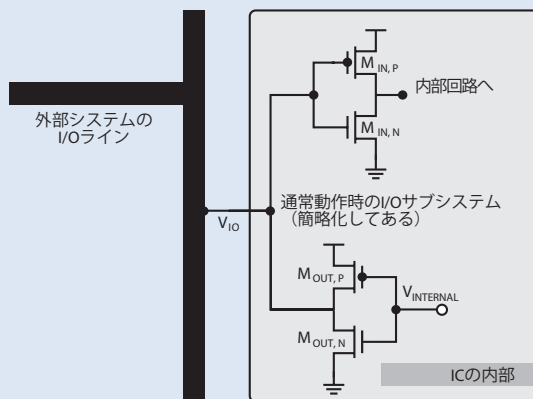


図7. 簡略化して示したI/O回路

電源スイッチとして使用するデバイスの問題は無視するとして、このICへの電力の供給を停止すると（ICの動作は一切必要ないと仮定します）、図8のような状態に陥ります。つまり、ICのコア全体にわたり、不定の状態が遍在するというのです。最悪の場合、フローティング・ゲートの状態にある出力素子（ $M_{OUT,P}$ と $M_{OUT,N}$ ）が、電気的には停止してはいるが予期せぬ外部電圧にさらされる恐れがあります。CMOSのI/Oが存在する場合、この例に示しているように、NMOSのドレイン接続を介してグラウンドに対する低インピーダンスの接続が生成される可能性があります（図8の赤色の部分）。すると、大量の電流が流れ、恐らく駆動する側（外部システムのI/Oライン側）が能力の限界に達します。あるいは、IC側でMOS回路が損傷する可能性もあります。損傷には至らなかったとしても、システムとしての性能が低下してしまうかもしれません。

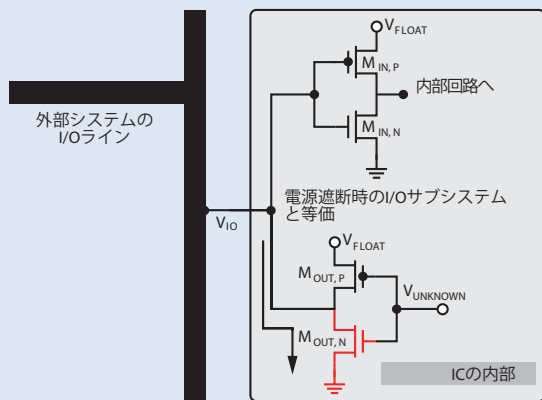


図8. 電源遮断モードにおけるI/O回路
（内部ゲートが不定の状態になる）

パワーダウン・モード

パワーダウン・モードは、上述したような望ましくない状況に陥らないようにするための保護機能を備えています。その具現化方法はモードの詳細、製品ファミリー、ベンダーごとに異なりますが、いずれの場合も基本的な目的は共通しています。すなわち、ICのコア部が停止したときに安全なI/O境界を提供し、消費電力を抑えつつ、信頼できる既知の状態を維持するという事です。このため、システム全体にわたる多重バスを介してシステム・コンポーネント間のI/O動作が行われても、停止中のICに問題が生じることはありません。これが、パワーダウン・モードによってもたらされるメリットです。その具現化方法の1つとしては、低電力モードにおいてI/Oピンの状態をハイ・インピーダンスにし、ピンに接続される内部ノードを定義された状態に適切に設定するというものが考えられます。この方法を簡素化して示したのが図9です。IC内部の回路には信号からの影響は及ばず、本質的に安全に保たれます。その他の具現化方法としては「ライトスリープ・モード」があります。これは、I/O周辺も起動状態に維持し、パワーダウン・モードにおいてICの周辺回路とコアの間の通信が検証されることを保証するというものです。これによって、ICの消費電力を低く抑えつつ、アクティブな使用状況にも対応することが可能になります。また、このモードを採用すれば、電源スイッチにかかるコストを削減することができます。このモードを採用していない場合、通常は電源ス

ッチとして、オン抵抗が小さく、サイズが大きく、オンしているときの消費電力とリーク電流による消費電力が共に多いデバイスが必要になります。

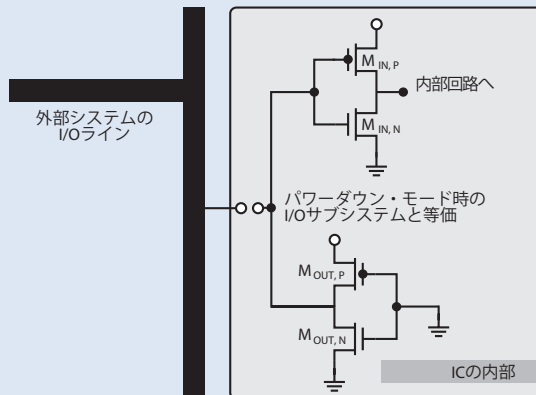


図9. パワーダウン・モードにおけるI/O回路
（すべての内部ノードの状態が適切に定義されている）

パワーダウン・モードの詳細は、ベンダーや製品によって異なります。このため、例えばライトスリープ・モードといった名称が使われていたとしても、それが常に同じ機能を指しているとは限りません。メモリに格納されたデータの保持が可能であることを意味する場合もあれば、割り込み回数の増加を許容するといったことを意味する場合もあります。そうしたモードによって得られる顕著なメリットの1つは、電源を完全に遮断する場合と比べてシステムの応答時間を短縮できることです。ICには、I/O用とコア用に独立した電源を備えるものがあります。電源を分離することのメリットとしては、基板の設計者がコア部の電源を停止してリークを抑えつつ、I/O部をオンの状態に維持できることが挙げられます。どのような場合でも、データシートに目を通し、必要な機能と保護用の手段が提供されているか否かを確認することをお勧めします。

微細化の影響

最新のプロセス技術を使用すれば、ICのサイズを縮小することができ、高密度のパッケージングが可能になりますが、それによってICのストレス耐性は低下します。例えば、28nmのプロセス技術を適用したデバイスは、180nmのデバイスよりもゲート酸化膜が薄くなります。このため、電源遮断モードにおいてゲート電圧に対するストレスにより、損傷に至る可能性は28nmのデバイスの方が高くなります。また微細プロセスを採用したデバイスでは、レイアウトに依存するパラメータによって壊滅的な損傷が起きる可能性もあります。

このような問題を回避するために、微細化が進むと、パワーダウン・モードを適切に使用することがより重要になります。最新のICでは、電源の遮断よりも、パワーダウン・モードの方がより望ましい機能になっていると言うこともできます。数多くの機能を搭載する最新のICは、膨大な数の素子で構成されています。ICがオンのときには、それらすべての素子にリーク電流が流れる可能性があります。そうしたリーク電流は、各機能の使い方を最適化し、使用していない部分を適切にパワーダウンすることで、大きく削減することが

できます。独自にパワーダウン機能を開発することを考えるよりも、まずはベンダーがそうしたモードをサポートしているかどうかを確認してください。

検討すべきその他の事柄

パワーダウンに関しては他にも検討すべきことがあります。グラウンドへの接続は、低インピーダンスの経路ができてしまう要因になります。したがって、パワーダウンの際には、グラウンドへの接続も遮断してしまったほうがよいのでしょうか。電源が投入されていない状態で、I/Oピンに電圧が直接印加される状況は、静電気放電（ESD）が生じた場合と似ています。信号の強度が高ければ、ESD保護機構にトリガがかかり、接続されている他のI/Oピンに多くの電流が流れるかもしれません。そうすると、電源が投入された状態が意図せず生じてしまう可能性があります。また、信号の強度はやや弱いものの、I/Oクランプなどの経路を介して電源に十分に到達するというケースもあり得ます。このような信号が電源クランプにトリガをかけることはないかもしれませんが、電源に予期せぬゴースト電圧が生成され、チップの構成によっては、その電圧が原因で未知の動作状態が引き起こされる可能性があります。信号の強度が高い場合も低い場合も、不適切な状況が続けば、前段で大電流の供給が停止されない限り、チップが破損する恐れがあります。仮に、信号の強度はI/Oクランプにトリガがかかるレベルではなかったとしても、信号が最初に到達するトランジ

スタにはストレスが加わり、その状態が長く続けば損傷に至る可能性があります。

電源を遮断するとともに、電源ピンにロー・レベルを入力するという方法はどうか。このようにした場合、ICにはフローティングの電源はなくなります。また、ESD保護の機構にトリガがかかる可能性もなくなります。しかし、PMOSのドレインがボディよりも高い電圧に達し、ドレイン - ボディ間のダイオードに順方向のバイアスがかかる可能性があります。そうすると、前段からの電流がPMOSデバイスを介してグラウンドに流れるようになります。この状態が続くと、前段が動作を停止するか、設計者が異常に気付かない限り、ICが損傷します。

まとめ

パワーダウン・モードを利用することにより、システム全体にわたって、より高速で安全な応答を得ることが可能になります。複雑なシステムで使用する完全なシグナル・チェーンを検討するうえで、パワーダウン・モードは欠かせない機能です。ただし、コンポーネント間の通信に制約がある場合や、システム全体が複雑な問題は絶対に生じないと断言できるほど単純である場合には、電源を完全に遮断する方法を検討してもよいでしょう。



著者：

Miguel Usach Merino (miguel.usach@analog.com) は、2008年にアナログ・デバイセズに入社しました。スペインのバレンシアでリニア/高精度技術グループに所属するアプリケーション・エンジニアとして業務に携わっています。バレンシア大学で電子工学の学位を取得しています。



Miguel Usach Merino

この著者が執筆した他の技術文書

[digiPOT \(デジポット\) の仕様とアーキテクチャを理解し、AC性能の向上を図る](#)

Analog Dialogue 45-08

Dushyant Juneja (dushyant.juneja@analog.com) は、アナログ・デバイセズのCADエンジニアです。主に、AMSの検証、ビヘイビア・モデリング、AMSの設計におけるESD保護を担当しています。2010年にインド工科大学バラナシ校で電気工学の学士号を、2012年にインド工科大学カダプル校で計装工学の修士号を取得しています。



Dushyant Juneja