

ブリッジ・センサーの設計をスムーズに行う方法

著者：Gustavo Castro, Scott Hunt

計装アンプは、センサーが生成する電気信号をデジタル化し、保存し、プロセス制御に使用できるようにするための前段階の調整をします。通常はセンサー信号が小さいため、アンプを高ゲインで動作させる必要があります。さらに、信号が大きな同相電圧に重なっていたり、大きなDCオフセットの中に埋もれていたりすることもあります。高精度計装アンプは高ゲインを提供し、2つの入力電圧間の差を取り出して増幅しながら、両方の入力に共通する信号（同相信号）を除去することができます。

ホイートストン・ブリッジはその古典的な例ですが、バイオセンサーなどのガルバニック・セルも同様の特性を備えています。ブリッジ出力信号は差動であるため、高精度の計測には計装アンプの方が適しています。理論的には無負荷のブリッジ出力はゼロですが、これは4個の抵抗すべてが全く同一の場合に限られます。図1のようにディスクリート抵抗で構成されたブリッジを考えてみましょう。ワーストケースの差動オフセット V_{OS} は次のようになります。

$$V_{OS} = \pm V_{EX} \frac{TOL}{100} \quad (1)$$

ここで、 V_{EX} はブリッジ励起電圧で、TOLは抵抗の許容誤差(%)です。

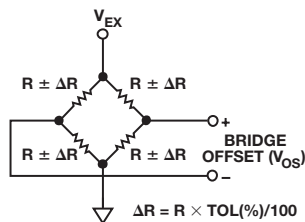


図1. ホイートストン・ブリッジのオフセット

たとえば、個々の素子の許容誤差が0.1%で、励起電圧が5Vの場合、差動オフセットは最大で約5mVにもなります。必要なブリッジ感度を実現するためのゲインを400とすると、アンプ出力でのオフセットは±2Vになります。アンプに同じ電源を使用していて、その出力がレールtoレールでスイングしても、出力スイングの80%以上がブリッジのオフセットに使われてしまいます。電源電圧の低減化が進む業界で、これでは課題が大きくなるばかりです。

図2に示すように、3個のオペアンプで計装アンプを構成する従来型のアーキテクチャでは、入力に差動ゲイン段があり、その後段に同相電圧を除去する減算器が配置されます。ゲインは最初の段で得るため、オフセットも必要な信号と同じ率で増幅されます。これを除去する唯一の方法は、リファレンス (REF) 端子にオフセットと逆の電圧を印加することです。しかし、この方法の主な制約は、REFの電圧を調整しても、アンプの第1段ですでに飽和していればオフセットを補正できないことです。この制約を回避するには、以下のような方法があります。

- 必要な場合には、外付け抵抗を使ってブリッジをシャントします。しかし、生産工程が自動化されていれば、この方法は現実的ではありません。工場出荷後に調整を行うこともできません。
- 第1段のゲインを減らし、REFの電圧をトリミングすることによってオフセットを除去し、さらに第2のアンプ回路を追加して必要なトータルのゲインを得ます。
- 第1段のゲインを減らし、高分解能ADCで出力をデジタル化し、ソフトウェアでオフセットを除去します。

最後の2つの方法でも、当初のオフセット値からの変動が最悪の場合を考慮して、第1段で得られる最大ゲインをさらに減少しなければなりません。これらのソリューションでは、高CMRRと低ノイズを実現するために第1段のゲインを大きくする必要があります。そのため消費電力、使用基板面積、コストが増えるため、理想的とは言えません。それに加えて、DC信号や非常に動きが遅い信号を測定する場合にはACカップリングを使うことができません。

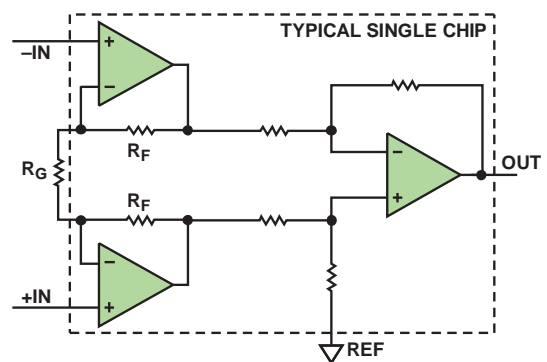


図2. オペアンプ3個で構成した計装アンプ

AD8237やAD8420などの間接電流帰還 (ICF) 計装アンプを使用すれば、オフセットを除去してから増幅することができます。ICFの原理回路を図3に示します。

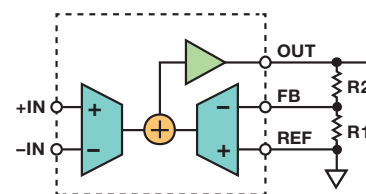


図3. 間接電流帰還型の計装アンプ

この計装アンプの伝達関数は、オペアンプを3個使用する従来型的设计と同じで、次式ようになります。

$$V_{OUT} = \left(1 + \frac{R_2}{R_1}\right) (V_{+IN} - V_{-IN}) + V_{REF} \quad (2)$$

2つの入力間の電圧が帰還 (FB) 端子とリファレンス (REF) 端子間の電圧に等しい時にアンプへの帰還が成立するため、この式は次のように変形できます。

$$V_{OUT} = \left(1 + \frac{R_2}{R_1}\right) (V_{FB} - V_{REF}) + V_{REF} \quad (3)$$

すなわち、帰還端子とリファレンス端子間にオフセットと等しい電圧を印加すると、入力オフセットが大きい場合でも、出力を0Vに調整できることを意味します。図4に示すように、低コストのDACや、組み込みマイクロコントローラからのPWM信号にフィルタをかけた簡単な可変電圧源から、抵抗 R_A を介して帰還ノードに小電流を注入することによってこの調整ができます。

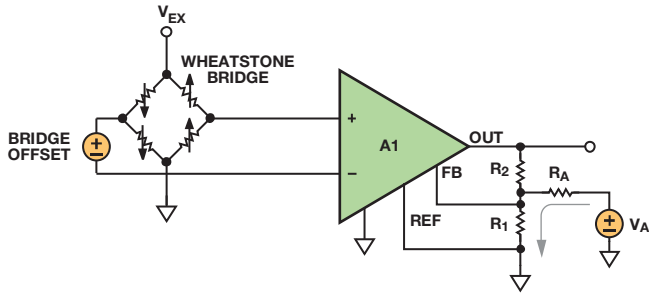


図4. オフセットを除去した高ゲインのブリッジ回路

設計手順

式(3)から、次式のように R_1 と R_2 の比でゲインを設定します。

$$G = \left(1 + \frac{R_2}{R_1} \right) \quad (4)$$

この抵抗値は設計者が決める必要があります。大きい値では消費電力と出力への負荷が小さくなり、小さい値ではFBの入力バイアス電流と入力インピーダンスによる誤差を制限できます。 R_1 と R_2 の並列合成抵抗値が約30kΩを超えると、抵抗がノイズ源として影響し始めます。表1に推奨値を示します。

表1. さまざまなゲインに対する推奨抵抗値 (1%抵抗)

R_1 (kΩ)	R_2 (kΩ)	ゲイン
なし	短絡	1
49.9	49.9	2
20	80.6	5.03
10	90.9	10.09
5	95.3	20.06
2	97.6	49.8
1	100	101
1	200	201
1	499	500
1	1000	1001

R_A の値を簡単に求めるために、デュアル電源動作でREF端子を接地し、バイポーラ調整電圧 V_A は既知の値であると想定します。この場合、出力電圧は以下ようになります。

$$V_{OUT} = \left(1 + \frac{R_2}{R_1} + \frac{R_2}{R_A} \right) V_{IN} - \frac{R_2}{R_A} V_A \quad (5)$$

V_A から出力へのゲインが反転することに留意してください。 V_A が増加すると、出力電圧は抵抗 R_2 と R_A の比率に応じて低下します。この比率によって、所定の入力オフセットに対して調整範囲を最大限に広げることができます。この調整範囲は増幅前のアンプ入力を基準としているため、低分解能の信号源を使っても微調整ができます。通常、 R_A は R_1 よりはるかに大きいため、式(5)を次のように近似することができます。

$$V_{OUT} = \left(1 + \frac{R_2}{R_1} \right) V_{IN} - \frac{R_2}{R_A} V_A \quad (6)$$

所定の調整電圧範囲 $V_{A(MAX)}$ で最大のオフセット調整範囲 $V_{IN(MAX)}$ を可能にする R_A の値を求めるには、次の式のように $V_{OUT} = 0$ に設定して R_A について解きます。

$$R_A = \left(\frac{R_1 R_2}{R_1 + R_2} \right) \frac{V_{A(MAX)}}{V_{IN(MAX)}} \quad (7)$$

ここで、 $V_{IN(MAX)}$ はセンサーの予想される最大オフセットです。式(5)から、調整回路を挿入すると入力および出力間のゲインが変化することもわかります。多くの場合この影響はわずかですが、ゲインの式を次のように書き直すことができます。

$$Gain = \left(1 + \frac{R_2}{R_1} + \frac{R_2}{R_A} \right) \quad (8)$$

一般に、単電源のブリッジ調整アプリケーションでは、リファレンス端子の電圧は信号グラウンドより高い値にします。これは、ブリッジ出力が正負の間でスイングする場合は特に重要です。リファレンス電圧が、図5に示すように抵抗分圧器やバッファなどの低インピーダンス・ソースによって V_{REF} にドライブされる場合、式(5)は次のようになります。

$$V_{OUT} = \left(1 + \frac{R_2}{R_1} + \frac{R_2}{R_A} \right) V_{IN} - \frac{R_2}{R_A} (V_A - V_{REF}) + V_{REF} \quad (9)$$

最初の式で V_{OUT} と V_A を V_{REF} 基準でみると、これと同じ結果が得られます。この場合は、式(7)の $V_{A(MAX)}$ も $V_A(MAX) - V_{REF}$ に置き換えてください。

設計の例

図4に示すような単電源ブリッジ・アンプの設計を考えてみましょう。この回路では、ブリッジとアンプの電源に3.3Vを使用します。フルスケールのブリッジ出力は±15mVで、オフセットは最大で±25mVの範囲とします。必要な感度を得るには、アンプのゲインを100倍にする必要があります。ADCの入力範囲は0V~3.3Vです。ブリッジの出力は正または負になるので、出力は電源中央値の1.65Vを基準にします。単純にゲインを100とすると、アンプ出力はオフセットだけで-0.85V~+4.15Vの範囲となり、電源レールを超えてしまいます。

この問題は、図5に示す回路を使用することで解決できます。ブリッジ・アンプ A_1 は、AD8237などのICF計装アンプです。アンプ A_2 と R_4 および R_5 で A_1 のゼロ・レベル出力を電源中央値に設定します。AD5601 8ビットDACは R_A を介して出力を調整し、ブリッジ・オフセットをゼロに補正します。次いでアンプの出力は、AD7091 マイクロパワー 12ビットADCによってデジタル化されます。

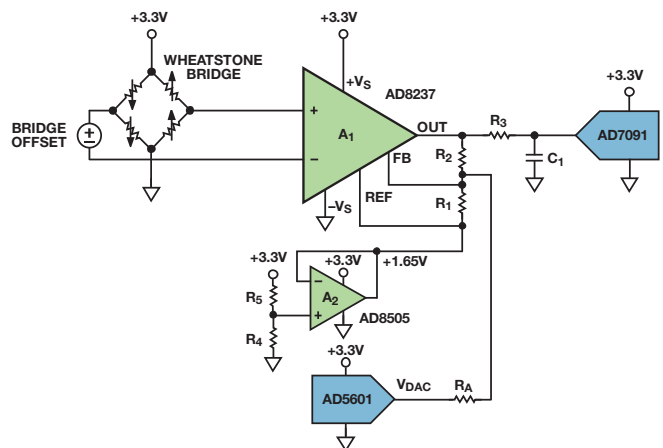


図5. 単電源動作用に作り直したオフセット除去回路

表1からは、ゲインを100にするには R_1 と R_2 を $1k\Omega$ と $100k\Omega$ にする必要があることがわかります。この回路にはDACがあり、スイング幅は0Vから3.3V、すなわち1.65Vの基準電圧で $\pm 1.65V$ です。 R_A の値を計算するには式(6)を使います。 $V_{A(MAX)} = 1.65V$ 、 $V_{IN(MAX)} = 0.025V$ の場合、 $R_A = 65.347k\Omega$ です。抵抗の誤差を1%とすると、最も近い値は $64.9k\Omega$ です。ソースの精度や温度変動によって生じる誤差に対するマージンが含まれていませんが、その対策として低コストで簡単に手に入る $49.9k\Omega$ の抵抗を使用できます。トレードオフは、調整分解能が粗くなることです。これによって調整後のオフセット誤差がわずかに大きくなります。

式(7)から103倍という公称ゲイン値が得られます。目標値の100倍に近いゲイン値を得たい場合は、 R_2 の値を約3%減らして $97.6k\Omega$ とするのが最も簡単な方法です。 R_A の値にはほとんど影響しません。この新しい条件では公称ゲインが100.6倍となります。

DACは $\pm 1.65V$ スイングするため、合計オフセット調整範囲は、 R_A と並列接続の R_1 と R_2 で形成される分圧器によって与えられ、次式で計算することができます。

$$V_{A_RANGE} = \left(\frac{R_1 \parallel R_2}{R_1 \parallel R_2 + R_A} \right) V_{A(MAX)} = \quad (10)$$

$$\frac{0.99 k\Omega}{0.99 k\Omega + 49.9 k\Omega} (\pm 1.65 V) = \pm 32.1 mV$$

$\pm 25 mV$ の最大ブリッジ・オフセットに対して調整範囲が $\pm 32.1 mV$ になるということは、 $\pm 28\%$ の調整マージンが得られることとなります。8ビットDACを使用する場合、調整のステップ・サイズは次のようになります。

$$V_{A_STEP} = \frac{2 \times V_{IN(MAX)}}{2^n} = \frac{64.2 mV}{256} \approx 250 \mu V \quad (11)$$

調整分解能が $250\mu V$ の場合、出力における最大残留オフセットは $12.5mV$ です。

R_3 と C_1 の値は、ADCのデータシートの推奨値または参考文献2をもとに決めることができます。AD7091を使用して1MSPSでサンプリングを行う場合、値は 51Ω と $4.7nF$ になります。サンプリング・レートを下げてノイズや折り返しノイズの影響をさらに小さくするとき、もっと大きい抵抗とコンデンサの組み合わせを用いることができます。

この回路のその他の利点としては、製造時または取付け時にブリッジのオフセットを調整できることです。環境条件、センサーのヒステリシス、あるいは長期的ドリフトによってオフセット値が変化した場合は、回路を再調整できます。

AD8237の入力は真のレールtoレールであるため、電源電圧が非常に低いブリッジ・アプリケーションで最もその威力を発揮します。もっと高い電源電圧が必要な従来型の産業用アプリケーションにはAD8420が適しています。このICF計装アンプは $2.7V \sim 36V$ の電源電圧で動作し、消費電流は60%減少します。

この2種類の計装アンプの比較を表2に示します。スペックの最小値と最大値が設定されている場合は、その値を表記しています。詳細や最新情報については、製品のデータシートをご覧ください。

表2. AD8237とAD8420の比較

仕様	AD8237	AD8420
技術	CMOS (ゼロドリフト)	バイポーラ
無信号時電源電流	130 μA	80 μA
電源電圧範囲	1.8V~5.5V	2.7V~36V
入力電圧範囲	$-V_S - 0.3V \sim +V_S + 0.3V$	$-V_S - 0.15V \sim +V_S - 2.2V$
最大差動入力電圧	$\pm(V_S - 1.2)V$	$\pm 1V$
レールtoレール出力	可	可
CMRR ($G = 100, dc \sim 60Hz$)	114dB	100dB
オフセット電圧	75 μV	125 μV
オフセット電圧ドリフト	0.3 $\mu V/^\circ C$	1 $\mu V/^\circ C$
電圧ノイズ・スペクトル密度	68nV/ \sqrt{Hz}	55nV/ \sqrt{Hz}
ゲイン誤差 ($G = 100$)	0.005%	0.1%
ゲイン・ドリフト	0.5ppm/ $^\circ C$	10ppm/ $^\circ C$
-3dB帯域幅 ($G = 100$)	10kHz (HBW モード)	2.5kHz
パッケージ	8ピンMSOP	8ピンMSOP

参考文献

AN212 Application Note. *Handling Sensor Bridge Offset*. Honeywell International Inc., Rev 05-05.

HMC1001/HMC1002/HMC1021/HMC1022 1- and 2-Axis Magnetic Sensors Data Sheet. Honeywell International Inc., 2008.

Kitchin, Charles and Lew Counts. *A Designer's Guide to Instrumentation Amplifiers*. 3rd Edition. Analog Devices, Inc., 2006.

NPC-410 Series Data Sheet. GE Sensing, 2006.

Product Training Module. *Indirect Current Feedback Instrumentation Amplifier Applications Guide*. Digi-Key Corporation.

Walsh, Alan. "Front-End Amplifier and RC Filter Design for a Precision SAR Analog-to-Digital Converter." *Analog Dialogue*, Volume 46, 2012.

著者

Gustavo Castro [gustavo.castro@analog.com]

マサチューセッツ州ウィルミントンの高精度シグナル・コンディショニング・グループに所属するアプリケーション・エンジニアです。2011年1月のアナログ・デバイゼズ入社以前は、10年間デジタル・マルチメータやDCソースなどの精密計測機器設計に従事していました。2000年にメキシコのモンテレイ工科大学で電子工学の修士号を取得しました。これまで2件の特許を取得しています。



Scott Hunt [scott.hunt@analog.com]

マサチューセッツ州ウィルミントンのリニア製品グループに所属する製品アプリケーション・エンジニアです。レンセラー工科大学で電気工学の修士号を取得した後、2011年にアナログ・デバイゼズに入社しました。計装アンプ、差動アンプ、熱電対アンプなどの集積回路高精度アンプが専門です。

