

FETを使用したディスクリート・アンプの設計

著者： George Alexandrov、Nathan Carter

はじめに

フォトダイオードや圧電素子を使用したアプリケーション、あるいは計装アプリケーションなどでは、ノイズの少ないアンプが必要になります。通常、そうしたアンプには、入力インピーダンスが非常に高いこと、 $1/f$ ノイズが小さいこと、バイアス電流がpA以下のレベルであることなどが求められます。しかし、そうした厳しい要件は、IC製品では達成できないこともあります。その場合、ディスクリートのICを使用して構成したアンプ（ディスクリート・アンプ）が使われることになります。本稿では、ノイズの少ないディスクリート・アンプの設計手法について説明します。特に入力換算ノイズとオフセット電圧のトリミングに着目し、アンプの設計における要件と課題について解説します。

高ゲインの入力段に関する制約

一般に、ディスクリート・アンプは図1のように構成されます。マッチングのとれた2つのJFETによって差動入力段を実装し、その後段に高速オペアンプを配置するということができます。それによって、高い入力インピーダンスと初期ゲインを得ることができます。この構成ではノイズは入力段でほぼ決まるので、低ノイズのオペアンプは不要です。

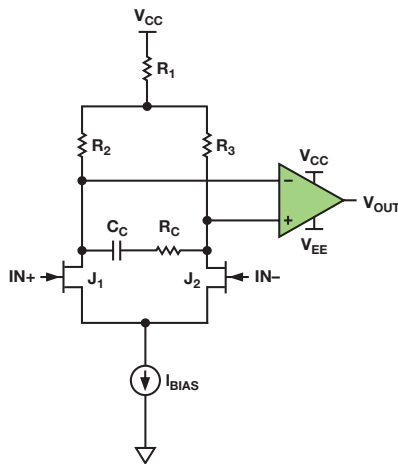


図1. 高速で低ノイズの計装アンプ

残念ながら、ゲインが低く周波数が高い場合には出力を安定化させるのは困難です。安定化は、RC補償回路を追加することによって行われます。しかし、これらの部品の最適な値はゲインに応じて変化します。そのため、全体的な設計は複雑になります。また、アプリケーションによっては、大振幅の信号に対する応答が遅くなりすぎることがあります。

図2に示すユニティゲイン構成の回路では、補償を行うことなく、図1の回路と同等のノイズ性能を得ることができます。この回路は、出力用のオペアンプ、FETを使用した入力バッファ、FETにバイアスをかける電流源という3つの部分で構成されます。回路の速度は主にオペアンプによって決まります。

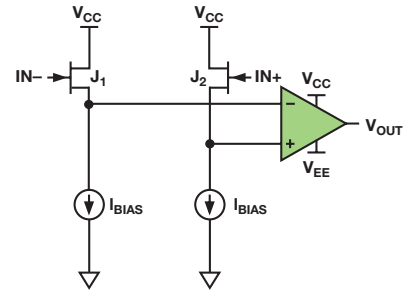


図2. 安定性が得られるユニティゲイン構成のアンプ

入力段をユニティゲイン構成にすると、オペアンプのノイズ性能に対して厳しい制約が生じます。図1の回路では、入力用のFETは有限のゲインを持ちます。このことから、後続段におけるノイズの影響が低減されます。一方、ユニティゲイン構成では、トータルのノイズ性能は入力バッファとオペアンプの2つによって決まることになります。そのため、低ノイズのオペアンプが必要になります。

入力段の電流源

FETを使用した入力バッファには、電流源によってバイアスをかけます。この電流源を適切に実装しなければ、ノイズ性能に大きな影響が及ぶ恐れがあります。バイアスがノイズに与える影響を最小限に抑えるための1つの方法は、シンプルなカレント・ミラーに縮退抵抗 (degeneration resistor) を追加することです (図3)。

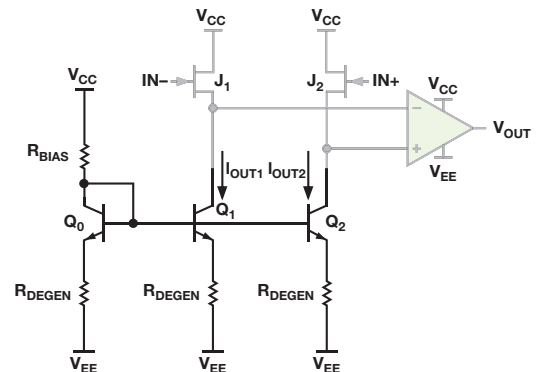


図3. 縮退抵抗を追加したカレント・ミラー

図3において、トランジスタ Q_0 に流れる電流は、トランジスタ Q_1 と Q_2 にミラーリングされます。ノイズ源としては、トランジスタの $1/f$ ノイズとショット・ノイズがあります。縮退抵抗 R_{DEGEN} を追加することにより、ショット・ノイズが $1/1 + g_m R_{DEGEN}$ に低減されます。ただし、 $1/f$ ノイズに対しては効果はありません。

$1/f$ ノイズは、ベース-エミッタ間の電流を使用してモデル化することができます。これに対しては、 R_{DEGEN} を使用しても改善は見られません。両方のノイズ源からの影響を同時に低減するには、異なる構成の電流源を採用する必要があります。

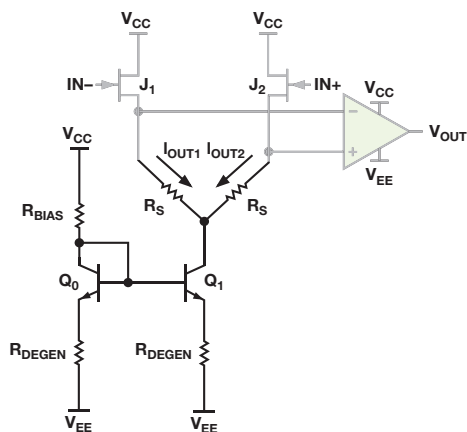


図4. 電流を分割する抵抗を追加したカレント・ミラー

そのような観点から改善を施したカレント・ミラー回路を図4に示しました。この回路では、電流源に必要なトランジスタの数を抑えることができます。そのため、4個のトランジスタのパッケージではなく、2個のトランジスタ・ペアを使用することが可能です。その結果、サイズとコストの両方を抑えられます。

この構成では、ショット・ノイズと $1/f$ ノイズの両方をキャンセルすることができます。その結果、ノイズ性能が大きく向上します。トランジスタ Q_0 を流れる電流は、トランジスタ Q_1 にミラーリングされます。その電流は、2個の抵抗を介してコレクタで分割されます。それによって、 $1/f$ ノイズとショット・ノイズが均等に二分されます。2つのノイズ源は同一のトランジスタに起因したものであり、コヒーレントです。出力が差動であることから、ノイズがキャンセルされます(図5)。

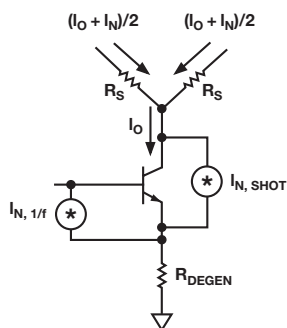


図5. 電流源が理想的なものであればノイズがキャンセルされる

図4の回路でも、電流のマッチングと出力インピーダンスの改善を目的とし、カレント・ミラーのトランジスタを縮退(degenerate)させています。電流の値は R_{DEGEN} における電圧降下によって決まります。そのため、トランジスタのマッチングは、縮退させない場合と比べればそれほど重要ではありません。したがって、マッチングを考慮したトランジスタ・ペアであれば、ほぼ任意のものを使用できるはずです。ただし、安定性を維持するためにはコレクタ容量を小さく抑える必要があります。2つの実装では、差動入力容量に違いはありません。2つの入力素子において、ソース間のカップリングは、アンプが備える低い差動入力インピーダンスに大きく依存します。

本稿で示す回路については、実際に製作を行って評価を実施しています。その評価用回路では、バイアス電流を定める電圧リファレンスを、電源電圧 V_{CC} に接続した抵抗によって実現しました。そのため、 V_{CC} の変化に伴って性能の問題が生じやすくなります。実際には、抵抗の代わりに、ツェナーダイオードや、バンドギャップ、電圧リファレンスICを使用する必要があります。

オペアンプ

オペアンプは、ディスクリート・アンプ全体の速度、ノイズ、出力性能、歪みを左右します。そのため、アプリケーションに応じて適切なものを選択する必要があります。表1に、適切なオペアンプの例として、2つの製品の主要な特性(標準値)を示しました。

表1. 代表的なオペアンプの主要な特性

	広帯域ノイズ [nV/√Hz]	電源電流 (アンプ当たり) [mA]	-3dB帯域幅 ($G=1$ のとき) [MHz]	電源電圧 [V]
ADA4897	1.0	3	230	$\pm 1.5 \sim \pm 5$
ADA4898	0.9	8	65	$\pm 5 \sim \pm 18$

「ADA4897」は、ほとんどの高速センシング・アプリケーションで求められる優れたノイズ性能を得るための適切な選択肢です。一方、高電圧のアプリケーションには「ADA4898」が適しています。この製品は $\pm 18V$ の電源電圧で動作が可能であり、わずか8mAの消費電流で優れたノイズ性能を発揮します。どちらの製品も、スルー・レートは50V/ μ s以上です。

入力用のFET

入力用のFETは、ディスクリート・アンプ全体の入力特性を左右します。最良の性能を得るには、ノイズと入力バイアス電流が少なく、適切にマッチングしたFETが必要です。最も重要な点は、非常に高い精度でマッチングしているJFETを使うことです。JFETによって、入力オフセット電圧が決まるからです。例えば「LSK389」の場合、差動ゲート-ソース間カットオフ電圧 ΔV_{GS} は最大20mVです。つまり、オフセット電圧 V_{OS} は20mVとなります。このやや大きいオフセット電圧を低下させる手法については後述します。

表2. 代表的なJFETの主要な特性

	広帯域ノイズ (1kHzのとき) [nV/√Hz]	差動ゲート-ソース間カットオフ電圧(最大値) [mV]	ゲート-ソース間飽和電流比 (最小値)	ゲート電流 [pA]
LSK389A	0.9 ($I_D = 2$ mA)	20	0.90	N/A
LSK489	1.8 ($I_D = 2$ mA)	20	0.90	-2 ~ -25
2N5564	2.0 ($I_D = 1$ mA)	5	0.95	-3
2SJ109	1.1 ($I_D = 3$ mA)	20	0.90	N/A

ディスクリート・アンプの性能

以下では、入力用の n チャンネルJFETとして「LSK389A」、カレント・ミラー用のトランジスタとして「PMP4201」、オペアンプとしてADA4897を使用して実装したディスクリート・アンプを例にとります。その評価ボードを図6に示しました。



図6. デジタル・ポテンシオメータへの接続も可能なディスクリート・アンプ用評価ボード

この実装において、誤差を生じさせる最大の要因は、入力オフセット電圧が大きいことです。このオフセット電圧は、主に入力用FETのミスマッチに起因して生じます。オフセット電圧の値は、最大で10mVにも上る可能性があります（LSK389のデータシートでは最大20mVになっていますが、評価中に20mVに達したことは一度もありませんでした）。ゲインを100とした場合、1Vの出力オフセットが生成されることになり、このディスクリート・アンプは実使用に堪えなくなります。そのため、このディスクリート・アンプをプリアンプとして使用する場合には、入力オフセット電圧のトリミングを行う必要があります。それには、デジタル・ポテンシオメータ「AD5292」を使用します。以下では、ポテンシオメータを使用することでオフセットをトリミングする2つの方法を紹介します。

入力オフセット電圧

ディスクリート・アンプの評価版では、実際の入力オフセット電圧は1mV~10mVでした。このようなオフセットが生じる主な原因は、入力用JFETのミスマッチです。LSK389のデータシートによると、ドレイン飽和電流 I_{DSS} の誤差は最大10%にも達します。これは、デバイスのゲート-ソース間電圧 V_{GS} に影響を及ぼし、オフセット電圧を引き起こします。このオフセットは、2つのJFETからのバイアス電流の値が同一でないことによって生じます。そのため、それらの電流を供給する電流源を調整することによって、この誤差を補償することが可能になります。オフセットをゼロにする方法の1つを図7に示しました。

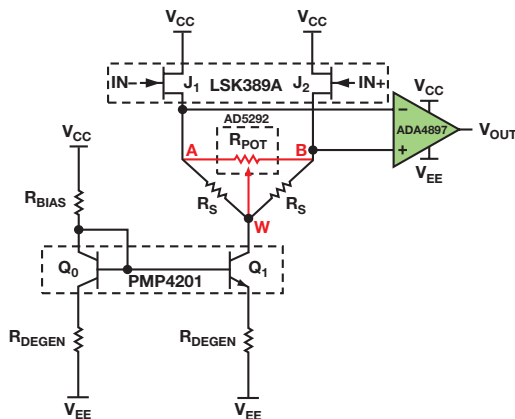


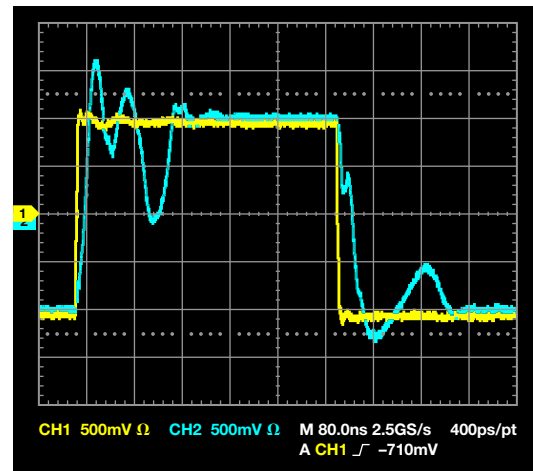
図7. ポテンシオメータによって入力オフセット電圧をキャンセルする方法（その1）

AD5292や「AD5141」などのデジタル・ポテンシオメータを使用することで、入力用FETに流れる電流量を調整することができます。表3に、両製品の主要な特性を示しました。これらは3端子のポテンシオメータとして構成されています。SPIを介してポテンシオメータを制御し、ワイパーの位置を正確に定めることで、高い精度で抵抗値を制御することができます。

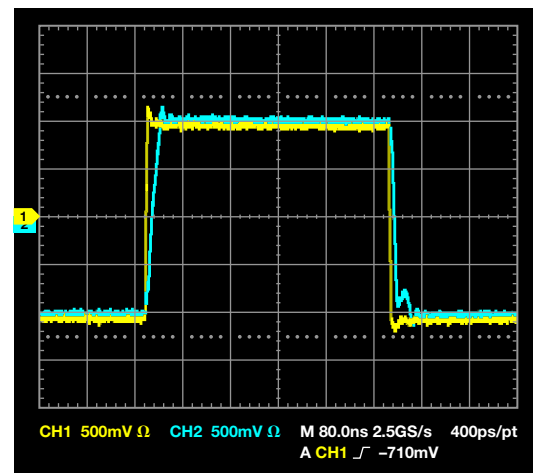
表3. デジタル・ポテンシオメータの主要な特性

	電源電圧 [V]	公称抵抗値 [kΩ]	抵抗許容誤差 [%]	分解能 [ビット]	動作温度 [°C]
AD5141	±2.5	10, 100	8	8	-40 ~ +125
AD5292	±16	20, 50, 100	1	10	-40 ~ +105

残念ながら、これらのデジタル・ポテンシオメータは、端子における寄生容量が小さくありません（最大85pF）。そのため、高い周波数において、安定性の問題とリングングが生じます。図8に示したのは、ディスクリート・アンプのステップ応答です。ポテンシオメータを適用した場合と適用していない場合の結果を示しています。



(a)



(b)

図8. ディスクリート・アンプのステップ応答 (a) はオフセットのトリミング用にポテンシオメータを適用した場合、(b) は適用していない場合

入力用FETのソースとグラウンドの間には、85pFの寄生容量が接続されることとなります。それにより、高い周波数において大きなリングングが生じ、安定性が失われます。高い周波数におけるノイズ性能と安定性を維持しつつ、入力オフセット電圧を低下させるにはどうすればよいのでしょうか。その答えとして、もう1つのバイアス設定方法を図9に示しました。

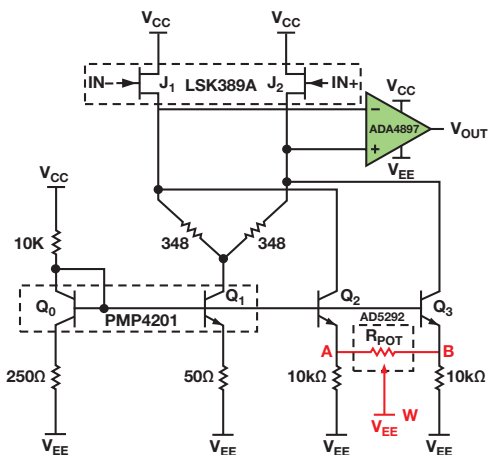


図9. ポテンショメータによって入力オフセット電圧をキャンセルする方法（その2）

図7、図9のどちらのバイアス方法でも、基本的には同じことが行われます。すなわち、デジタル・ポテンショメータを使用して各FETを流れる電流量を調整し、ゲート-ソース間電圧を一致させて入力オフセット電圧を最小限に抑えるということです。ただし、図9のバイアス方法では、高い周波数において、ポテンショメータの大きな寄生容量による不安定さやリングングが生じないことが保証されます。これは、図3と図4に示した異なる2つのカレント・ミラー構成を組み合わせることによって実現されます。Q₀、Q₁で構成されるカレント・ミラーは、コレクタ電流を分割してその大部分をFETに供給します。そのため、バイアス用のトランジスタからのノイズはほとんど生じません。Q₀、Q₂、Q₃は、より従来型に近い、ノイズの大きいカレント・ミラーを構成しています。Q₂、Q₃には、FETの総バイアス電流（約30μA）のうちわずか1~2%しか供給されないように縮退されます。そのため、大きなノイズが生成されることはありません。その一方で、10mVのオフセットを簡単にトリミングすることが可能なレベルの電流は確保されます。

より重要なのは、ポテンショメータの寄生容量が出力に影響を及ぼさないことが保証される点です。まとめると、まず抵抗R_S（図9では348Ωの2つの抵抗）を使って電流を分割する回路によりノイズが小さく保たれます。また、オフセットはQ₂、Q₃における縮退によって確実にトリミングすることが可能です。さらに、ポテンショメータの寄生容量は出力に影響を及ぼしません。図10に、この手法によってトリミングを行った場合のステップ応答を示しました。

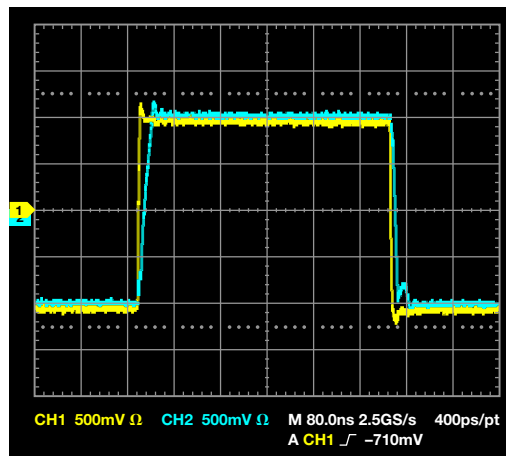


図10. 図9のトリミング手法を適用したディスクリート・アンプのステップ応答

デジタル・ポテンショメータを使用すれば、オフセット電圧を簡単にトリミングすることができます。それにより、動作温度と電圧に関する広範な条件の下でオフセットを最小限に抑えることが可能になります。AD5292は、20回のプログラミングが可能なメモリーを備えています。オフセット電圧を調整したら、それに対応するワイパーの位置を永続的に保存することが可能です。図9の回路の実装したアンプ本体のボードでは、AD5292の評価ボードを使用し、オフセットのトリミングに使うポテンショメータを外部で接続できるようにしました。よりコンパクトな設計にするには、デジタル・ポテンショメータをアンプ本体のボード上に配置し、同デバイスが備えるシリアル・インタフェース端子を使ってプログラミングを行うようにすればよいでしょう。

図9の方法を採用した結果、公称抵抗値が20kΩのAD5292を使用し、LSK389とADA4897で構成したディスクリート・アンプの入力オフセット電圧を数μVのレベルにまで低下させることができました。

オフセット・ドリフト

オフセットの電圧温度係数（温度の上昇に伴う入力オフセット電圧の増加の割合）は、トリミングなしのディスクリート・アンプの場合で約4μV/°Cです。ところが、AD5292を追加した手法を適用すると、それが約25μV/°Cまで増加してしまいます（図11）。

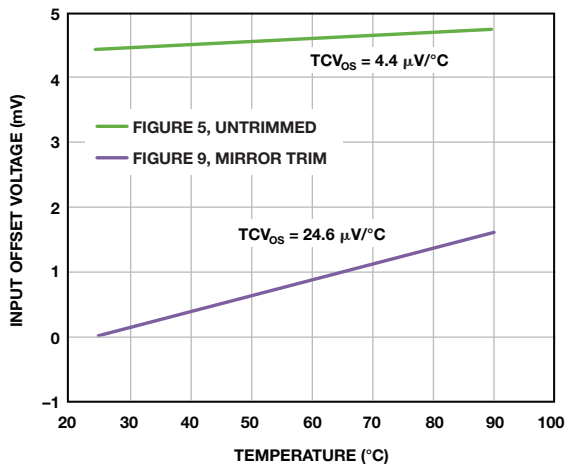


図11. 入力オフセット電圧と温度の関係

確かにドリフトは大きく増加するのですが、ディスクリート・アンプのダイナミック・レンジは大幅に改善されます。例えば、トリミングなしでオフセットが5mVのアンプを85°Cの温度で使うとします。ゲインを100に設定した場合、実際の出カオフセットは次のようになります。

$$V_{OUT} = (V_{OS} + TCV_{OS} \times T) \times G = (5 \text{ mV} + 4 \mu\text{V}/^\circ\text{C} \times 85^\circ\text{C}) \times 100 = 534 \text{ mV}$$

ポテンショメータを使ってオフセットを5μVにトリミングした場合、ドリフトは25μV/°Cとなります。その場合、ゲインが100、温度が85°Cという条件下で実際の出カオフセットは次のようになります。

$$V_{OUT} = (V_{OS} + TCV_{OS} \times T) \times G = (5 \mu\text{V} + 25 \mu\text{V}/^\circ\text{C} \times 85^\circ\text{C}) \times 100 = 213 \text{ mV}$$

つまり、ダイナミック・レンジは300mV以上改善することになります。これによって、さらなる精度の向上につながるフィールド校正や、システム・レベルでのドリフト校正、トリミング手法の適用が可能になります。

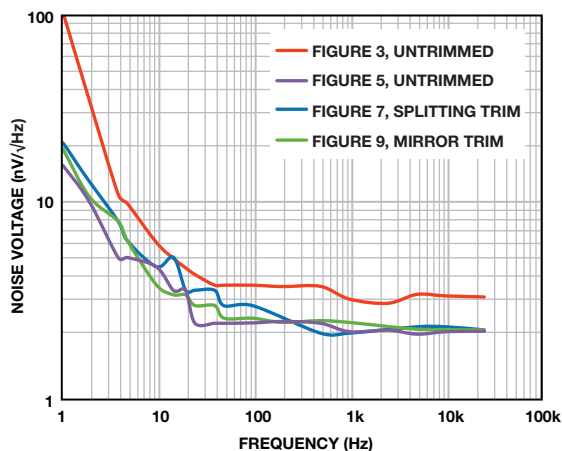


図12. 入力換算ノイズに対するトリミングの効果

図12は、ここまで示した各構成におけるノイズ密度を示したものです。図9のディスクリート・アンプでは、電源電流が8mAの条件で2nV/√Hzです。つまり、既存のIC製品よりも優れた広帯域ノイズ密度を達成しています。トリミングを適用しない場合の1/fノイズは、10Hzで4nV/√Hz、1Hzで16nV/√Hzです。従来型のカレント・ミラーを使って構成した場合（赤い線）、1/fノイズと広帯域ノイズはいずれも1.5~2倍ほど大きくなっています。それに対し、ほかの3つの曲線では大きな差はありません。つまり、全体的なノイズはトリミングを適用しても実質的には変わらないということに注意してください。

小信号伝達関数

図13、図14に示したのは、それぞれゲインとトリミング手法を変化させた場合の周波数応答です。ご覧のように、R_Sでトリミングしただけのアンプ（図7の回路）は不安定です。また、カレント・ミラーを使ってトリミングを行った場合（図9の回路）には、トリミングなしの場合と周波数応答は変わらない点に注意してください。

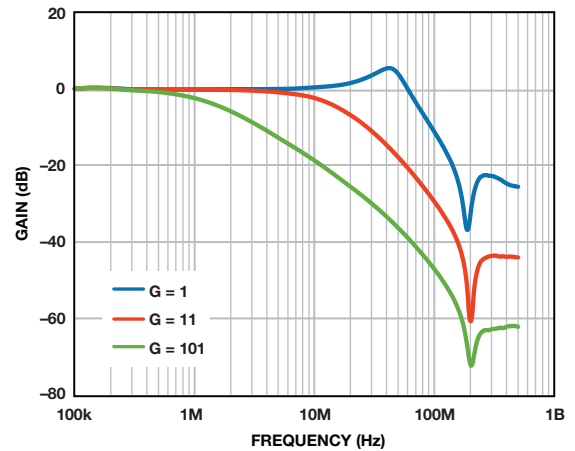


図13. トリミングなしのアンプでゲインを変化させた場合の帯域幅

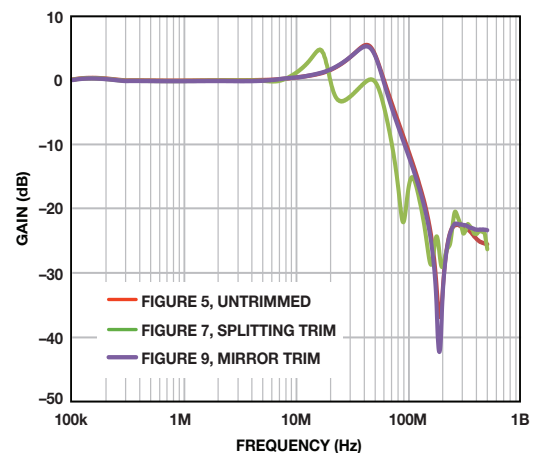


図14. 各トリミング手法を適用した場合のユニティゲイン帯域幅

入力バイアス電流

ゲイン設定と検出抵抗を使って、入力バイアス電流を測定しました。表4に、オペアンプ、電圧、温度を変化させた場合に、入力バイアス電流が標準的にはどの程度の範囲で変化するかを示しました。

表4. 入力バイアス電流の値

	ADA4897 (25°C)	ADA4897 (125°C)	ADA4898 (±5V)	ADA4898 (±15V)
入力バイアス電流 [pA]	<1	4000 ~10,000	<1	15~50

まとめ

高い入力インピーダンス、小さいノイズ、小さなオフセット電圧を実現したアンプを必要とするアプリケーションはますます増加しています。それに伴い、ディスクリートICを使用して、アプリケーションに特化したアンプを設計する重要性も高まりつつあります。本稿では、4個のディスクリートICを使用し、高速、低ノイズで、入力オフセット電圧を調整可能なアンプを紹介しました。各段を設計する際の検討事項について、アンプのノイズ性能や、ショット・ノイズと1/fノイズをキャンセルする方法に着目して説明しました。オペアンプにはADA4897を、JFETにはLSK389を使用することで、入力換算ノイズが2nV/√Hz、電源電流がわずか8mAのユニティゲイン・アンプを設計することができます。その評価結果も非常に良好でした。10mVほどにもなる高い入力オフセット電圧は、ポテンショメータであるAD5292を使用してデジタルでトリミングすることができます。また、さまざまなアプリケーションや環境に対応するためには、本稿で紹介した別のICを使用することも可能です。

著者

George Alexandrov (george.alexandrov@analog.com) は、高速アンプグループに所属するインターンの設計エンジニアです。スタンフォード大学で学士を取得しており、現在はカリフォルニア大学バークレー校に在籍しています。



Nathan Carter (nathan.carter@analog.com) は、リニア/RFグループに10年以上在籍する設計エンジニアです。カリフォルニア州工科大学とウースター工科大学で学位を取得しています。

