

アプリケーション・エンジニアに尋ねる—33

ダイレクト・デジタル・シンセシスのすべて

著者: Eva Murphy
Colm Slattery [colm.slattery@analog.com]

ダイレクト・デジタル・シンセシスとは何ですか?

ダイレクト・デジタル・シンセシス (DDS) とは、デジタル形式で時変信号を発生させ、その後デジタル/アナログ変換を行うことでアナログ波形 (通常はサイン波) を生成する方法です。DDSデバイス内は主にデジタルで動作しているため、周波数の高速スイッチング、高い周波数分解能、広い周波数範囲での動作が可能です。現在のDDSデバイスは、設計およびプロセス技術の進歩によって、非常にコンパクトかつ低消費電力になりました。

なぜダイレクト・デジタル・シンセサイザ (DDS) を使用するのはですか?他の方法では簡単に周波数を生成できないのでしょうか?

さまざまな周波数と波形形状を正確に生成および制御できる能力は、多くの業界で共通する、重要な条件になっています。優れたスプリアス性能を持つ低位相ノイズな周波数可変の任意周波数信号源が必要な通信用機器であれ、刺激用交流信号を生成する産業用機器またはバイオメディカル・テスト機器であれ、簡単さ、小型、低価格は重要な設計上の留意点です。

周波数を生成する方法としては、超高周波を合成できるフェーズ・ロックド・ループ (PLL) ベースの技術から、D/Aコンバータ (DAC) をダイナミック・プログラミングすることで低周波領域で任意の波形を生成する方法に至るまで、設計にはさまざまな選択肢があります。しかし、通信および産業用アプリケーションでは、周波数 (または波形) の生成条件を満たすものとして、DDS技術が急速に普及しています。その理由は、シングルチップのICデバイスでプログラマブルなアナログ出力波形を、高い分解能と精度で簡単に生成できるためです。

さらに、プロセス技術と設計のためめ改善によって、これまで考えられなかったほどの低価格と低消費電力が実現しています。たとえばDDSベースのプログラマブル波形発生器AD9833 (図1) の場合、5.5V動作25MHzクロックで、最大消費電力は30ミリワットです。

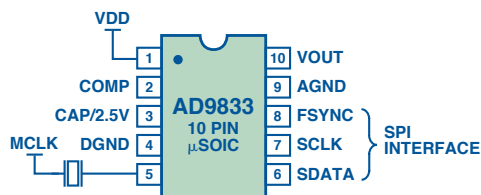


図1. AD9833:ワンチップ波形発生器

DDSを使用する主なメリットは何ですか?

AD9833などのDDSデバイスは、高速シリアル・ペリフェラル・インターフェース (SPI) で設定が可能で、外部クロックを入れるだけで簡単にサイン波を生成できます。現在では1GHzのクロックをベースにして、1Hz未満から最大400MHzまでの周波数を生成できるDDSデバイスもあります。DDSデバイスは低消費電力、低価格、単一の小型パッケージというメリットに加え、優れた性能を本質的に持っており、出力波形をデジタルで設定 (および再設定) できることから、さまざまな素子を集めて作りあげる柔軟性に劣るソリューションに比べて、はるかに魅力的なソリューションです。

代表的なDDSデバイスではどんな出力を生成できますか?

DDSデバイスの出力は、純粋なサイン波出力ではありません。図2は、AD9833が出力できる矩形波、三角波、サイン波のようすです。

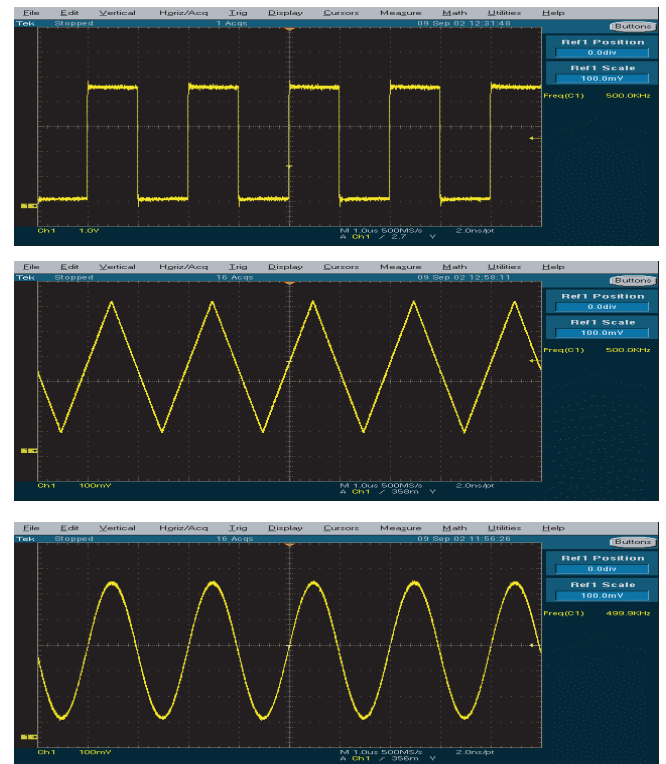


図2. DDSの矩形波、三角波、サイン波の出力

DDSデバイスはどのようにサイン波を生成するのでしょうか?

DDSデバイスの内部をのぞいて見ると、主要な回路として、位相アキュムレータ、位相/振幅変換器 (通常はサイン関数ルックアップ・テーブル)、DACがあります。これらのブロックを図3に示します。

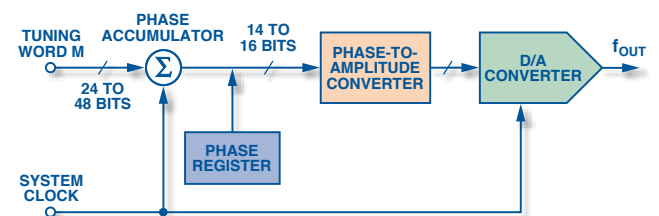


図3. ダイレクト・デジタル・シンセサイザのブロック

DDSは所定の周波数でサイン波を生成します。この周波数は、基準クロック周波数と、周波数レジスタに設定した2進数 (同調ワード) の2つの変数に依存します。

周波数レジスタの2進数は、位相アキュムレータの入力値になります。サイン関数ルックアップ・テーブルを使用する場合、位相アキュムレータがルックアップ・テーブルの位相 (角度) アドレスを計算し、その位相角のサイン成分に応じた振幅のデジタル値をDACに対して出力します。DACは、その数値に対応するアナログ電圧値または電流値に変換します。固定周波数のサイン波を生成するために、クロック・サイクルごとに一定の値 (2進数で決定される位相インクリメント) が位相アキュムレータに加算されます。位相インクリメントが大きければ、位相アキュムレータはサイン関数ルックアップ・テーブルを短時間で一巡し終え、高い周波数のサイン波を生成します。位相インクリメントが小さいと、位相アキュムレータのステップ数が増え、低い周波数の波形が生成されます。

コンプリートDDSとはどういう意味ですか？

D/AコンバータとDDSをシングル・チップに集積したものを一般に「コンプリートDDSソリューション」と呼んでいます。これはアナログ・デバイゼズのすべてのDDSデバイスに共通です。

位相アキュムレータについてもう少し教えてください。これはどのように動作するのですか？

連続時間サイン波信号は、 $0 \sim 2\pi$ で反復する位相角範囲があります。デジタル処理の場合も同じです。カウンタの桁上げ動作によって、位相アキュムレータはDDS処理系で位相のリングを構成します。

この基本動作を理解するため、サイン波振動を位相極座標の円をベクトルが回転するものとして考えてみましょう（図4を参照）。位相の円上に示されている各ポイントは、サイン波のサイクル上の等価なポイントに対応します。ベクトルが円上を回転していくと、角度のサイン成分に対応する出力サイン波が生成されます。ベクトルが位相の円上を一定速度で1回転すると、出力では完全なサイン波の1サイクルが得られます。位相アキュムレータは、位相の円上での、ベクトルのリニア回転に伴う等間隔な角度値を出力します。位相アキュムレータの出力は、出力するサイン波の1サイクルでの各ポイントに対応しています。

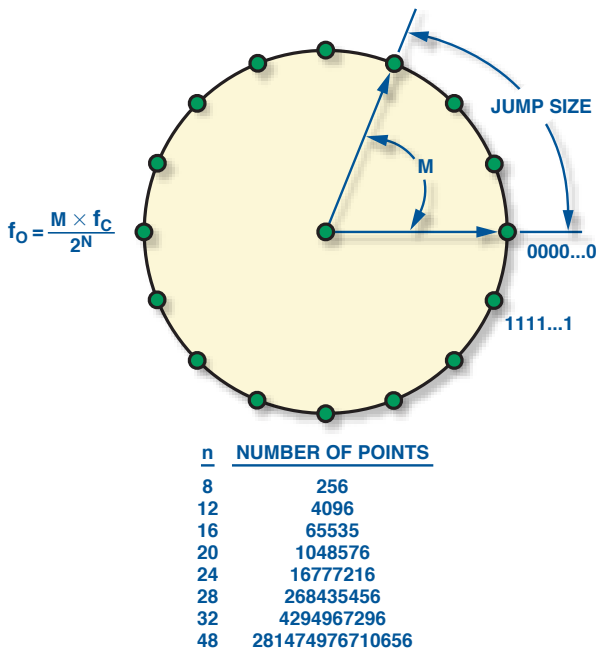


図4. デジタル位相の輪

実際には、位相アキュムレータは基準クロックが入るたびに、格納された数値をインクリメントする、モジュロMのカウンタです。インクリメントの大きさは、2進入力ワード（M）によります。このワードが、基準クロックを更新する位相ステップ・サイズを決め、結果として位相の円上でジャンプしていくポイント数を設定します。ジャンプするポイント数が大きいほど、位相アキュムレータがオーバーフローしてサイン波の1サイクルに相当するステップを完了する時間が短くなります。円の中に含まれる個々の位相ポイントの数は、位相アキュムレータの分解能（n）によって決定し、これによりDDSの同調分解能が決まります。n=28ビットの位相アキュムレータの場合、0000...0001というMの値で位相アキュムレータは 2^{28} 基準クロック・サイクル（インクリメント）後にオーバーフローします。M値が0111...1111になると、位相アキュムレータは、わずかに2個の基準クロック・サイクル後にオーバーフローします（ナイキスト定理によって必要とされる最小値）。この関係は、DDSアーキテクチャの基本的な式からわかります。

$$f_{OUT} = \frac{M \times f_c}{2^n}$$

ここで

f_{OUT} =DDSの出力周波数

M=バイナリ同調ワード

f_c =内部基準クロック周波数（システム・クロック）

n=位相アキュムレータの長さ（ビット単位）

Mの値が変化すると、出力周波数にただちに位相変化が生じます。フェーズ・ロックド・ループの場合のようなループのセットリング時間はありません。

出力周波数が増加するにつれて、1サイクル当たりのサンプル数は減少します。サンプリング理論によれば、出力波形を再構成するには1サイクル当たり2つ以上のサンプルが必要です。そのためDDSの最大出力周波数は $f_c/2$ です。ただし実用上では、出力周波数をそれよりいくぶん低くすることで、再構成される波形の品質が向上し、出力のフィルタ処理が可能になります。

一定の周波数を生成しているとき、位相アキュムレータの出力値は直線的に増加します。したがってこれをアナログにした波形は本質的にランプ（リニア）波形になります。

では、そのリニアな出力はどのようにサイン波に変換されるのですか？

位相/振幅ルックアップ・テーブルを使用して、位相アキュムレータの瞬時出力値（AD9833では28ビット）をサイン波の振幅情報に変換してから、D/Aコンバータ（10ビット）に送ります。変換の際、不要な下位ビットは切り捨てられます。DDSアーキテクチャは、サイン波の対称性を利用し、マッピング・ロジックで位相アキュムレータが出力する1/4サイクルのデータから完全なサイン波を合成します。位相/振幅ルックアップ・テーブルは、ルックアップ・テーブルを前方向に読み出したあと、逆方向に読み出すことによって、残りのデータを生成します。これを図5に示します。

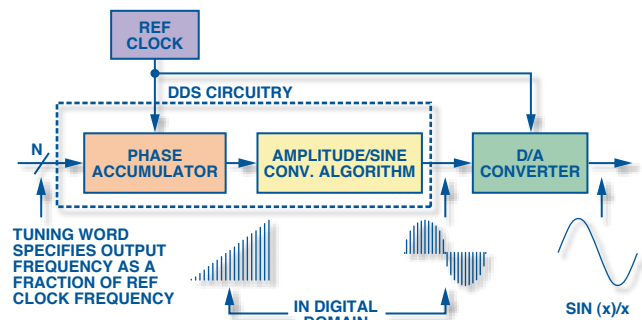


図5. DDSアーキテクチャの信号の流れ

DDSはどのような用途によく使われていますか？

現在DDSベースの波形生成を使用しているアプリケーションには、主に2つの種類があります。優れた位相ノイズと低スプリアス特性を持つ（応答性のよい）任意周波数源を必要とする通信システムの設計では、スペクトル特性と周波数同調分解能の両方を考慮してDDSがよく選択されています。この場合、DDSを変調に使用したり、全体の周波数同調性能を高めるためにPLLのリファレンス信号にしたり、局部発振器（LO）にしたり、あるいはダイレクトRF送信に使用することもあります。

もう一つの用途として、産業用アプリケーションやバイオメディカル・アプリケーションの多くで、DDSをプログラマブル波形発生器として使用しています。DDSはデジタル値で設定が可能であるため、従来のアナログ設定型の波形発生器とは異なり、外付け部品を変更することなく、波形の位相と周波数を簡単に変更することができます。DDSを使用すれば、周波数をリアルタイムで簡単に変更することで、共振周波数を調べたり、温度ドリフトを補償したりすることができます。このようなアプリケーションにおけるDDSの用途としては、インピー

ダンスの測定（インピーダンス変化量を用いるセンサーなど）、マイクロ・アクチュエータ用のパルス波変調信号の生成、LANや電話ケーブルの減衰量の検査のための可変周波数源などがあります。

実用的な機器やシステムの設計者にとってDDSの主な利点は何でしょうか？

コスト競争力があり、高性能で、機能が集積化された現代のDDS ICは、通信システム、センサーどちらの分野でも一般的に利用されるようになってきました。設計技術者にとっては、以下が魅力的な点です。

- デジタル制御されたマイクロヘルツの周波数分解能と1°未満の位相可変機能
- きわめて高速な出力周波数同調（または位相）における変化速度。オーバーシュート/アンダーシュートがなく、アナログ回路関連のループ・セトリング時間も関係ない、位相が連続した周波数ホッピング
- DDSのデジタル・アーキテクチャは、アナログ・シンセサイザ・ソリューションで必要とされる部品の経年変化や温度ドリフトに関連した手動調整や微調整が不要
- DDSアーキテクチャのデジタル制御インターフェースは、高分解能を維持したままプロセッサ制御によるシステムの最適動作を可能にする環境を実現

FSK変調ではDDSデバイスをどのように使用しますか？

バイナリ周波数シフト・キーイング（一般にFSKといいます）は、最も簡単なデータ変調方式の1つです。これは、連続的な搬送波の周波数を異なる2つの周波数（したがってバイナリになります）の間をシフトすることによってデータを送信するものです。一方の周波数（ f_1 ；おそらく高いほうの周波数）をマーク周波数（バイナリ1）、もう一方の周波数（ f_0 ）をスペース周波数（バイナリ0）とします。図6はマーク/スペースのデータと送信信号との関係の例です。

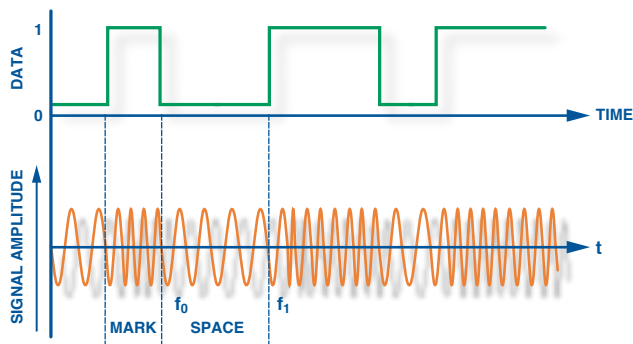


図6. FSK変調

この変調方式は、DDSによって簡単に実現できます。出力周波数を表すDDS周波数同調ワードを適切な値に設定し、送信される0と1のパターンに同期して f_0 と f_1 が生成されるようにします。ユーザは、送信前に必要な2つの同調ワードをデバイスに設定しておきます。AD9834の場合、FSK変調を簡単に実現できるように、2つの周波数レジスタを内蔵しています。デバイスの専用ピン（FSELECT）に変調信号を入力し、適切な同調ワード（つまり周波数レジスタ）を選択します。図7のブロック図はFSK変調の簡単な実装例です。

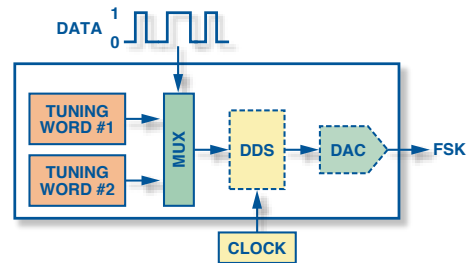


図7. DDSベースのFSK変調回路

PSK変調の場合はどうですか？

位相シフト・キーイング（PSK）もデータ変調の簡単な方式です。PSKでは搬送波周波数は一定であり、送信信号の位相を変化させて情報を伝達します。

PSKを実現する方式のうち最も簡単なものはバイナリPSK（BPSK）と呼ばれ、2つの信号位相（0度と180度）だけを使用します。BPSKでは、ロジック1入力に対して0°、ロジック0入力に対して180°の位相シフトでそれぞれ変調します。各ビットの状態は、先行するビットの位相によって決定されます。位相が変化しない場合、信号状態は同じままです（ローまたはハイ）。位相が反転（180度だけ変化）すると、信号状態が変化します（ロー→ハイ、またはハイ→ロー）。

PSK変調は、DDS ICで簡単に実現できます。大部分のデバイスには、位相値を設定できる独立した入力レジスタ（位相レジスタ）があります。この値は、搬送波の周波数を変更することなく、搬送波の位相値に直接加算されます。レジスタの内容を変更することで、搬送波の位相を変調させ、PSK変調信号が生成されます。高速変調が必要なアプリケーションのために、AD9834では、専用のトグル入力ピン（PSELECT）を使って、あらかじめ値が格納されている位相レジスタを選択することができます。このピンによってレジスタを切り替え、必要に応じて搬送波を位相変調します。

もっと高度なPSK形式としては、4つまたは8つの位相を使用します。これによって多相変化でBPSK変調より高速なレートでバイナリ・データを送信することができます。4相位相変調（直交PSKまたはQPSK）では、可能な位相角は0°、+90°、-90°、180°です。各位相シフトで2つのビットを表現できます。AD9830、AD9831、AD9832、AD9835は4個の位相レジスタを内蔵していますが、レジスタの複数位相オフセット値を連続的に更新することで、複雑な位相変調方式を実現することができます。

複数のDDSデバイスを同期させて、たとえばI/Q機能を実現することはできますか？

2個のシングルDDSデバイスを同じマスター・クロックで動作させて、2つの信号を出力させ、相互の位相関係を直接制御することができます。図8では、2個のAD9834を1個の基準クロックで動作させています。同じリセット・ピンを使用して2個のデバイスをリセットします。この組み合わせを使用すれば、I/Q変調を行うことができます。

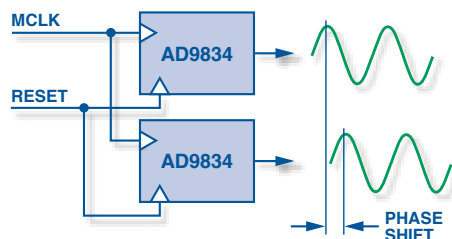


図8. 同期モードの複数のDDS IC

電源投入後、DDSにデータを転送する前に、リセットをアサートする必要があります。これにより相方のDDS出力は既知の位相になり、複数のDDSデバイスを同期させるための共通の基準ポイントになります。データが複数のDDSユニットに入力されても、コヒーレントな位相関係は維持されたままです。相対的な位相オフセットは、位相オフセット・レジスタによって希望どおりにシフトさせることができます。AD9833/AD9834は12ビットの位相分解能を持ち、実効分解能は 0.1° です（複数のDDSユニットの同期化の詳細については、アプリケーション・ノートAN-605を参照してください）。

DDSベースのシステムの重要な性能仕様は何ですか？

位相ノイズ、ジッタ、スプリアスフリー・ダイナミック・レンジ（SFDR）です。

位相ノイズは、発振器の周波数の短期的な変動を表しています（dBc/Hz）。発振器の周波数変動から生じたシングル・サイドバンド・ノイズ（1Hzの帯域幅におけるデシベルで表す、発振器動作周波数の振幅との比）を、2つまたは複数の離調した周波数において測定します。この測定値は無線通信業界において、特に性能の面で利用されています。

DDSデバイスは優れた位相ノイズ特性を持っていますか？

サンプリング・システムにおけるノイズは、多くの要因に依存しています。基準クロックのジッタは、DDSシステムの基本波信号の位相ノイズと見なすことができます。選択した2進コード・ワードにもよりますが、位相量切り捨てによって、システムに誤差量が紛れこむことがあります。2進コード・ワードが余りなしで表現できる比率の場合、切り捨て誤差はありません。使用可能なビット数以上の余剰が必要な比率の場合、位相ノイズ切り捨て誤差によって、スペクトル上にスプリアスが生じます。その大きさと分布は、選択したコード・ワードに依存します。DACもシステム内のノイズの原因となります。DACの量子化誤差や直線性誤差は、ノイズと高調波の原因になります。図9は代表的なDDSデバイス（この場合はAD9834）の位相ノイズ・プロットです。

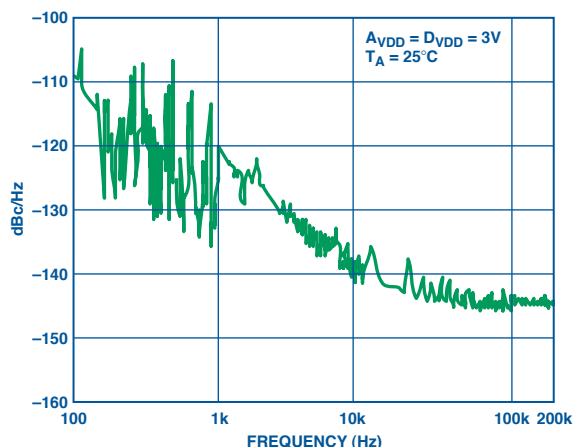


図9. AD9834の代表的な出力位相ノイズ・プロット。出力周波数は2MHz、Mクロックは50MHz

ジッタについてはどうですか？

ジッタは、デジタル信号のエッジ・ポイント位置を長期的に平均化したところからの瞬時的な変動であり、単位は $^{\circ}\text{rms}$ です。理想的な発振器なら立上がりエッジと立下がりエッジは完全に規則正しいタイミングで発生し、決して変動することはないでしょう。もちろんそんなことは不可能です。最良の発振器であっても、現実の部品で構成されている以上、ノイズ源やその他の不完全性をもっています。高品質で低位相ノイズの水晶発振器のジッタ周期は、何百万回クロック・エッジの累積であっても35ピコ秒（ps）以下になるでしょう。

発振器のジッタは、熱ノイズ、発振器を構成する部品の不安定性、さらに電源レール、グラウンド、出力から入りこむ外部干渉などが原因となり発生します。その他の影響として、近くにあるトランスミッタからのRF干渉などの外的な磁界や電界も、発振器の出力に影響を与え、ジッタの原因になることがあります。簡単なアンプ、インバータ、バッファを経由させることでさえ、信号のジッタを大きくします。

このように、DDSデバイスの出力にはある程度のジッタがあります。どのクロックにも固有のジッタ・レベルがもともと存在するため、まず低ジッタの発振器を選択することが重要です。高周波クロックを分周することは、ジッタ低減の1つの方法です。信号周波数を分周すると、長い周期で同じ量のジッタが発生することになり、システム時間に対するジッタの占める割合を減少させることができます。

一般にジッタ発生の根本原因を減らし、他の発生源が混入しないようにするために、安定した基準クロックを使用し、低いスルーレートの信号や回路の使用を避け、可能な限り高い基準周波数を使用しオーバーサンプリング率を大きくする必要があります。

スプリアスフリー・ダイナミック・レンジ（SFDR）とは、基本波信号の最大レベルとスペクトル内の任意のスプリアス信号（エイリアスおよび高調波関係にある周波数成分を含む）の最大レベルとの比（デシベル単位で表記）を意味します。最高のSFDRを得るには、高品質の発振器を用いることが重要です。

ほかの通信チャンネルやアプリケーションと周波数スペクトルを共有するアプリケーションでは、SFDRは重要な仕様です。トランスミッタ出力がほかの周波数帯域にスプリアス信号をまきちらすと、隣接する信号が破壊されたり、妨害を受けることがあります。

50MHzのマスター・クロックを使用したAD9834（10ビットDDS）の代表的な出力プロットを図10に示します。(a)での出力周波数は、マスター・クロック周波数（MCLK）のちょうど1/3です。最適な周波数が選択されているため、25MHzの範囲に高調波成分はなく、エイリアスは最小限に抑えられ、すべてのスプリアスが少なくとも信号より80dB下回っており（SFDR=80dB）、優れたスプリアス特性が見られます。(b)の低い周波数での設定では、波形を形成するサンプル・ポイントが多くありますが、もっと現実的なところが見える図になっています（真にクリーンな波形を得るには不十分）。2次高調波成分における最大のスプリアス・レベルは、信号より約50dB下になっています（SFDR=50dB）。

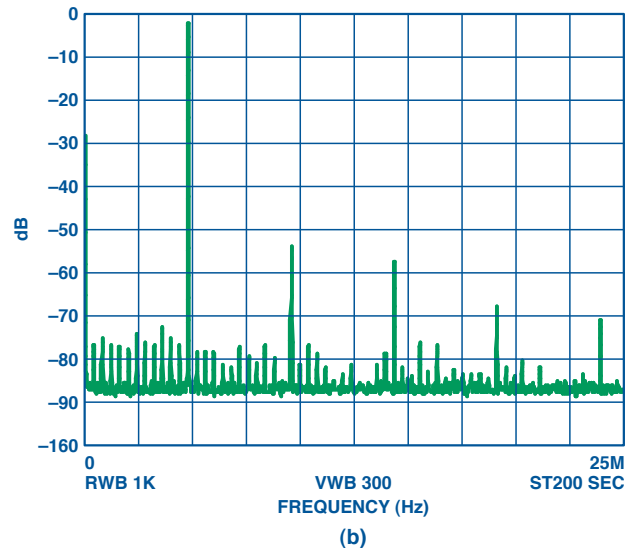
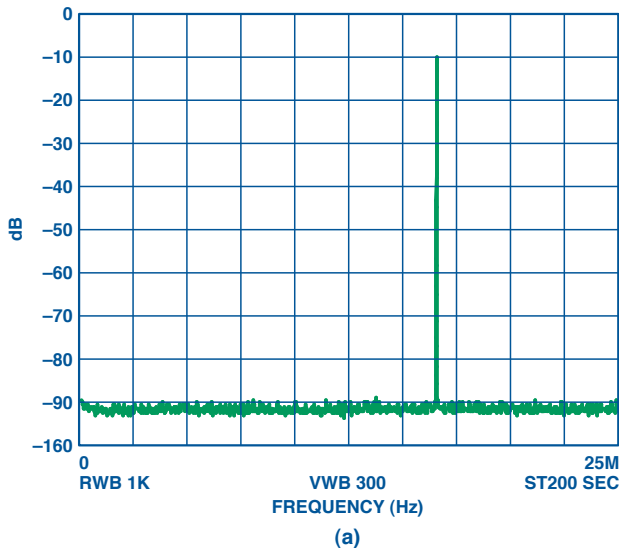


図10. 50MHzのマスター・クロックを使用したAD9834の出力:
 (a) $f_{OUT}=16.667\text{MHz}$ (つまり $MCLK/3$) の場合、(b) $f_{OUT}=4.8\text{MHz}$ の場合

DDSの性能を簡単に設定し予測できるツールはありますか？

基準クロック、出力周波数や位相がわかれば、オンラインのインタラクティブな設計ツールを利用して、同調ワードを選択することができます。必要な周波数を選択すると、外部再構成フィルタ適用後の理想的な出力高調波も示されます。一例を図11に示します。表中のデータから、主なイメージ周波数のようすや高調波もわかります。

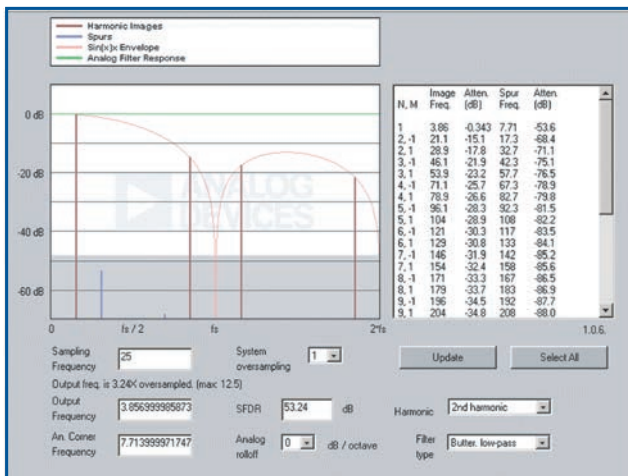


図11. インタラクティブ設計ツールの画面。代表的なデバイス出力の $\sin(x)/x$ 表示

これらのツールによってどのようにDDSを設定するのでしょうか？

必要な出力周波数とシステムの基準クロック周波数がわかれば十分です。設計ツールがデバイスの設定に必要な全てのプログラミング・シーケンスを出力してくれます。図12の例では、MCLKは25MHz、必要な出力周波数は10MHzにしました。更新ボタンを押すと、デバイスを設定するための全プログラミング・シーケンスがInit Sequenceレジスタに格納されます。

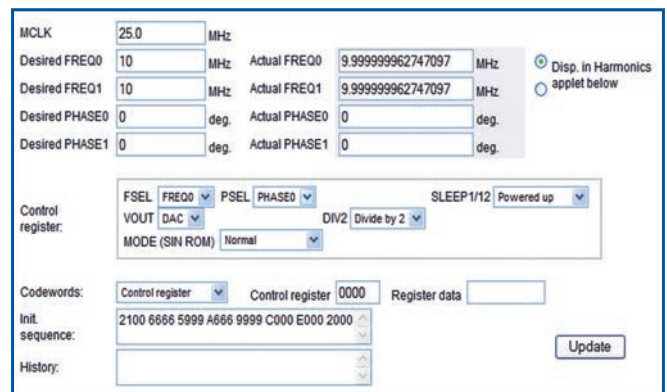


図12. プログラミング・シーケンスの代表的な画面表示

DDSデバイスを評価するにはどうしたらいいですか？

すべてのDDSデバイスには、別売りの評価用ボードがあります。専用のソフトウェアが付属しているため、ボードを受け取ってから数分で簡単にデバイスのテスト/評価を行うことができます。各評価用ボードに添付のテクニカル・ノートを読めば、回路図情報のほか、推奨する最善のボード設計/レイアウト手法がわかります。

DDSデバイスの詳細はどこにありますか？

DDSのホームページは、www.analog.com/jp/dds にあります。

設計ツールへのリンクは、<http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx> にあります。

DDS技術の詳細なチュートリアルについては、http://www.analog.com/static/imported-files/tutorials/450968421DDS_Tutorial_rev12-2-99.pdf をご覧ください。

AN-605については、http://www.analog.com/static/imported-files/application_notes/AN-605.pdf をご覧ください。

最新のDDSセレクション・ガイドについては、http://www.analog.com/jp/rfif-components/direct-digital-synthesis-dds/products/index.html#Direct_Digital_Synthesis をご覧ください。