

# Rarely Asked Questions

アナログ・デバイセズに寄せられた珍問／難問集より

## 高速コンバータのPCボード設計について その4: プレーン・カップリング

**Q.** 高速コンバータを使用するとき、基板レイアウトについて大切なルールがありますか？

**A.** このシリーズの「その 1」では、設計においてやむを得ない事情がない限りAGNDとDGNDを分離する必要がないことをご説明しました。「その 2」では、給電システム (PDS) の設計について説明し、電源プレーンとグラウンド・プレーンを重ね合わせることによって容量を増やす方法について論じました。「その 3」では、E-Pad を上手に設計することで、その信号経路設計の最高の性能を引き出すとともに、熱の大半を放出する方法について説明しました。「その 4」では、基板ボード内の層とプレーン間のクロス・カップリングを取り上げます。

高速コンバータのレイアウトによっては、多層基板設計において回路プレーン同士が重なることが避けられません。場合によっては、デリケートなアナログ・プレーン (電源層、グラウンド層、信号層) がノイズの多いデジタル・プレーンの真上になることもあります。大部分の設計者は、これらのプレーンは異なる層にあるからかまわないと考えるでしょう。そこで、ここに簡単なテストをご紹介します。

隣接した層の1つを選び、そのプレーンに信号を注入します。次に、結合したもう一方の層をスペクトル・アナライザに接続します。どのくらいの信号が隣接した層に結合するかわかりますか？ たとえ 40 ミル離れていても、隣接した層同士で一種のコンデンサを形成するため、周波数によってはプレーン間で信号結合が生じます。

一方の層にノイズの多いデジタル・プレーンがあって、高速で切り替わる 1V の信号があるとします。層間に 60dB の絶縁がある場合、駆動しない層に駆動された層から 1mV の信号が結合します。2V p-p



のフルスケール振幅を持つ 12 ビットの A/D コンバータ (ADC) にすれば、2LSB (最下位ビット) の結合になります。これはご使用のシステムでは問題ないかもしれません。しかし、分解能を 12 ビットから 14 ビットに増やすと、感度は 4 倍になり、誤差は 8LSB まで増加することを忘れないでください。

プレーン間や層間のカップリングを無視しても、システムが故障したり設計が失敗することはないかもしれません。しかし、2つのプレーン間には想定を超えるカップリングが存在することを承知しておいてください。

対象となる周波数スペクトルでノイズ・スプリアスのカップリングが見られたときは、今述べたことを思い出してください。場合によっては、レイアウトのために不要な信号やプレーンが別の層に結合することがあります。デリケートなシステムをデバッグするときは、問題は 1 つ下の層にあるかもしれないと考えてみてください。



筆者紹介：

Rob Reeder は、1998 年以降、米国ノースカロライナ州グリーンズボロにあるアナログ・デバイセズで高速コンバータ・グループの上級コンバータ・アプリケーション・エンジニアとして働いています。イリノイ州デカルブの北イリノイ大学で 1996 年に BSEE (電気工学士)、1998 年に MSEE (電気工学修士) を取得しています。余暇には、音楽のミキシング、美術を楽しむほか、2人の息子とバスケットボールをしたりします。

この記事に関する

ご意見・ご感想は、

[marcom.japan@analog.com](mailto:marcom.japan@analog.com)

までお寄せください。

その他の RAQ については、

[www.analog.com/jp/RAQ](http://www.analog.com/jp/RAQ)

をご覧ください。



[www.analog.com/jp](http://www.analog.com/jp)