

ADV202入門 プログラミング・ガイド

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. 2.5

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

目次

概要	3
一般的なエンコード／デコード・ルーチン	4
ノーマル・ホスト・モードのエンコード／デコード・ルーチン (32ビット)	7
ノーマル・ホスト・モードのエンコード／デコード・ルーチン (16ビット)	11
専用チップ・セレクト・モードのエンコード／デコード・ルーチン (32ビット)	14
DMA DREQ/DACKモードのエンコード／デコード・ルーチン (32ビット)	18
JDATAモードのエンコード／デコード・ルーチン (16ビット・ホスト)	23
特定カスタム・モードのエンコードおよびデコード・ルーチン	27
特定カスタム・モードの設定例：	30
ローピクセル・モードのエンコードおよびデコード・ルーチン	33
ローピクセル・モードの設定例：	33
ローピクセル・モードのレジスタ設定例：	34
付録	37
PLLの設定と内部クロック	37
BUSMODEおよびMMODEレジスタの設定	37
JPEG2000パラメーターエンコード	38
JPEG2000パラメーターデコード	43
JPEG2000パラメータの説明	45
VFORMAT	45
CBSIZE	45
ATTRTYPE	45
J2KPROG	48
QFACT、STEPSIZES、LOAD_SS：	48
COD_STYLE	49
ビジュアル重付け—LOAD_VW、VW_Y、VW_CB、VW_CR：	49
マルチレイヤLTARGET[1:16]	49
コード例	50

概要

本書は、以下のようにマーキングされているADV202のエンジニアリング・サンプルに適用されます。

ADV202xx
SURF®

xxxxx 0.XまたはRevE
Xは2以上に相当します。

以下の資料は、ADV202をベースとするシステムで機能を実現する際の推奨手順および必要な情報を記載しています。

1. アプリケーション・ノートAN790：ADV202の使用方法
本テクニカル・ノートで解説する各種インターフェース・モードの概要を説明しています。
2. アプリケーション・ノートAN799：ADV202のテスト・モード
正しいハードウェア設定とレジスタ・アクセスの機能を検証する操作について説明しています。
3. ADV202ユーザ・ガイド
本テクニカル・ノートで解説するレジスタの設定を詳細に説明しています。

本書には、以下の内容が含まれています。

1. エンコード・ルーチン
2. デコード・ルーチン

インターフェース・モードについては、以下の内容について説明します。

1. スレッシュホールド・レジスタを用いたノーマル・ホスト・モード
2. 専用チップ・セレクト・モード
3. DMA DREQ/DACKモード
4. JDATAモード
5. 特定カスタム・モード
6. RAWビデオ・モード

一般的なエンコード／デコード・ルーチン

ADV202の初期化ルーチンは、指定された順序に沿って行ってください。
図2と図3のフロー図に、所定の基本的手順を示します。

ADV202の初期化は、まずノーマル・ホスト・モード動作（データシートの図4を参照）でPLLレジスタ、BOOTレジスタ、MMODEレジスタ、BUSMODEレジスタに直接アクセスを行います。

推奨のPLLレジスタ設定については付録の表6、PLLの詳細については、ADV202データシートの30ページをそれぞれ参照してください。

$\overline{ACK}$ 信号をADV202がアサートするまで、ターゲット・システムが入力ピン（ADDR、 $\overline{CS}$ 、 $\overline{WR}$ 、 $\overline{RD}$ 、 $\overline{DACK}$ 、HDATA）の状態を保持するようにします。

書き込み要求（ $\overline{WR}$ と $\overline{CS}$ をアサート）または読出し要求（ $\overline{RD}$ と $\overline{CS}$ をアサート）の後、 $\overline{ACK}$ をアサートします。 $\overline{ACK}$ のアサートが完了するまで、HDATAのサンプリングを実行しないでください。

これはノーマル・ホスト・モードのアクセスのみに適用され、DMAモード、DMA DREQ/DACKモード、JDATAモード、専用チップ・セレクト・モードでは必要ありません。

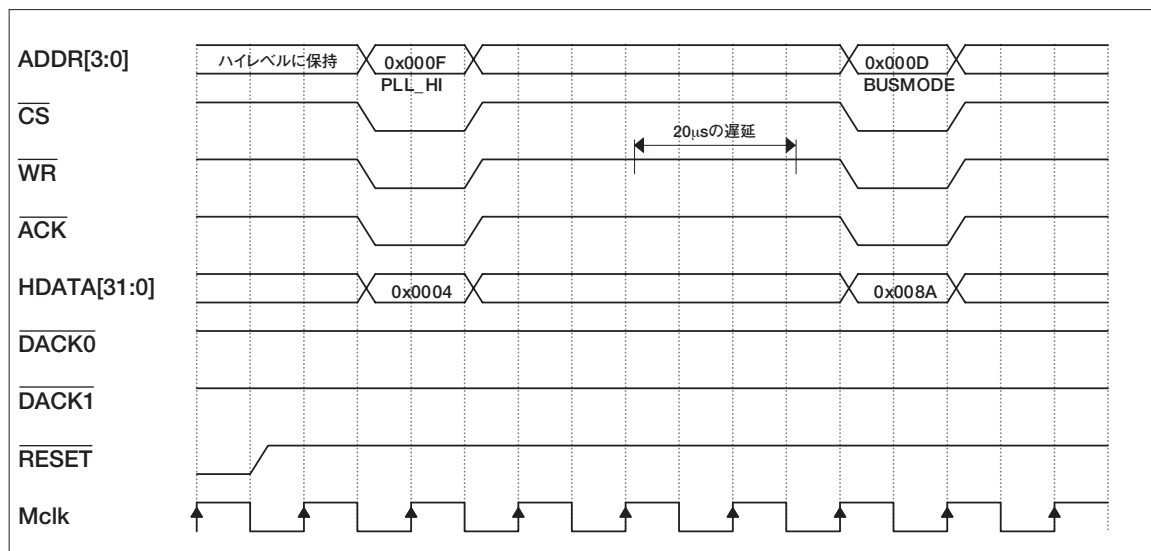


図1. パワーアップ後の直接レジスタ・アクセス（ノーマル・ホスト・モード）
PLLレジスタとBUSMODEレジスタの書き込み

ファームウェアのロード、エンコード・パラメータの設定、アプリケーションからの要求に応じたDMAレジスタとディメンション・レジスタの設定を実行するための間接レジスタ・アクセスにも、同じプロトコルを使用します。DMAレジスタの書き込みが必要である場合、書き込み実行中はレジスタをディセーブルの状態に維持してください。DMAレジスタは、設定プロセスのその後の段階でイネーブルにします。

SWFLAGレジスタの割込みまたはポーリング・ルーチンを使用して、ファームウェアが正しくロードされたかを確認できます。エンコード・ファームウェアが正しくロードされるとSWFLAGレジスタからFF82hが読み出され、デコード・ファームウェアが正しくロードされるとFFA2hが読み出されます。

ファームウェアとJPEG2000パラメータがADV202のメモリにロードされ、特定アプリケーション向けレジスタの設定が完了すれば、さらにレジスタへの直接アクセスを実行して、EIRQFLGレジスタのSWIRQ0割込みフラグをクリアし、プログラムを開始できます。このフラグは、ADV202のプログラム開始準備が完了した時点で自動的に設定されます。

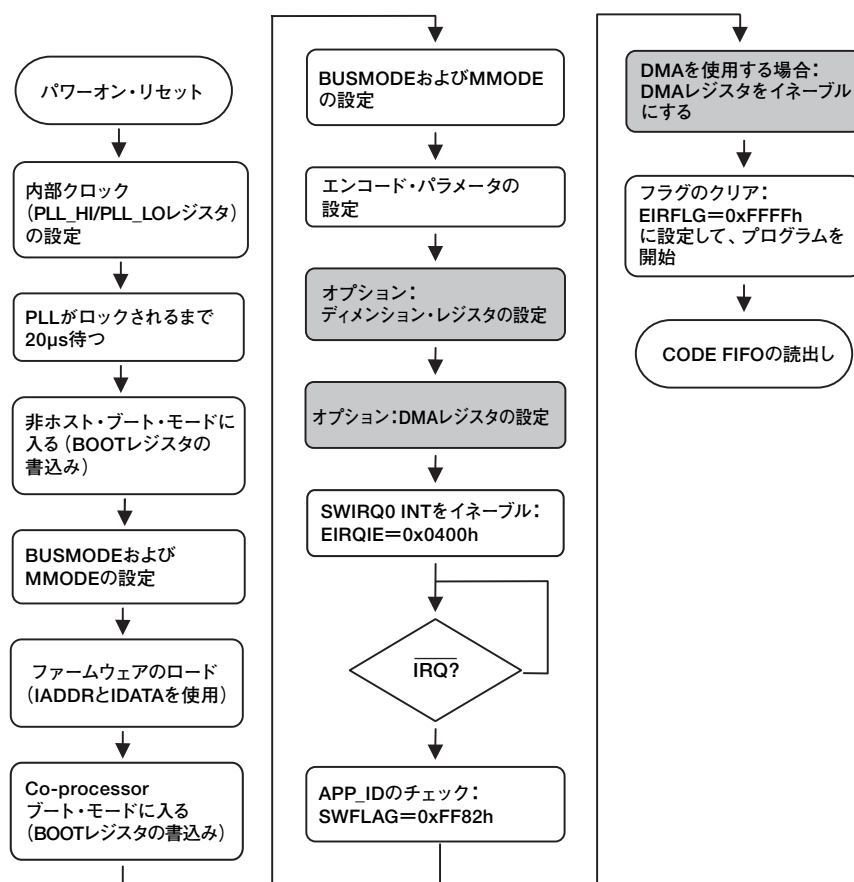


図2. 一般的なエンコード・ルーチン

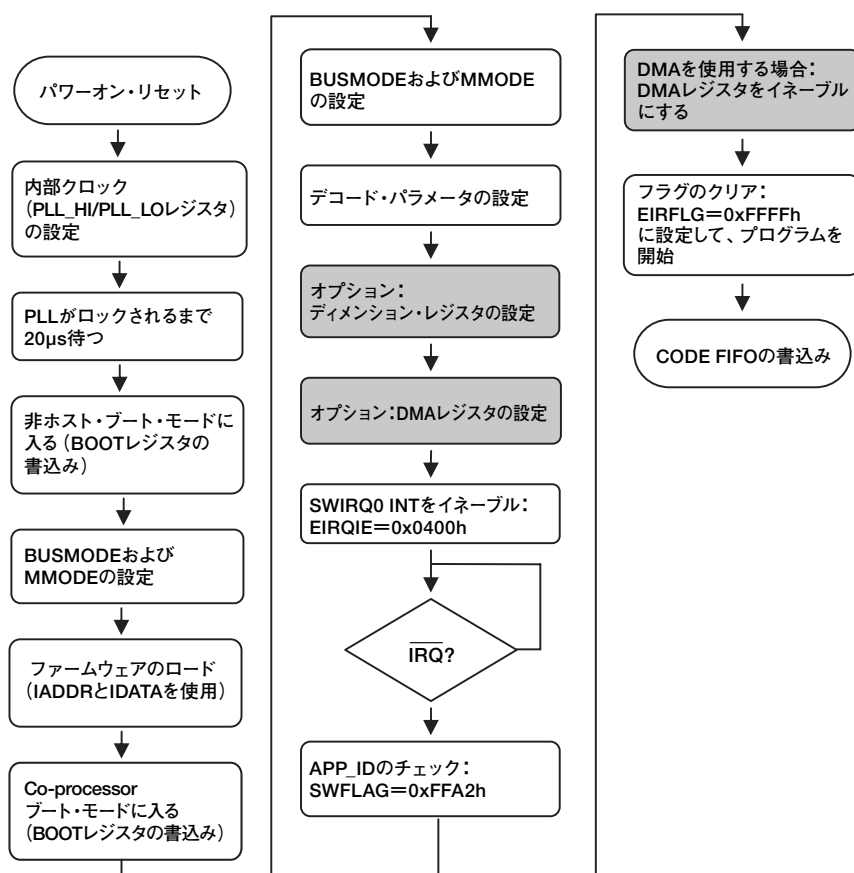


図3. 一般的なデコード・ルーチン

ノーマル・ホスト・モードのエンコード／デコード・ルーチン (32ビット)

ノーマル・ホスト・モードのアクセスは、直接レジスタ・アクセスやファームウェアとパラメータのロードを実行するほか、圧縮データの転送にも利用できます。

圧縮データの転送はスレッシュホールド・レジスタFFTHRCで制御し、スレッシュホールド条件が満たされると、IRQピン上でアサートされる特定スレッシュホールド割込み（EIRQIEレジスタ=0x0002h）をイネーブルに設定します。

FIFOデータ転送の方向とFIFOサイズを設定するには、FFMODEレジスタを使用します。このレジスタに書き込みを行う必要はなく、ファームウェアが制御します。

$\overline{\text{IRQ}}$ がアサートされ、SWIRQ0がアサートおよびクリアされてEIRQFLGから0x0002hが読み出されるときに、データ転送が開始されます。すなわち、この動作時にはCODE FIFOにデータが格納され、CODE FIFOのスレッシュホールド条件が満たされていることを意味します。

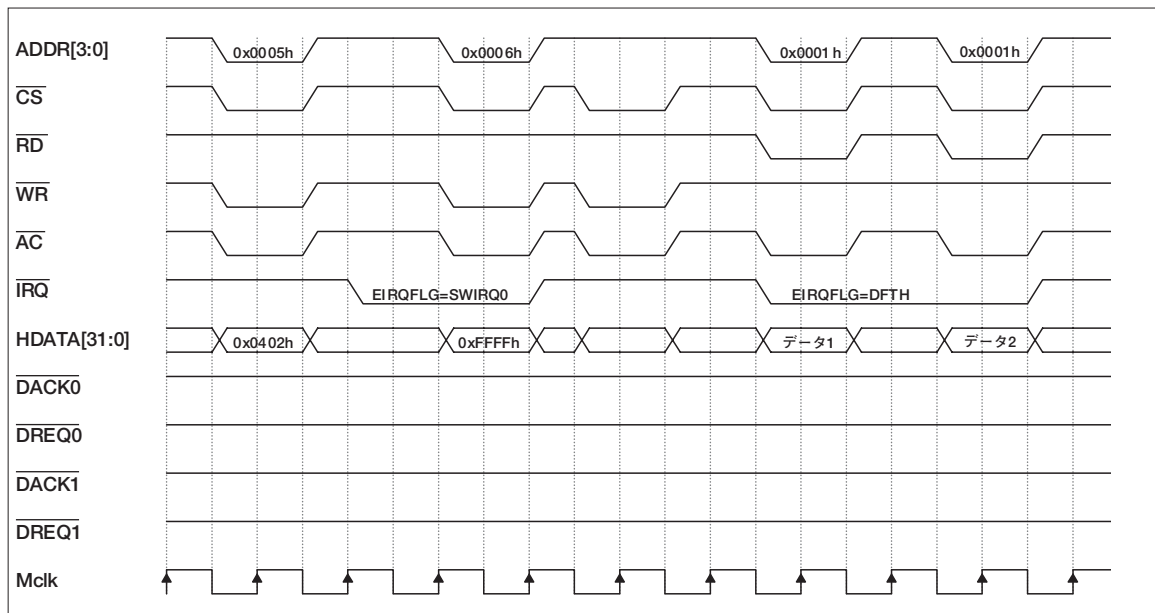


図4. エンコード・モードプログラムの開始およびCODE FIFOからの圧縮データの読出し

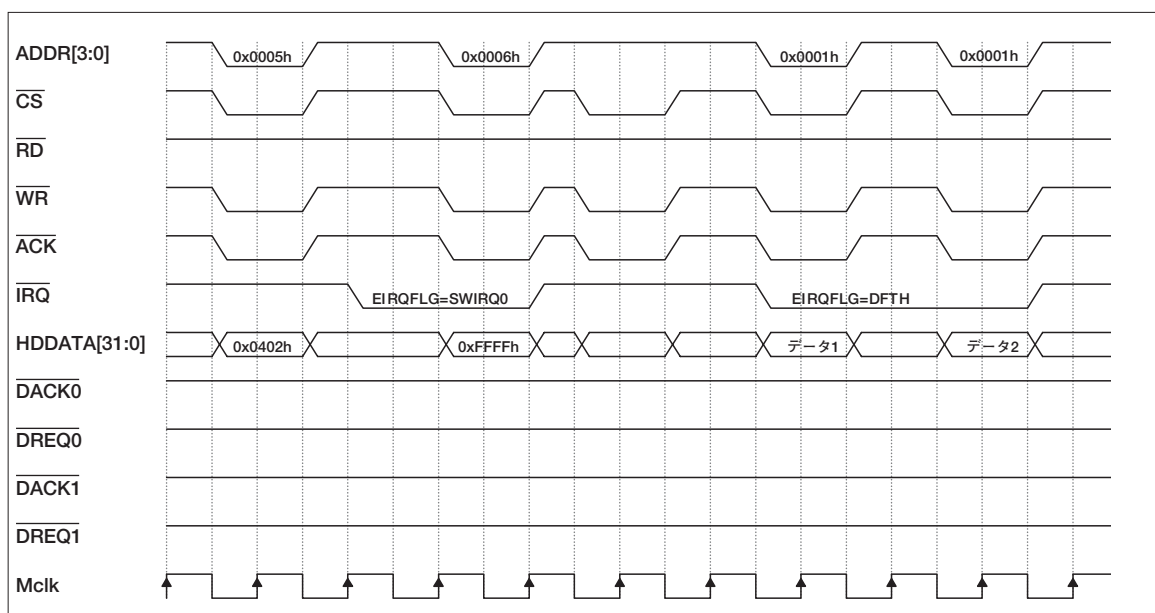


図5. デコード・モードプログラムの開始およびCODE FIFOへの圧縮データの書き込み

エンコード・モードでは、LCODE（SCOMM4出力ピン）を使用して、フィールドの最後のワードがFIFOからいつ読み出されるかを確認できます。

デコード・モードでは、アクティブなビデオ・データをADV202が受信している間、LCODEがアサートされます。

コード・スレッシュヨールド・レジスタ（アドレスFFFF141C、FFTHRC）が圧縮データの入出力に使用される場合、以下のような動作設定になります。

デコード・モードでは、空状態の場所の数がスレッシュヨールドの値以上ならば、 $\overline{\text{IRQ}}$ がアサートされます。

エンコード・モードでは、FIFOに格納されるデータ・ワードの数がスレッシュヨールドの値以上ならば、 $\overline{\text{IRQ}}$ が常にアサートされます。

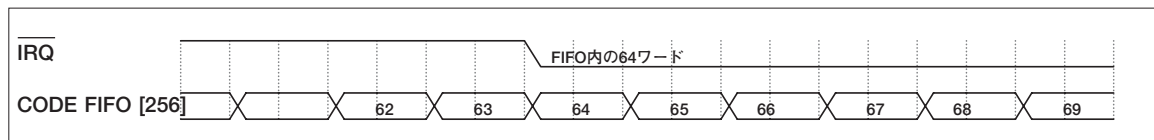


図6. スレッシュヨールドが64ワードに設定されている場合のエンコード・モードでの $\overline{\text{IRQ}}$ アサート

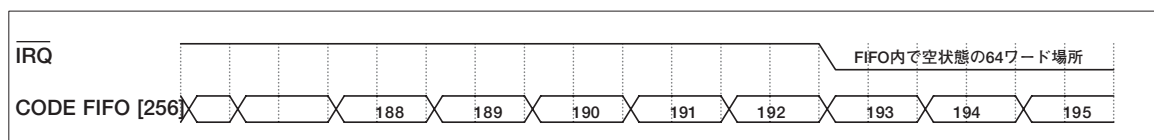


図7. スレッシュヨールドが64ワードに設定されている場合のデコード・モードでの $\overline{\text{IRQ}}$ アサート

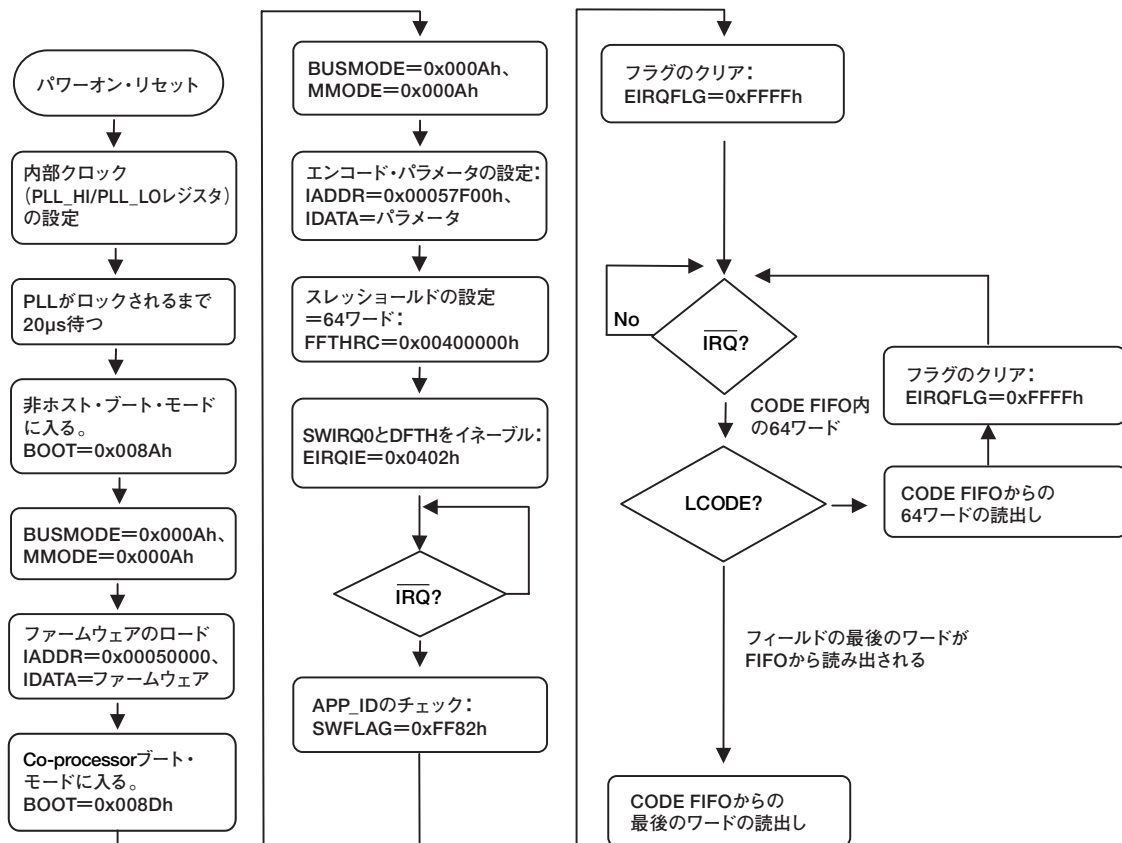


図8. ノーマル・ホスト・モードのエンコード・ルーチン (32ビット・モード)

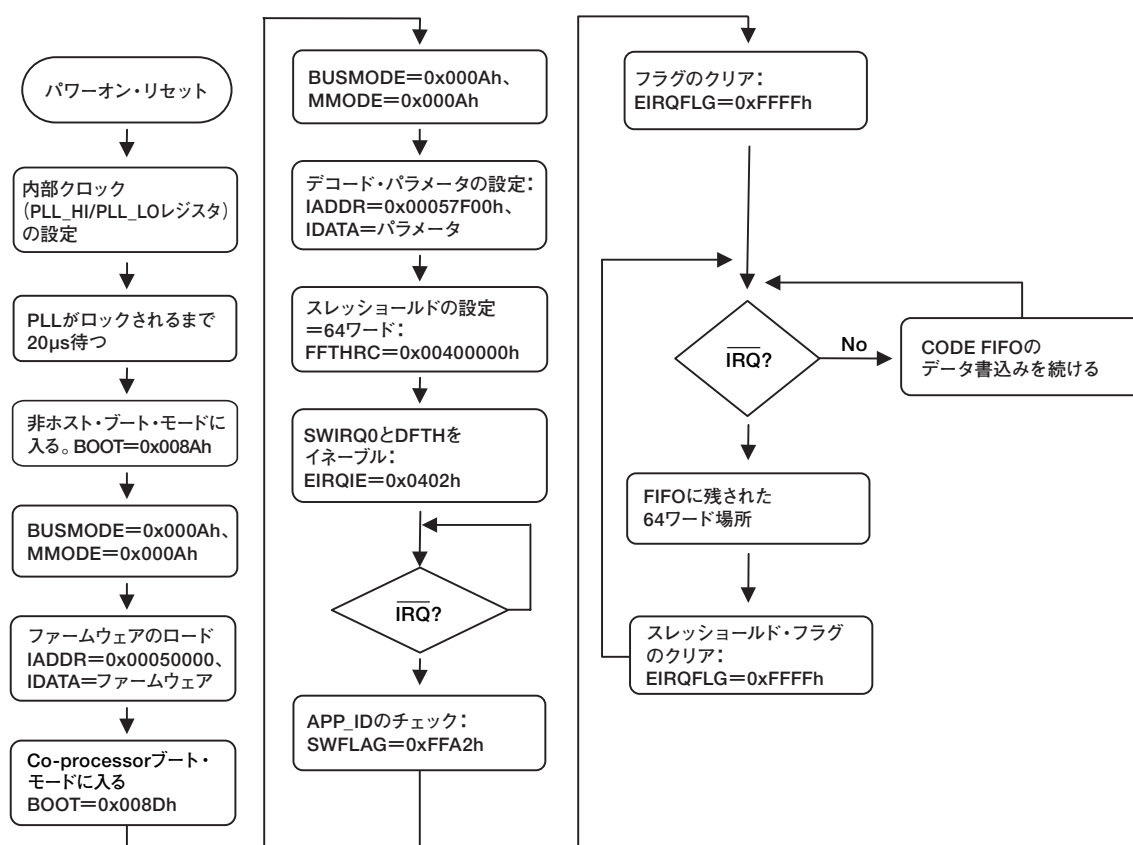


図9. ノーマル・ホスト・モードのデコード・ルーチン (32ビット・モード)

ノーマル・ホスト・モードのエンコード／デコード・ルーチン(16ビット)

16ビットのノーマル・ホスト・モードの設定手順は、32ビットの設定手順に準じます。

16ビット・モードでノーマル・ホスト・モードにアクセスする場合、以下の事項にも留意してください。

1. BUSMODEレジスタの設定は、16ビットまたは32ビットいずれかのデータ・アクセスを反映したものにしてください。

表1 16ビットまたは32ビット・アクセスのBUSMODEレジスタ設定

	インターフェース	BUSMODE	MMODE
エンコード	16ビット	0005h	0005h
エンコード	32ビット	000Ah	000Ah
デコード	16ビット	0005h	0005h
デコード	32ビット	000Ah	000Ah

2. ステージ・レジスタ（アドレス0x0Ah）を使用してください。
16ビットのホスト制御バスを使用する場合、ステージ・レジスタを使用して32ビット・ワードにアクセスします。詳細についてはADV202ユーザ・ガイドの4-16ページを参照してください。
3. 16ビット・モードでは、データの読出し値がハーフワードでスワップされます。書込みはビッグ・エンディアン、読出しはリトル・エンディアンで行います。
4. 16ビット・モードを使用する場合でも、FIFOのカウンタは32ビット・ワード単位です。したがって、128個の16ビット・データ・ワードがCODE FIFO内に存在する場合（エンコード・モード）、または128個の16ビット場所がCODE FIFO内で空状態の場合に、64のスレッシュホールド設定が満たされることになります。最後の16ビット・ワードが32ビットの境界で終了しない場合でも、このワードはカウンタされます。

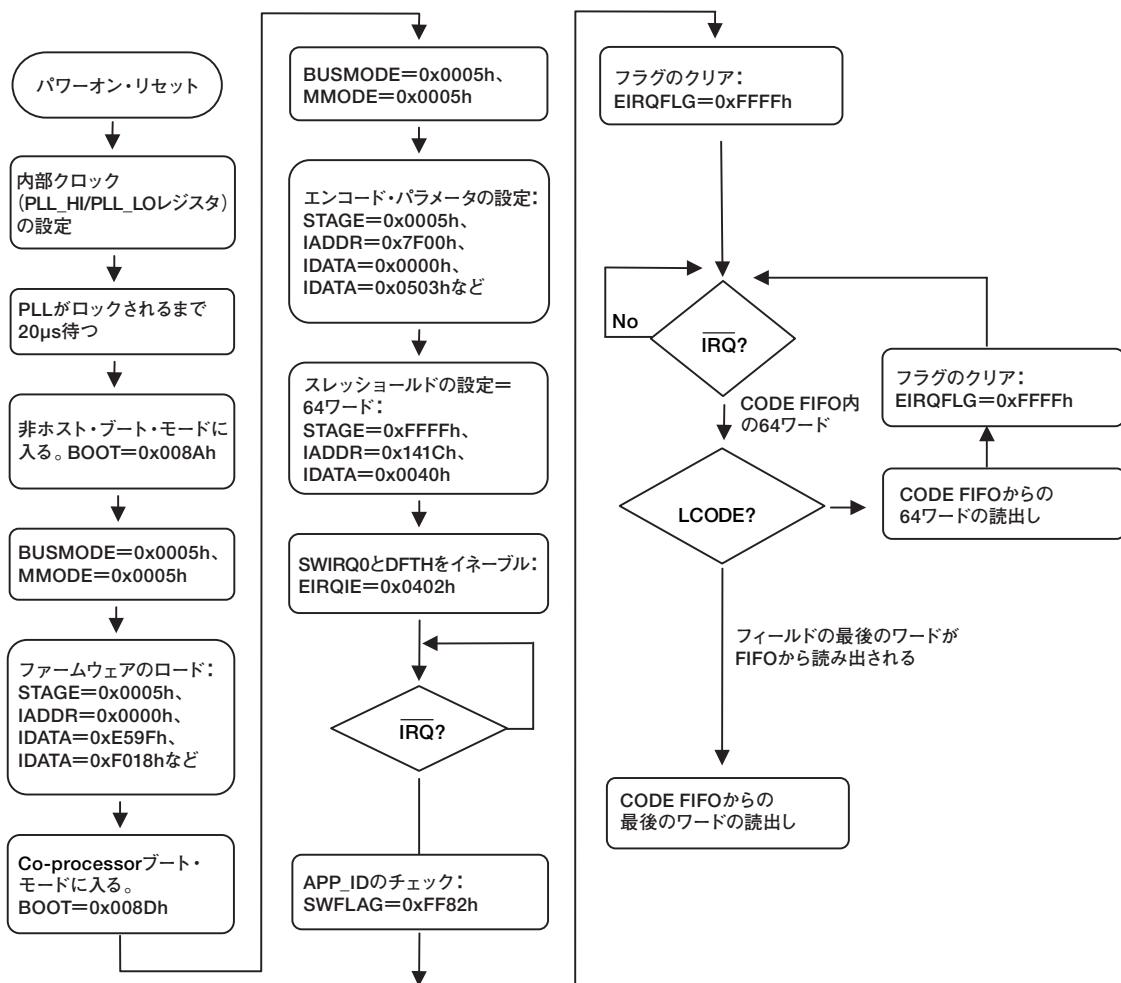


図10. ノーマル・ホスト・モードのエンコード・ルーチン (16ビット・モード)

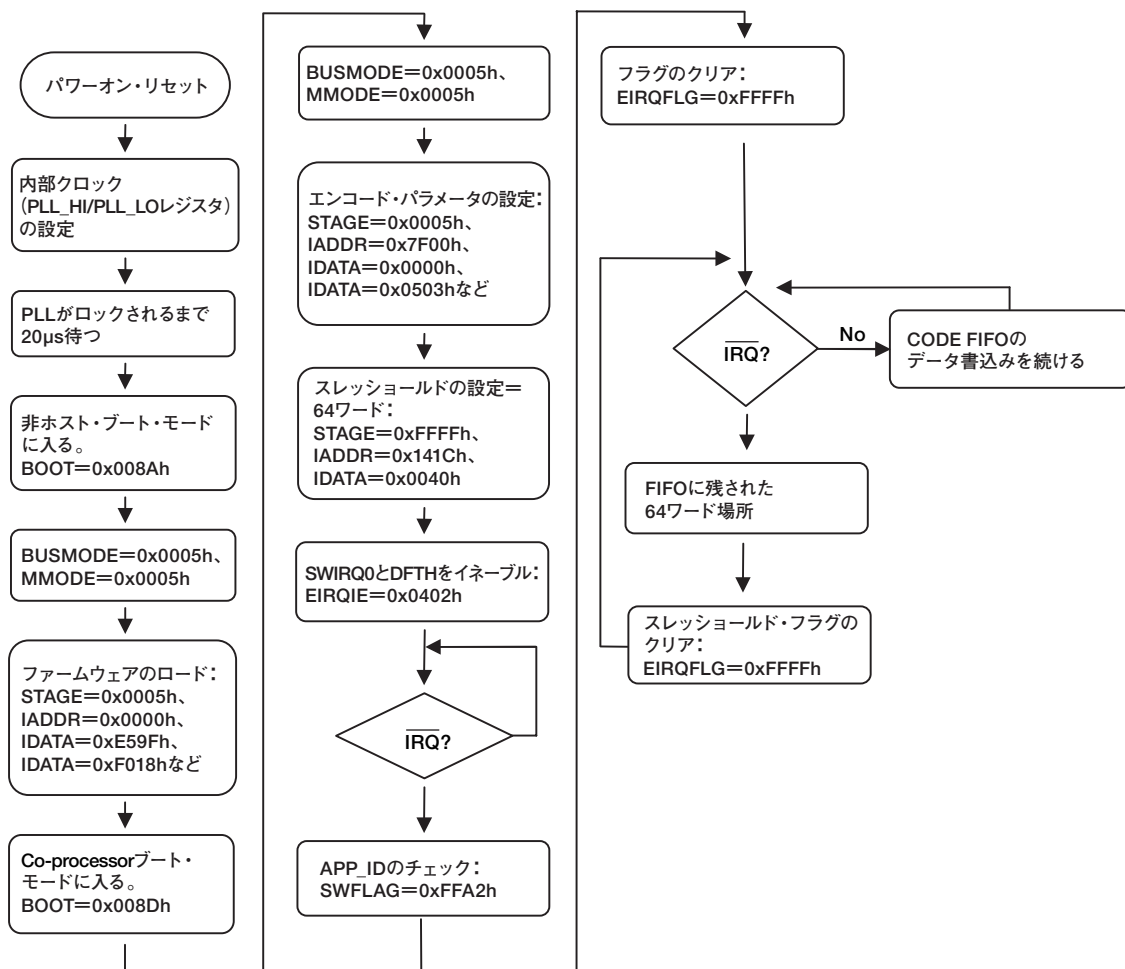


図11. ノーマル・ホスト・モードのデコード・ルーチン (16ビット・モード)

専用チップ・セレクト・モードのエンコード／デコード・ルーチン (32ビット)

専用チップ・セレクト・モード（DCSモード）での直接レジスタ設定、ファームウェアとパラメータのロードは、ノーマル・ホスト・モードの場合と同じです。このモードでは、圧縮データ転送のインターフェースが異なり、 $\overline{\text{DACK}}$ ピンと $\overline{\text{DREQ}}$ ピンをホストに接続する必要がありますが、スレッシュールド・レジスタを設定する必要はありません。

EDMODレジスタでDCSモードをイネーブルに設定すれば、圧縮データ転送がADV202内部で制御されます。

エンコード・モードでは、CODE FIFO内にデータがあれば $\overline{\text{DREQ}}$ がアサートされます。

デコード・モードでは、データを取り込める空間がCODE FIFO内にあれば $\overline{\text{DREQ}}$ がアサートされます。

スレッシュールド・レジスタの設定は必要ありませんが、EDMODレジスタの設定が必要です。EDMODレジスタの書き込み実行中は、レジスタをディセーブルの状態に維持してください。EDMODレジスタは、設定プロセスのその後の段階でイネーブルにします。

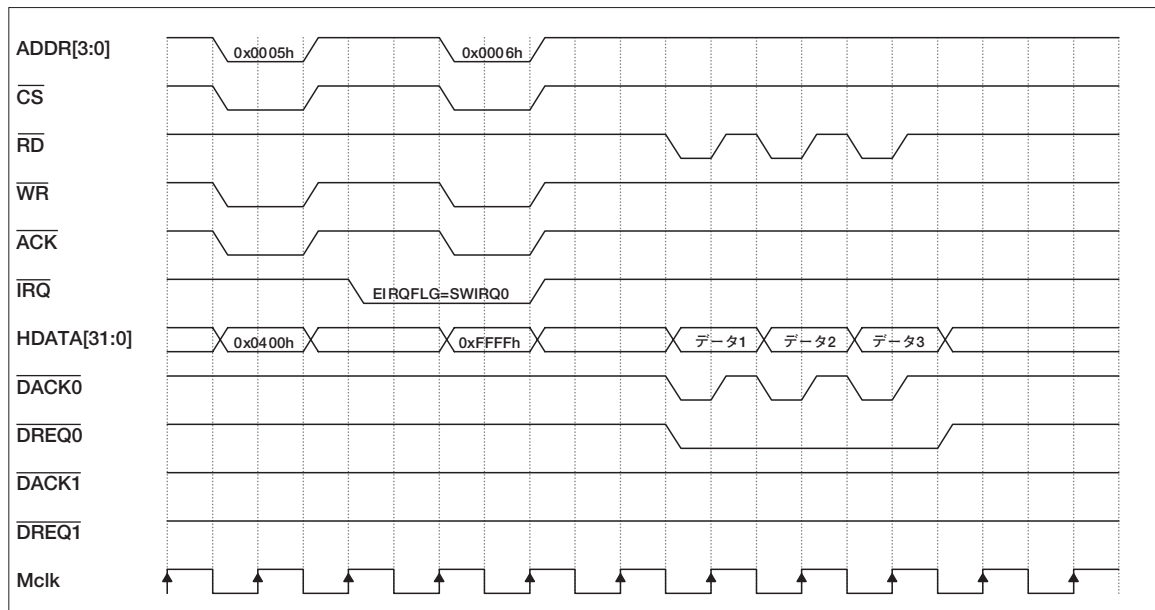


図12. DCSエンコード・モード - プログラムの開始およびCODE FIFOからのデータの読出し

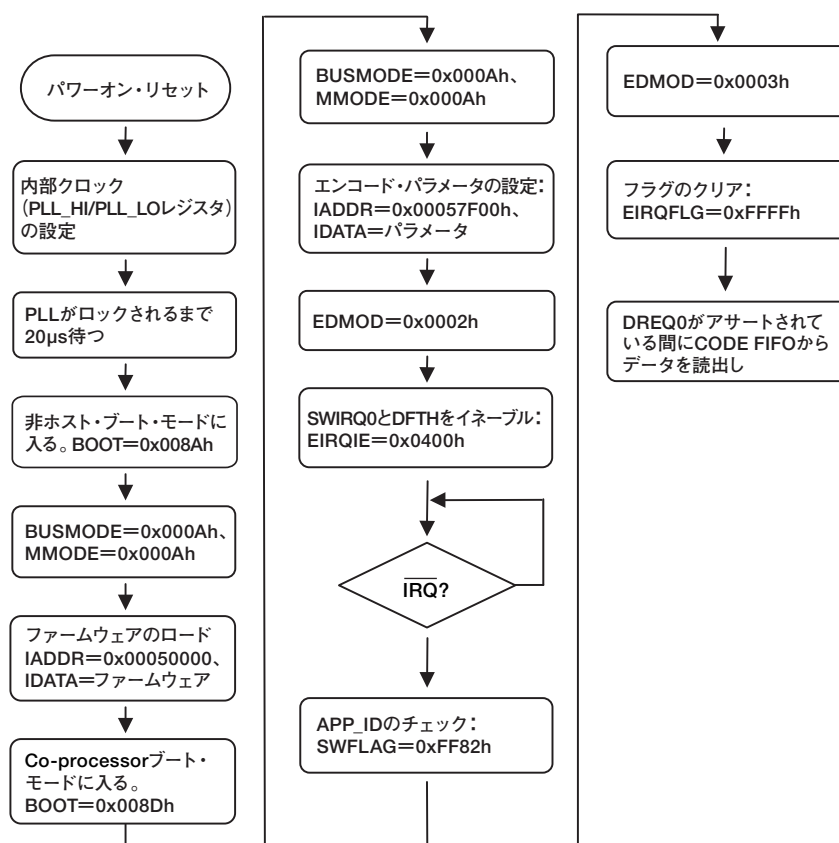


図13. DCSモードのエンコード・ルーチン

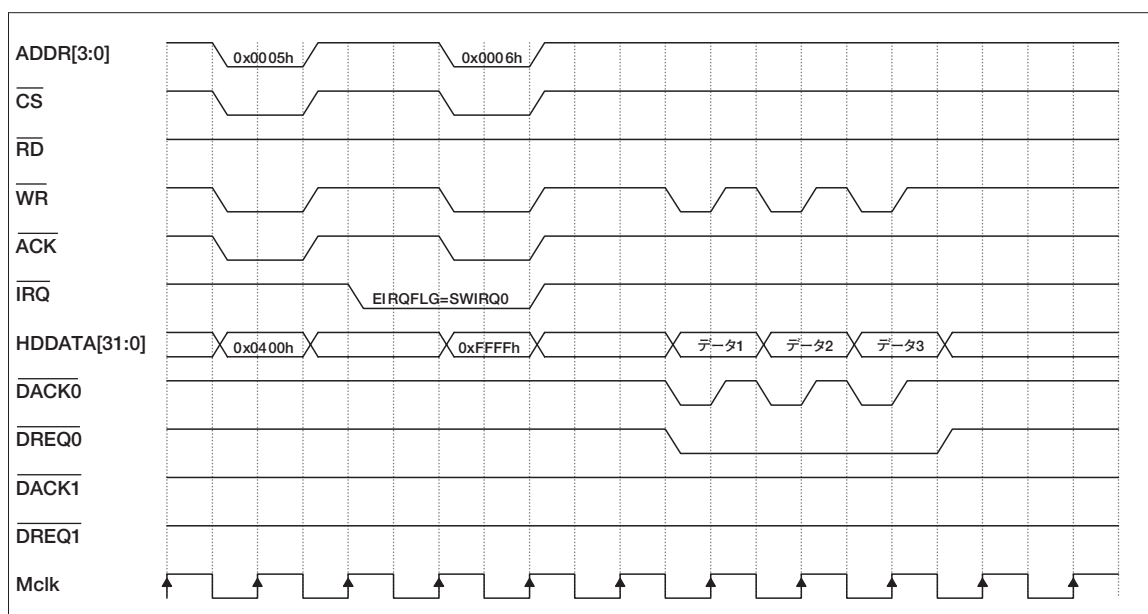


図14. DCSデコード・モード - プログラムの開始およびCODE FIFOへのデータの書き込み

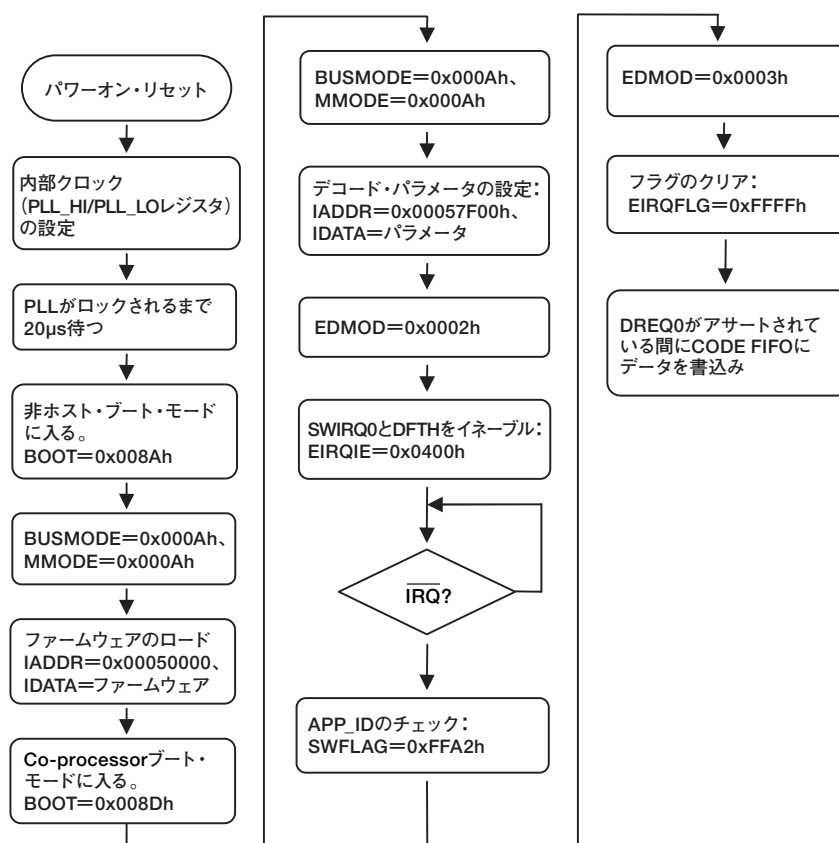


図15. DCSモードのデコード・ルーチン

DMA DREQ/DACKモードのエンコード／デコード・ルーチン (32ビット)

DMAモードは、バーストまたはシングル・アクセスにて利用できます。直接レジスタ設定、ファームウェアとパラメータのロード、間接レジスタ設定は、ノーマル・ホスト・モードの場合と同じです。圧縮データの入出力は、ADV202のDMAインターフェースによって制御されます。

このモードでDMAの設定を行うには、 $\overline{\text{DACK}}$ と $\overline{\text{DREQ}}$ の各ピンをホストに接続してください。

圧縮データの転送は、ADV202内部で制御されます。

ADV202がデータを送受信する準備が完了した時点で、バーストまたはシングルDMAアクセスの実行を完了するうえで十分なデータまたは空間がCODE FIFO内にあれば、 $\overline{\text{DREQ}}$ がただちにアサートされます。

スレッシュホールド・レジスタの設定は必要ありませんが、EDMODレジスタの設定が必要です。

EDMODレジスタの書き込み実行中は、レジスタをディセーブルの状態に維持してください。EDMODレジスタは、設定プロセスのその後の段階でイネーブルにします。デコード・モードで圧縮データを入力するとき、またはエンコード・モードで圧縮データを出力するときは、通常1つのDMAチャンネルのみを使用します。したがって、DMAチャンネル0のみを使用し、EDMOD0レジスタの設定を行うだけで十分です。

HIPIモードでは、2個のEDMODレジスタを使用するので、このモードに限り2個のEDMODレジスタの設定が必要になります。このモードでは、DMAチャンネル0でピクセル・データの入出力を行い、DMAチャンネル1で圧縮データの入出力を行います。

HIPIモードの詳細については、下記のサイトをご参照ください。

ftp://ftp.analog.com/pub/Digital_Imaging/ADV202_ApplicationNotes/ADV202_HIPImode_Still_Image_Application/

シングルDREQ/DACKモードでは、エンコード・モードで指定されたFIFOに最低1つの転送可能なデータが格納されていれば、ADV202が $\overline{\text{DREQ}}$ をアサートします。デコード・モードでは、指定されたFIFOに最低1つの転送可能なデータを受信する準備をADV202が完了した状態になっていれば、 $\overline{\text{DREQ}}$ がアサートされます。

これは、バーストDREQ/DACKモードでも同様ですが、このモードではバースト・サイズによって設定された十分なデータが指定されたFIFO内に存在していれば、ADV202はただちに $\overline{\text{DREQ}}$ をアサートします。

DMA DREQ/DACKモードでは、以下のようないくつかの設定が可能です。

1. シングルDMA DREQ/DACKモード
データFIFOにデータがアクセスされるたびに、 $\overline{\text{DREQ}}$ がアサートされます。データシートの図5、6、9、10を参照してください。
2. バーストDMA DREQ/DACKモード
バーストの開始時点で、 $\overline{\text{DREQ}}$ がアサートされます。データシートの図13、14、17、18を参照してください。
3. $\overline{\text{DREQ}}$ パルス幅の設定— $\overline{\text{DACK}}$ と $\overline{\text{RD}}$ または $\overline{\text{WR}}$ を使用して制御
ホストが $\overline{\text{DACK}}$ と $\overline{\text{RD}}$ または $\overline{\text{WR}}$ をアサートして応答するまで、 $\overline{\text{DREQ}}$ がアサートされます。データシートの図14を参照してください。
4. $\overline{\text{DREQ}}$ パルス幅の設定— $\overline{\text{DREQ}}$ パルス幅をプログラミング設定したり、固定することができます。このパラメータをEDMOD0/1レジスタでプログラミング設定できます。データシートの図13を参照してください。

上記すべてのモードの詳細なタイミング図については、データシートをご参照ください。

以下の表は、各種のDMA DREQ/DACKモードとその設定を選択するためのEDMODレジスタの設定例を示しています。

表2 DMAの設定パラメータとレジスタ設定

	DREQパルス幅の設定*	DMAモード	バースト・サイクル	EDMOD0	EDMOD1
エンコード	DACKとRDまたはWRを使用して制御	シングル	—	0Ah	0802h
エンコード	パルス幅を4JCLKサイクルに固定	シングル	—	200Ah	0802h
デコード	DACKを使用して制御	シングル	—	0Ah	0802h
デコード	パルス幅を4JCLKサイクルに固定	シングル	—	200Ah	0802h
エンコード	DACKとRDまたはWRを使用して制御	バースト	16	52h	0802h
エンコード	パルス幅を4JCLKサイクルに固定	バースト	16	2052h	0802h
デコード	DACKを使用して制御	バースト	16	52h	0802h
デコード	パルス幅を4JCLKサイクルに固定	バースト	16	2052h	0802h

* JCLKの定義については、データシートの図24を参照してください。JCLKの最大周波数が150MHzの場合、JCLKサイクルは約6.7nsとなります。

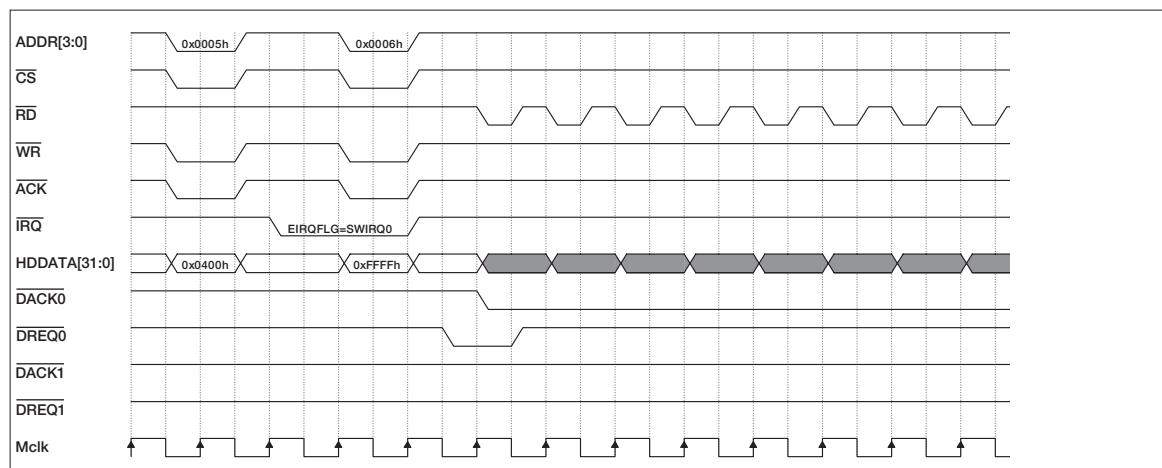


図16. バーストDMA DREQ/DACKモードのエンコード - プログラムの開始およびCODE FIFOからの最初のバーストの読出し (EDMOD0=0x0012h)

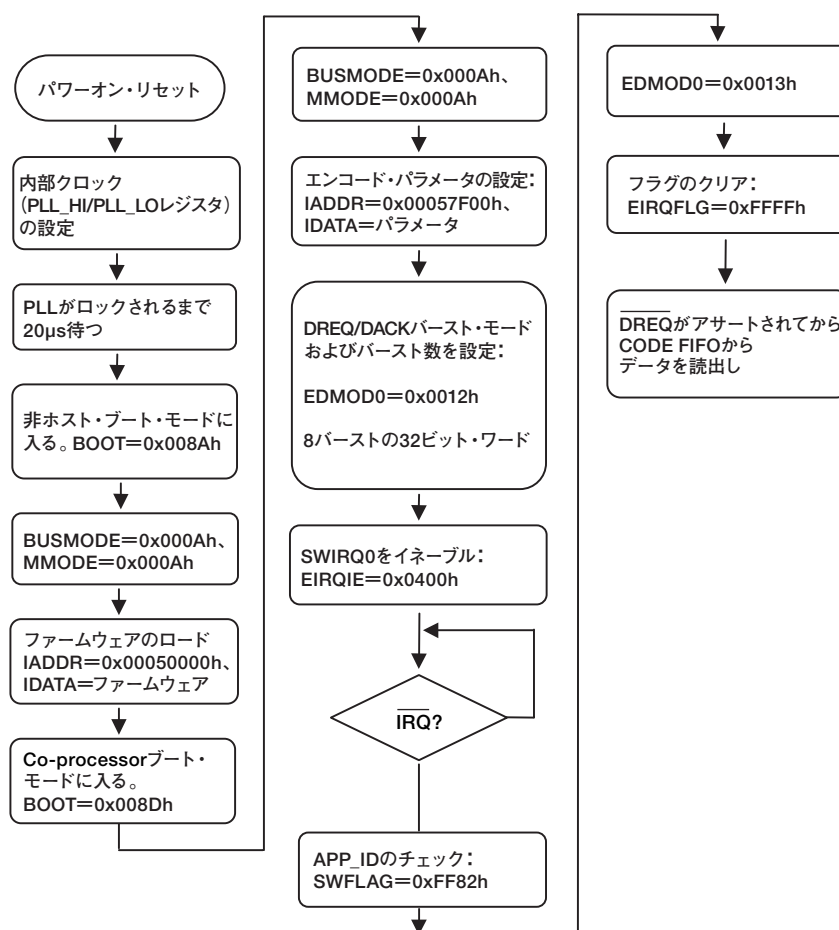


図17. エンコード・ルーチン - バーストDMA DREQ/DACKモード

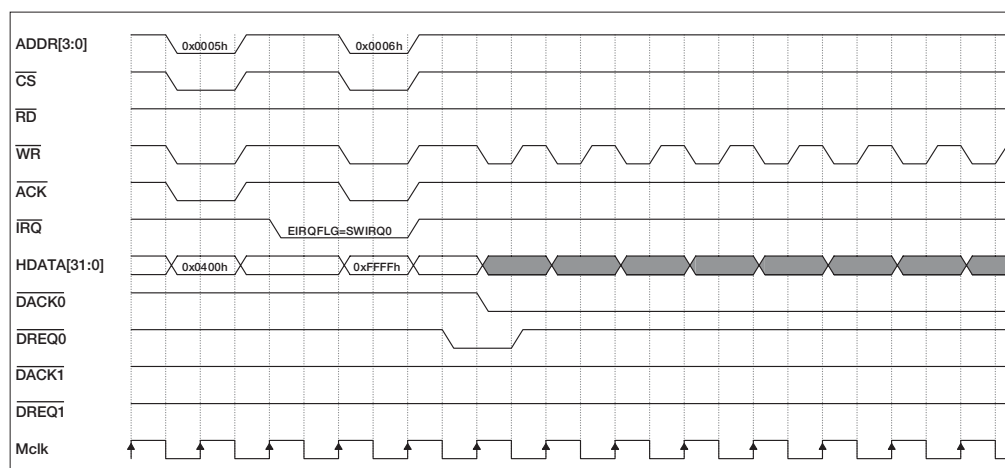


図18. バーストDMA DREQ/DACKモードのデコードプログラムの開始およびCODE FIFOへの最初のバーストの書き込み (EDMOD0=0x0012h)

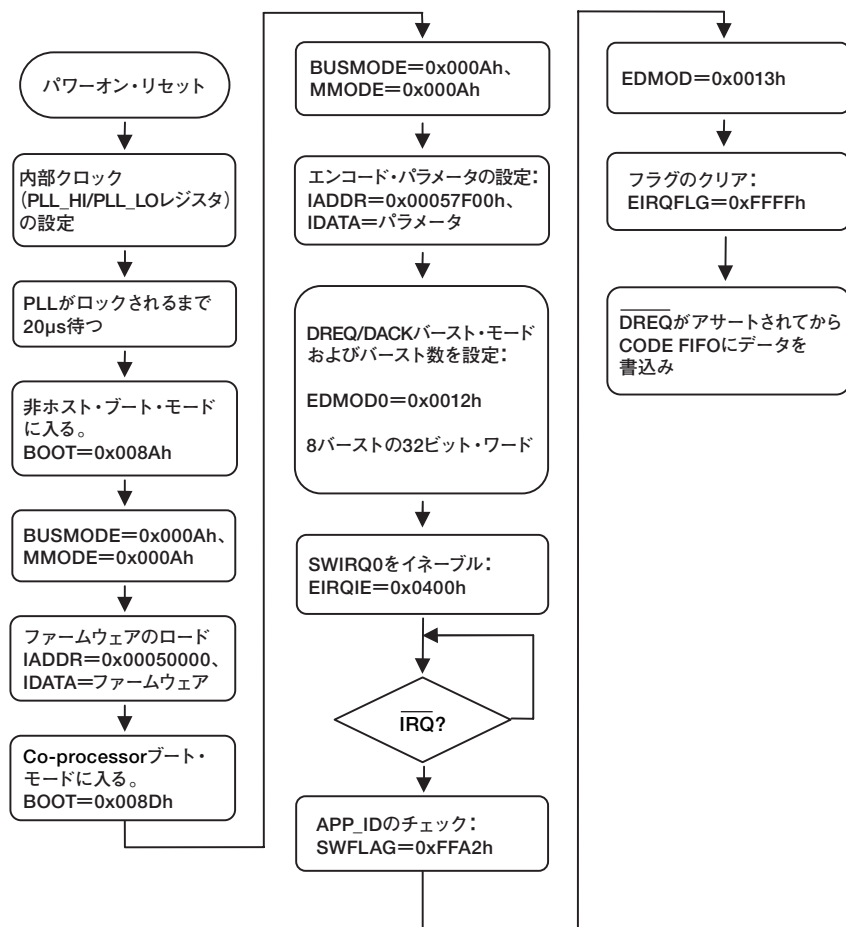


図19. デコード・ルーチン - バーストDMA DREQ/DACKモード

JDATAモードのエンコード／デコード・ルーチン (16ビット・ホスト)

JDATAモードは同期モードです。圧縮データの転送がMCLKと同期します。他のモードと同様、本書ですでに説明したノーマル・ホスト・プロトコルを使用した直接レジスタ設定、ファームウェアとパラメータのロード、間接レジスタ設定が必要です。

しかし、8ビットのJDATAコード・ストリームにはHDATAピン[31-24]が必要となるので、JDATAでは16ビットのホスト・モードのみ使用できます。

JDATAモードでは、以下のようなPLLとクロックについての条件に関する制約があります。

$JCLK \geq 4 \times MCLK$

この条件は、141ピン・デバイスの場合、最大MCLK周波数を37.125MHzに設定できることを意味します。これは、圧縮データレートの概算値にもなります。

エンコード・モードでは、データを利用できるときにADV202が常にVALIDをアサートした時に、データ転送が実行されます。また、ホストはHOLDのアサートを解除して応答する必要があります。

デコード・モードでは、ADV202がVALIDをアサートしたら、ただちにADV202にデータを転送しなければなりません。

VALIDは常に出力、そしてHOLDは常に入力です。

HOLDとVALIDをアクティブ・ハイの極性に設定する場合は、MCLKのエッジが立ち上がるたびに、以下の真理値表が適用されます。

HOLD	VALID	JDATA
0	0	有効なデータ転送が実行されない
1	0	有効なデータ転送が実行されない
0	1	有効なデータ転送が実行される
1	1	有効なデータ転送が実行されない

注：ES3サンプルでは、VALIDのアサートを開始するために、JDATAインターフェースをイネーブルにした後、HOLDを非アクティブ状態に引き込む必要があります。

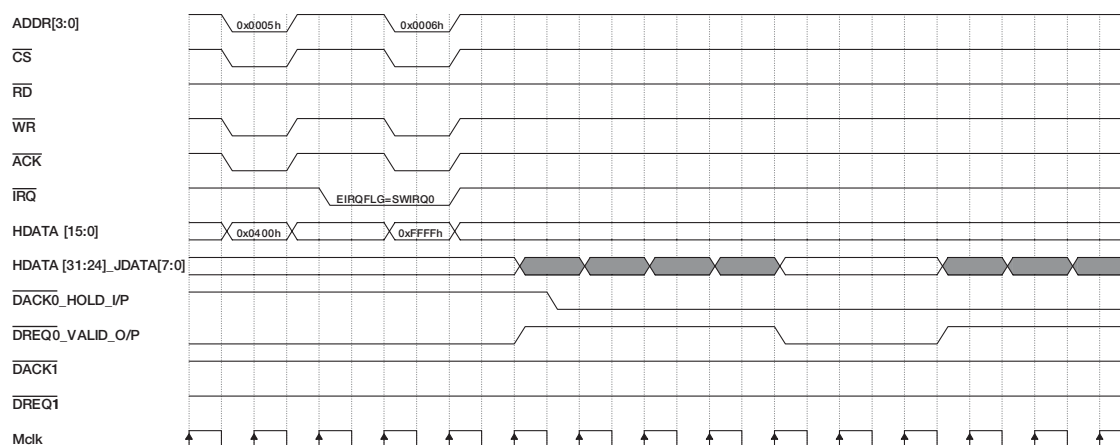


図21. JDATAモードのエンコード[ADV202 ES5] (VALIDとHOLDをアクティブ・ハイの極性に設定)

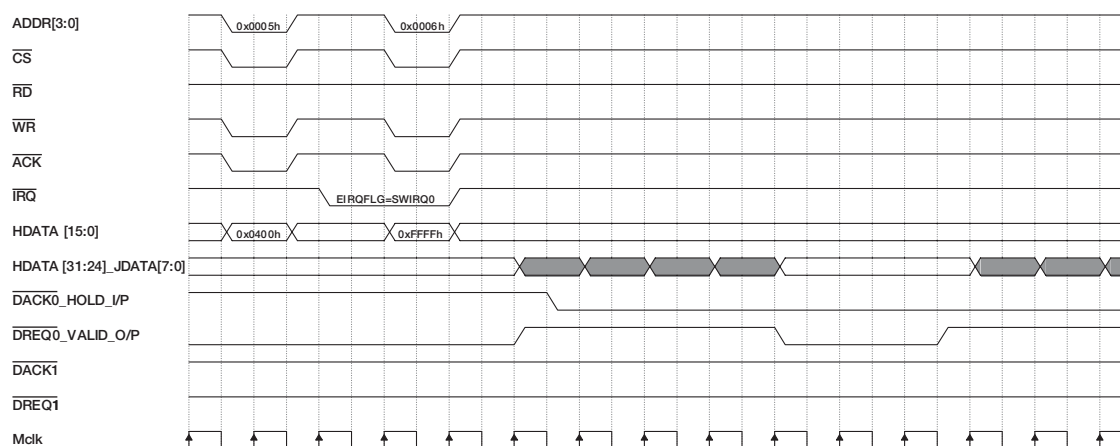


図22. JDATAモードのデコード[ADV202 ES5] (VALIDとHOLDをアクティブ・ハイの極性に設定)

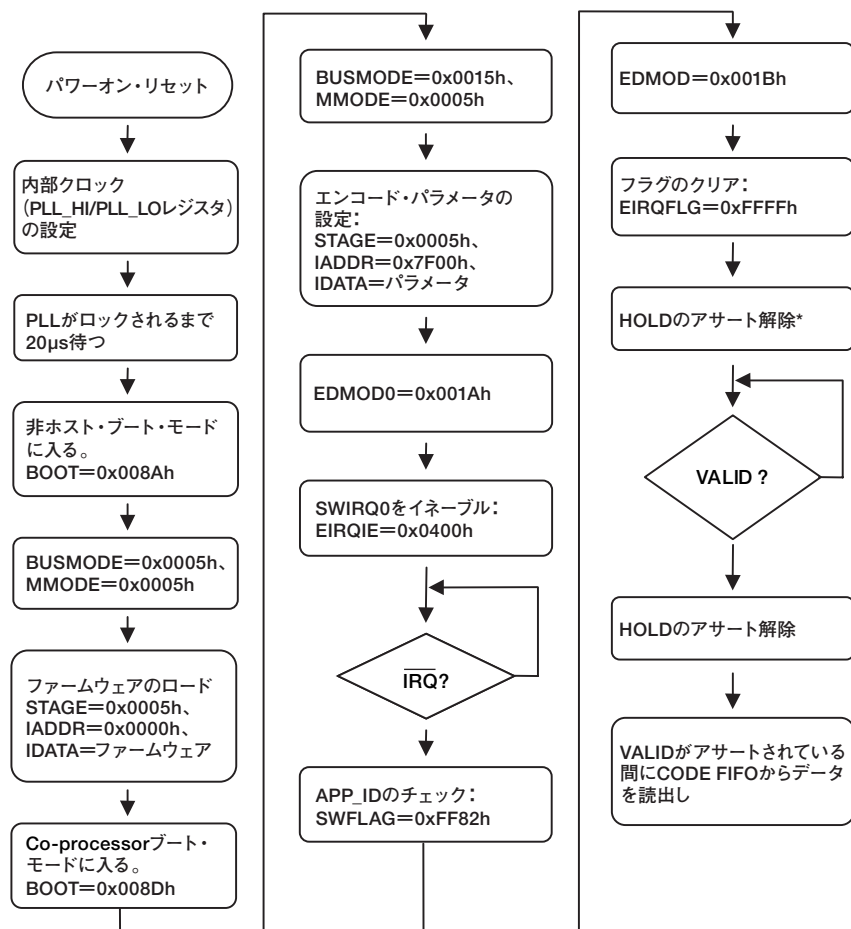


図23. JDATAモードのエンコード・ルーチン

* ADV202-ES3のみに適用されます。ADV202 ES3サンプルでは、VALIDのアサートを開始するために、JDATAをイネーブルにした後、HOLDのアサートを解除してください。

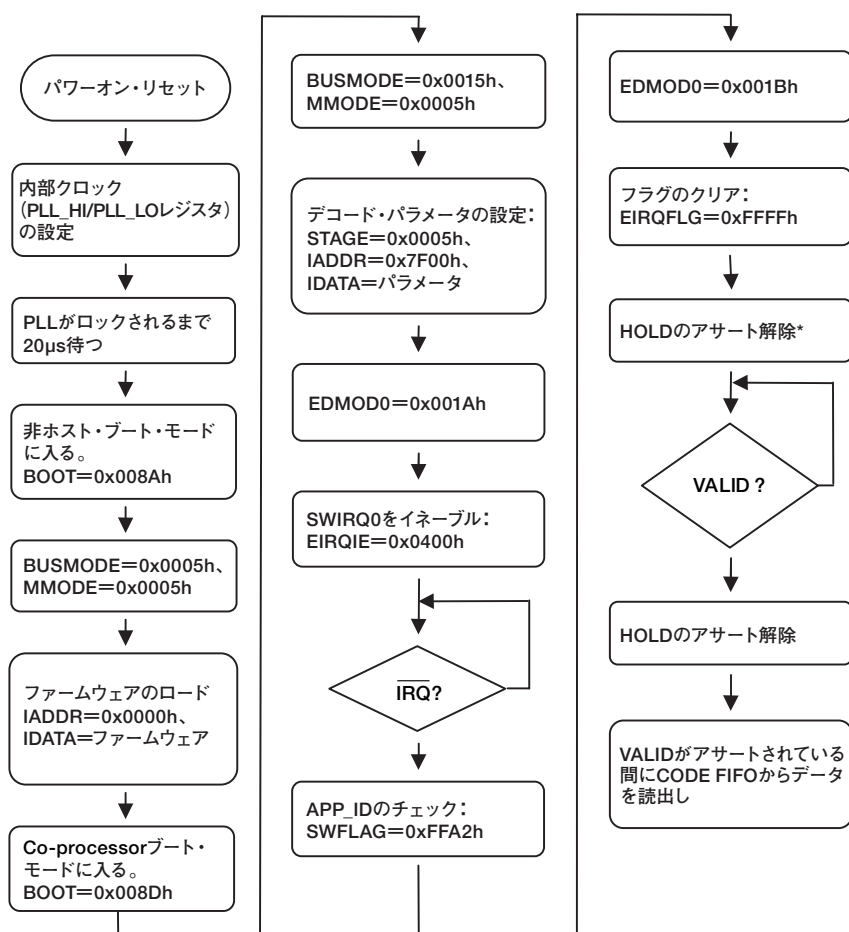


図24. JDATAモードのデコード・ルーチン

* ADV202-ES3のみに適用されます。ADV202 ES3サンプルでは、VALIDのアサートを開始するために、JDATAをイネーブルにした後、HOLDのアサートを解除してください。

特定カスタム・モードのエンコードおよびデコード・ルーチン

VFORMAT (JPEG2000パラメータ、表8) のリストにある規格に適合しない入力フォーマットについてはすべて、特定カスタム・モードを使用してください。

特定カスタム・モードには、以下のように入力に関する特定の制限が適用されます。

1. 画像1枚あたりの最大ピクセル・サンプル：1,048,576メガサンプル／イメージ（輝度および色差）
2. 画像1枚あたりの最大コード・ブロック数：610
 イメージあたりのコード・ブロック数は、JPEG2000のCBSIZEパラメータを使用して制御できます。表8を参照してください。
 イメージあたりのコード・ブロック数の見積りの詳細については、下記のサイトにあるテクニカル・ノート「TechNote_codeblock_1.pdf」を参照してください。

ftp://ftp.analog.com/pub/Digital_Imaging/ADV202_ApplicationNotes/ADV202_Getting_Started

特定カスタム・モードでは、標準外のビデオ入力に対してディメンション・レジスタを設定してください。

特定カスタム・モードでは、以下の各レジスタを設定してください。

表3. ADV202のディメンション・レジスタ

間接レジスタ・アドレス	名前	説明
0xFFFFF0400	PMODE1	ピクセル／ビデオ・フォーマット
0xFFFFF040C	XTOT	ラインあたりのサンプル合計数
0xFFFFF0410	YTOT	フレーム／フィールドあたりのライン合計数
0xFFFFF0414	F0_START	フィールド0の開始ライン
0xFFFFF0418	F1_START	フィールド1の開始ライン
0xFFFFF041C	V0_START	アクティブ・ビデオ・フィールド0の開始位置
0xFFFFF0420	V1_START	アクティブ・ビデオ・フィールド1の開始位置
0xFFFFF0424	V0_END	アクティブ・ビデオ・フィールド0の終了位置
0xFFFFF0428	V1_END	アクティブ・ビデオ・フィールド1の終了位置
0xFFFFF042C	PIXEL_START	アクティブ・ビデオの水平開始
0xFFFFF0430	PIXEL_END	アクティブ・ビデオの水平終了
0xFFFFF0448	PMODE2	ピクセル・モード2
0xFFFFF044C	VMODE	ビデオ・モード

この各レジスタのビットの詳細については、ADV202ユーザ・ガイドの第4章を参照してください。

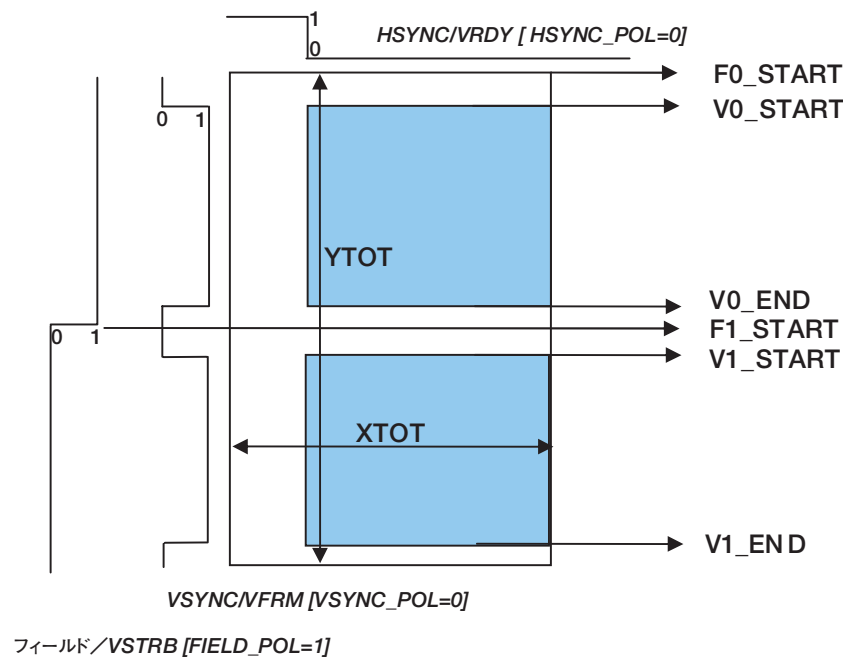


図25. ディメンション・レジスタの設定とHVFタイミングの関係

特定カスタム・モードでは、ビデオがVDATA上の入力であると考えられています。入力はHVF同期入力、EAV/SAVコード入力のいずれでも可能です。

JPEG2000パラメータ（PICFGパラメータ）またはPMODE2とVMODEの各レジスタを使用して、H、V、Fの極性を設定します。

インターレース以外のフォーマット、または静止画像などのフレーム・ベースの入力フォーマットの場合は、F1_START、V1_START、V1_ENDのレジスタ設定は必要ありません。

HVF同期を使用する場合：

アクティブ・ビデオの開始時に最初に発生するアクティブHSYNCの遷移のみが認識され、このときに水平カウンタのカウント動作が開始されます。これは、HSYNCパルス幅に対する条件がないことを意味します。アクティブ・ラインが開始されるたびに、HSYNCをアサートしてください。

垂直同期の場合は、VSYNCのエッジが最初に立ち上がるときに、同期が開始されます。その後、ADV202はディメンション・レジスタの設定と内部カウンタに従って同期を行います。

デコード・モードでは、どのライン番号でフィールド・ビットが0から1に遷移するかを識別するために、F0_STARTとF1_STARTのみが使用されます。デコード・マスタにおいては、フィールド・ディメンション・レジスタの設定によって、フィールド出力の遷移が判別されます。

デコード・スレーブにおいては、FIELD入力ピンの入力信号によって、フィールドの遷移が判別されます。

エンコード・モード

エンコード・モードでは、ADV202は常にスレーブ設定になります。入力データに個別のH、V、F信号、または埋込みタイミング・コードを付け加えることが可能です。いずれの場合も、ディメンション・レジスタの設定に输入のビデオ規格を反映させてください。ADV202は、入力される同期信号に対して自動的に同期します。

Vx_START、Vx_END、PIXEL_START、PIXEL_ENDの各レジスタの値を使用して、処理の対象となるアクティブ・ビデオ領域が計算されます。これは、VDATAバスを使用するすべての入力モードに適用されますが、HIPIモードでは、プログラミング設定の必要があるのはXTOTとYTOTの値のみで、その他すべてのディメンション・レジスタの値は無視されます（アプリケーション・ノート「ADV202_HIPI_mode」を参照してください）。

デコード・スレーブ

デコード・スレーブ・モードでは、入力されるHVF信号にビデオ出力が同期します。ディメンション・レジスタの設定は、これらのレジスタで指定される出力フォーマットと一致させてください。

デコード・マスタ

XTOT、YTOT、F0_START、F1_START、F0_END、F1_END、V0_START、V1_START、V0_END、V1_END、PIXEL_START、PIXEL_ENDの各レジスタの設定に従って、VSYNC、HSYNC、FIELD、EAV/SAVの各コードが生成されます。デコード・モードでこれらのタイミング信号の生成をイネーブルにするには、VMODEレジスタのプログラミングによって、デコード・マスタ・モードを設定してください。

特定カスタム・モードの設定例：

VGA、10ビットのYCbCrデータ、トータルで800×525@60Hz、640×480@60Hzのアクティブ解像度

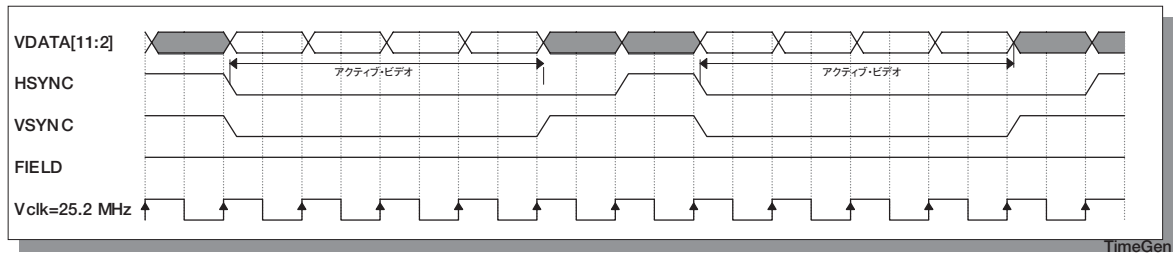


図26. 特定カスタム・モードの設定例—エンコードのタイミング

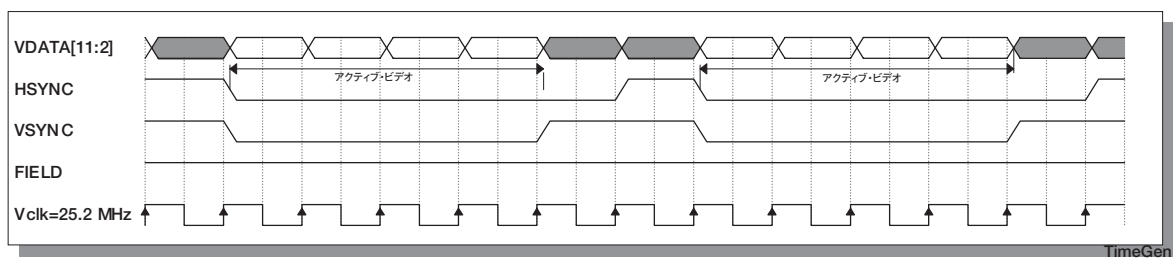


図27. 特定カスタム・モードの設定例—デコード・マスタのタイミング

表4. 特定カスタム・モードの設定例（640×480×60Hzの場合）—ディメンション・レジスタの設定

間接レジスタ・アドレス	名前	エンコードのレジスタ設定	デコードのレジスタ設定
0xFFFF0400	PMODE1	0x0005h	0x0005h
0xFFFF040C	XTOT	0x0640h [1600]	0x0640h
0xFFFF0410	YTOT	0x020Dh [525]	0x020Dh
0xFFFF0414	F0_START	0x0001h [1]	0x0001h
0xFFFF0418	F1_START	0x0000h [0]	0x0000h
0xFFFF041C	V0_START	0x002Eh [46]	0x002Eh
0xFFFF0420	V1_START	0x0000h [0]	0x0000h
0xFFFF0424	V0_END	0x020Dh [525]	0x020Dh
0xFFFF0428	V1_END	0x0000h [0]	0x0000h
0xFFFF042C	PIXEL_START	0x0001h [1]	0x0001h
0xFFFF0430	PIXEL_END	0x0500h [1280]	0x0500h
0xFFFF0448	PMODE2	図26に示す極性の場合 は0x0003xh	0x0003h
0xFFFF044C	VMODE	0x0086h HVF	0x0084h

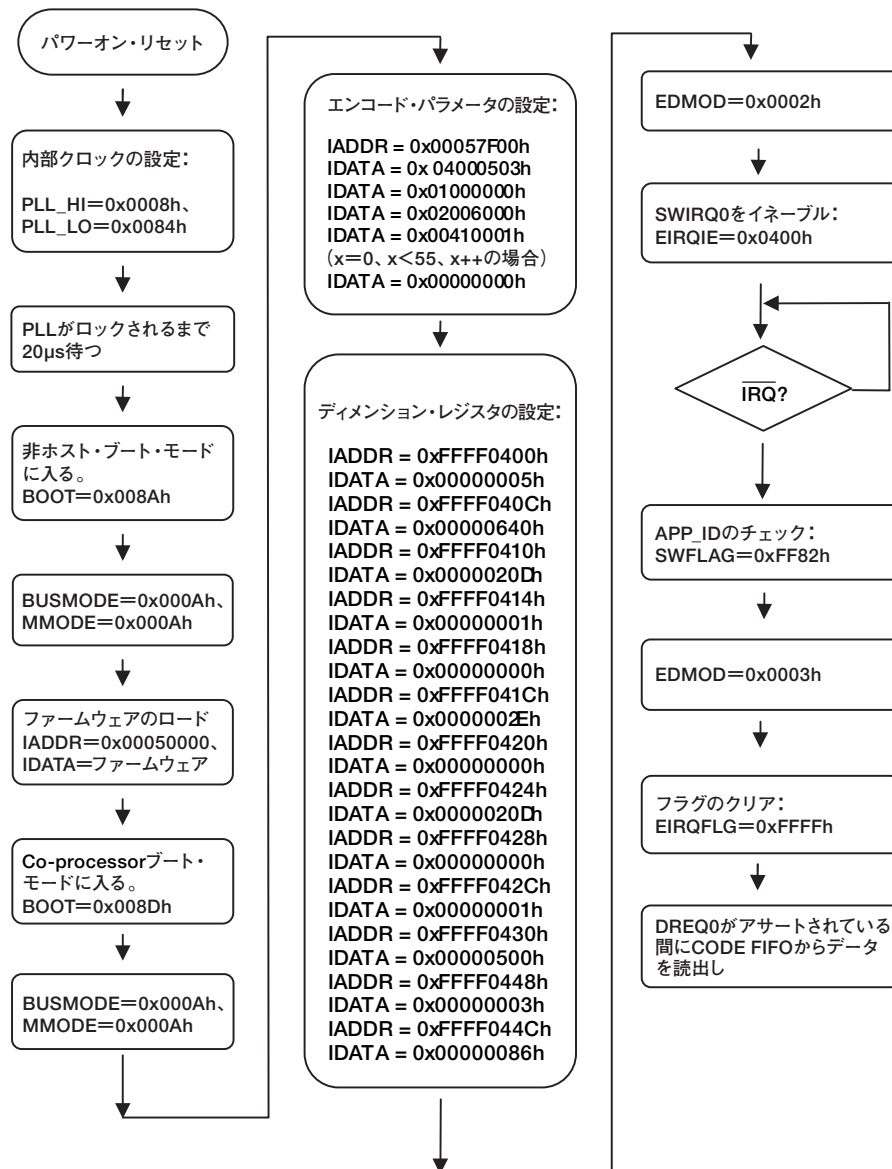


図28. 特定カスタム・モードの設定例—DCSモードでのエンコード・プログラミング・シーケンス

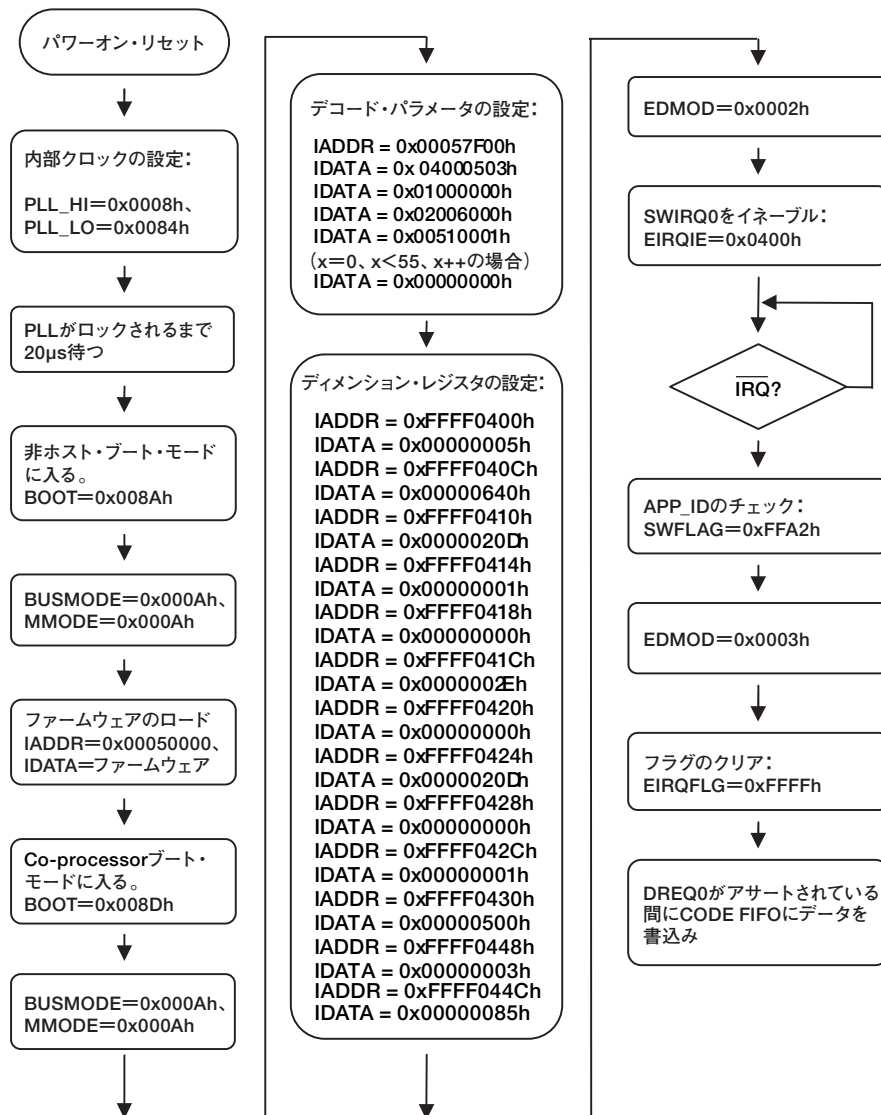


図29. 特定カスタム・モードの設定例—DCSモードでのデコード・プログラミング・シーケンス

ローピクセル・モードのエンコードおよびデコード・ルーチン

ローピクセル（RAWビデオ）・モードでは、ピクセル・データもまたVDATAバス上に入力されます。入力データは、タイミング情報またはこれに関連するブランキング領域がないものとなります。取込みの対象となるアクティブ領域とフレームの遷移は、水平同期、垂直同期、フィールドの各入力およびXTOTとYTOTの設定によって判別されます。

ローピクセル・モードでは、エンコード・パラメータVFORMATを特定カスタム・モードに設定してください。

ローピクセル・モードは、シングル・コンポーネント入力とYCbYCrフォーマットのコンポーネント入力に対応します（注：ビデオに使用されている通常のCbYCrYフォーマットではありません）。このモードでは、JDATAモードを使用できません。

入力サンプルごとの1Vclkサイクルで、ピクセル・データがADV202にクロック入力されます。

ローピクセル・モードの設定例：

VGA、シングル・コンポーネントの8ビットYデータ、640×480@60Hzのアクティブ解像度

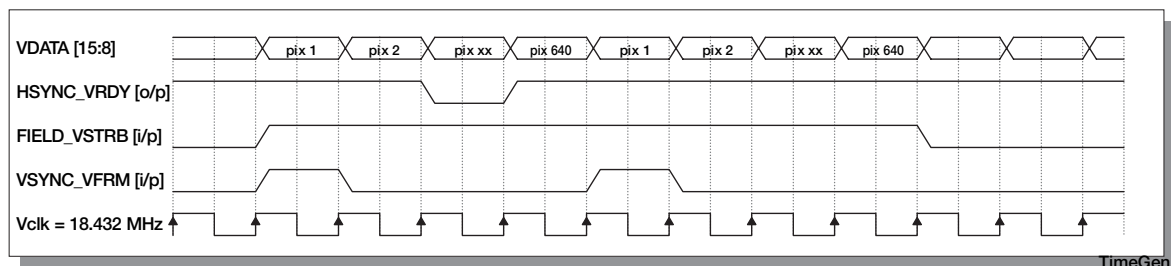


図30. ローピクセル・モード（エンコードのタイミング）－同期信号をアクティブ・ハイの極性に設定

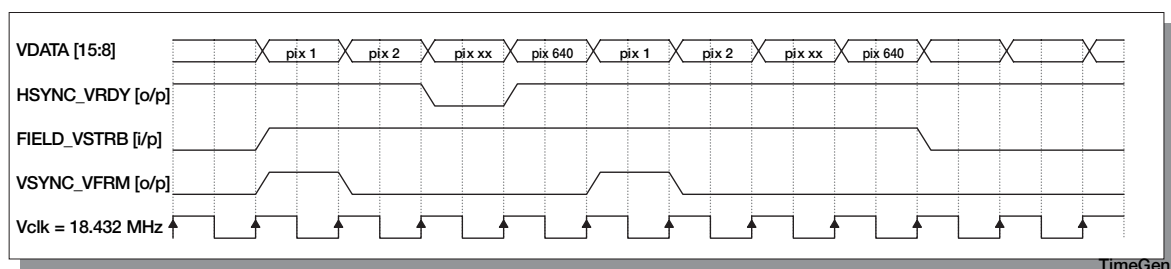


図31. ローピクセル・モード（デコードのタイミング）－同期信号をアクティブ・ハイの極性に設定

上の図は、エンコードとデコード両方のモードでH、V、Fをアクティブ・ハイ極性に設定している場合を示しています。

HSYNC_VRDY出力：これをアクティブ・ハイ極性に設定すると、この信号がハイレベルのときに、ADV202はピクセル・データを取り込める状態になります。

FIELD_VSTRB入力：これをアクティブ・ハイ極性に設定する場合、最初のピクセルに先立ってこの信号をハイレベルにアサートし、転送が実行されている間その状態を維持する必要があります。

VSYNC_VFRM入力：エンコード・モードで入力、デコード・モードで出力として使用されます。これをアクティブ・ハイ極性に設定すると、フレームの最初のピクセルが転送されるたびに、この信号をアサートする必要があります。

ローピクセル・モードのレジスタ設定例：

表5. ローピクセル・モードのディメンション・レジスタ設定例

間接レジスタ・アドレス	名前	エンコードのレジスタ設定	デコードのレジスタ設定
0xFFFF0400	PMODE1	0x0004h	0x0004h
0xFFFF040C	XTOT	0x0280h [640]	0x0280h [640]
0xFFFF0410	YTOT	0x01E0h [480]	0x01E0h [480]
0xFFFF0414	F0_START	0x0001h	0x0001h
0xFFFF0418	F1_START	0x0000h	0x0000h
0xFFFF041C	V0_START	0x0001h	0x0001h
0xFFFF0420	V1_START	0x0000h	0x0000h
0xFFFF0424	V0_END	0x01E0h	0x01E0h
0xFFFF0428	V1_END	0x0000h	0x0000h
0xFFFF042C	PIXEL_START	0x0001h	0x0001h
0xFFFF0430	PIXEL_END	0x0280h	0x0280h
0xFFFF0448	PMODE2	図30に示す極性の場合は 0x0003Fh	図31に示す極性の場合は 0x0003Fh
0xFFFF044C	VMODE	0x00A6h - HVF	0x00A5h

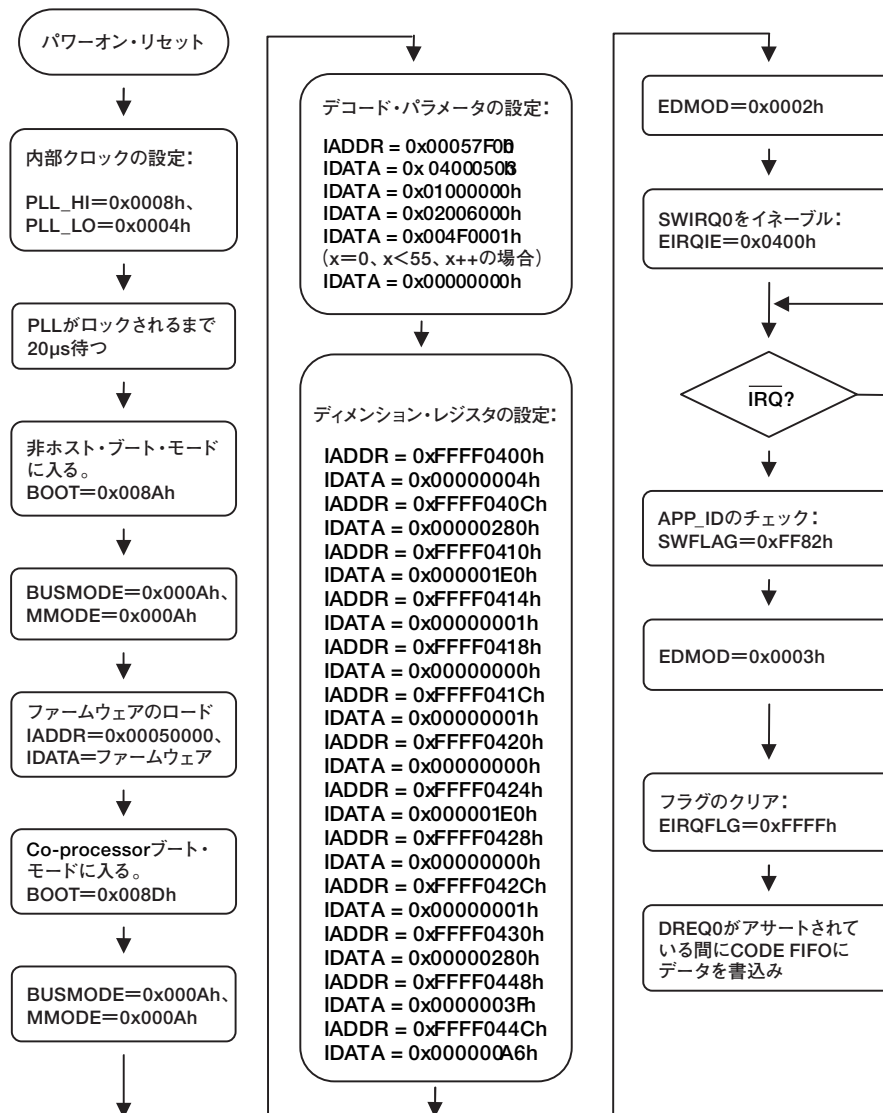


図32. ローピクセル・モードDCSモードを使用した圧縮データ出力のエンコード・プログラミング・シーケンス

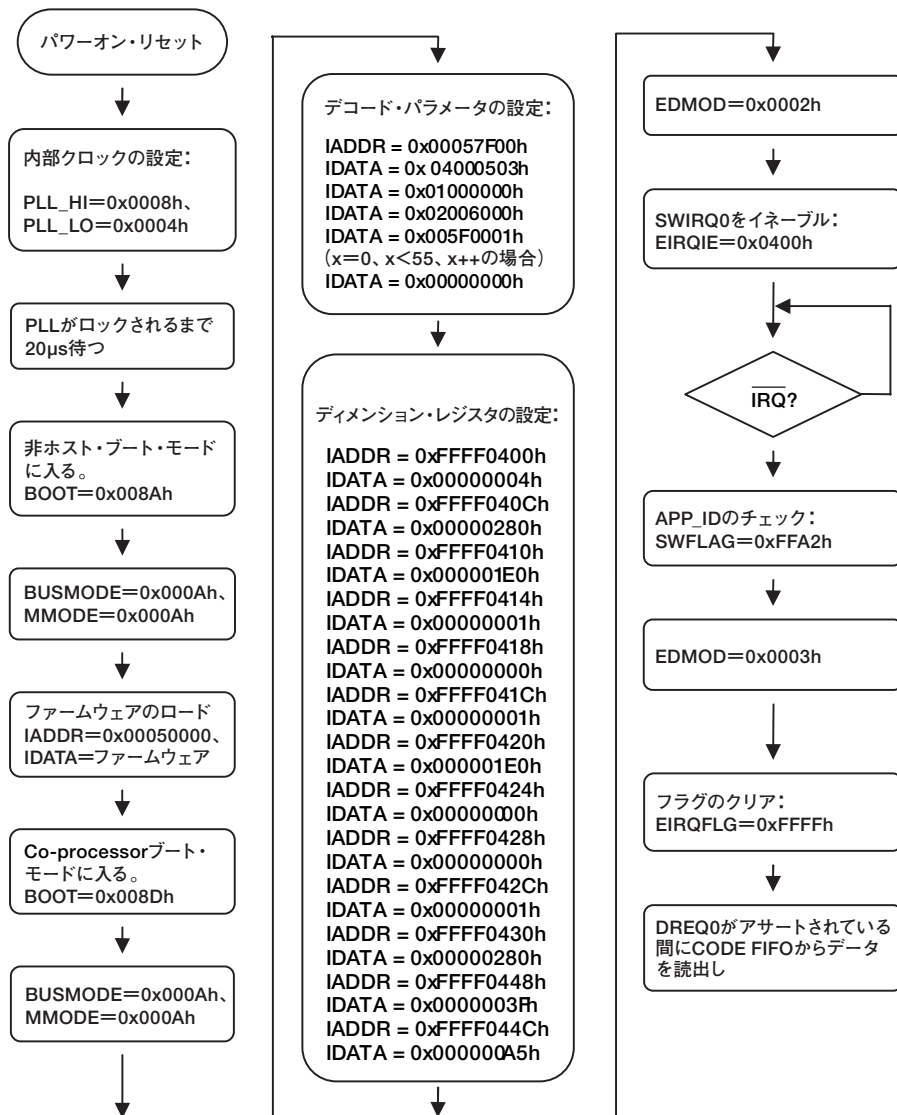


図33. ローピクセル・モードDCSモードを使用した圧縮データ出力のデコード・プログラミング・シーケンス

付録

PLLの設定と内部クロック

ADV202の内部クロックとPLLレジスタの設定の詳細については、データシートを参照してください。

以下の表は、最も一般的に使用されるMCLK周波数でのレジスタの推奨設定を示しています。

表6. PLLレジスタ推奨設定

ビデオ規格	MCLK入力[MHz]	PLL_HIのアドレス=0xEh	PLL_LOのアドレス=0xFh
ITU.R.BT656	27	0x0008	0x0004
1080i SMPTE274M	74.25	0x0008	0x0084
1080i MPTE274M	37.125	0x0008	0x0004
1080i SMPTE274M	25	0x0008	0x0006
525p SMPTE293M	27	0x0008	0x0004
625p ITU.R.BT1358	27	0x0008	0x0004

BUSMODEおよびMMODEレジスタの設定

表7. 16/32ビット・インターフェースに対するBUSMODEおよびMMODEレジスタの設定

	BUSMODEのアドレス=0x8h	MMODEのアドレス=0x9h
32ビット・インターフェース	0x000Ah	0x000Ah
16ビット・インターフェース	0x0005h	0x0005h
JDATAモード	0x0015h	0x0005h

JPEG2000パラメータ—エンコード

表8. JPEG2000パラメータ：エンコード

パラメータの上位からの バイト・オフセット	パラメータ のバイト数	パラメータ名	説明
0x0	1	VFORMAT	ビデオ規格 0=NTSC 4:2:2 1=PAL 4:2:2 2=1080i/60輝度 3=1080i/60色差 4=カスタム 5=720/60p輝度 6=720/60p色差 7=予備 8=NTSCデインターレース 9=PALデインターレース
0x1	1	PREC	精度 0=8ビット 1=10ビット 2=12ビット
0x2	1	XFORMLE	ウェーブレット変換レベル数 1=1変換レベル 2=2変換レベル 3=3変換レベル 4=4変換レベル 5=5変換レベル 6=6変換レベル
0x3	1	UNI	コンポーネント極性 0=バイポーラC、バイポーラY 1=ユニポーラC、バイポーラY 2=バイポーラC、ユニポーラY 3=ユニポーラC、ユニポーラY
0x4	1	CBSIZE	コード・ブロックのディメンション 0=32×32 (1080iおよび720pには適用されません) 1=64×32 2=64×64 3=128×32
0x5	1	WKERNEL/ QUANT	ウェーブレット・カーネルおよび量子化係数 0=固定テーブルを用いた非可逆性の9x7 (非可逆圧縮) 1=可逆性の5x3 (可逆圧縮) 2=非可逆性の5x3 (非可逆圧縮)
0x6	1	STALLPAR	エンコード・モードでのフィールド・スキップ 0=フィールドすべてをキャプチャします。 1-63=このフィールド数をスキップします。 255=キャプチャを停止します。

0x7	1	ATTRYPE	属性データ出力フォーマット 0＝属性データを出しません。 1＝ADV-JP2000の属性データ・フォーマットを使用します。 2＝調整なしのLog2凸包 3＝量子化調整付きのLog2凸包 4＝ATTR FIFOに対するADV202のフィールド・ヘッダ出力 5＝ATTR FIFOに対するADV202のフィールド・ヘッダおよびパケット・バイト長出力																		
0x8	1	RCTYPE	レート制御アルゴリズム 0＝なし（切り捨てなし） 1＝ビデオ・フィールド／イメージあたりのターゲット・サイズ。RCVALの5%以内（バイト／イメージ） 2＝ビデオ・フィールド／イメージあたりのターゲット品質 3＝ビデオ・フィールド／イメージあたりのマルチレイヤ・ターゲット・サイズ。RCVALおよびLTARGETパラメータも必要です。 4＝ビデオ・フィールド／イメージあたりのマルチレイヤ・ターゲット品質。RCVALおよびLTARGETパラメータも必要です。																		
0x9	3	RCVAL	ターゲット・サイズまたは品質係数 RCTYPE＝0の場合、RCVAL＝該当なし RCTYPE＝1の場合、RCVAL＝バイト単位のフィールド／イメージ・サイズ RCTYPE＝2の場合、RCVAL＝品質係数 RCTYPE≥3の場合、RCVAL＝レイヤ数																		
0xC	1	J2KPROG	JPEG2000プログレッション・スタイル 0＝LRCP 1＝RLCP 2＝RPCL 3＝PCRL 4＝CPRL 8＝複合属性データ・フォーマット・モード0/1を使用します。 9＝複合属性データ・フォーマット・モード2を使用します。 10＝複合属性データ・フォーマット・モード3を使用します。																		
0xD	1	PICFG	ピクセル・インターフェース設定 <table><tr><td>ビット</td><td>説明</td></tr><tr><td>7</td><td>予備（常に0を書込み）</td></tr><tr><td>6</td><td>HVFまたはEAV/SAV 1＝外部のHVFピンを使用します。 0＝組み込まれたSAV/EAVを使用します。</td></tr><tr><td>5</td><td>予備（常に0を書込み）</td></tr><tr><td>4</td><td>予備（常に0を書込み）</td></tr><tr><td>3</td><td>フィールドの極性（1＝正、0＝負）</td></tr><tr><td>2</td><td>HSYNCの極性（1＝正、0＝負）</td></tr><tr><td>1</td><td>VSYNCの極性（1＝正、0＝負）</td></tr><tr><td>0</td><td>VCLKの極性（1＝正、0＝負）</td></tr></table>	ビット	説明	7	予備（常に0を書込み）	6	HVFまたはEAV/SAV 1＝外部のHVFピンを使用します。 0＝組み込まれたSAV/EAVを使用します。	5	予備（常に0を書込み）	4	予備（常に0を書込み）	3	フィールドの極性（1＝正、0＝負）	2	HSYNCの極性（1＝正、0＝負）	1	VSYNCの極性（1＝正、0＝負）	0	VCLKの極性（1＝正、0＝負）
ビット	説明																				
7	予備（常に0を書込み）																				
6	HVFまたはEAV/SAV 1＝外部のHVFピンを使用します。 0＝組み込まれたSAV/EAVを使用します。																				
5	予備（常に0を書込み）																				
4	予備（常に0を書込み）																				
3	フィールドの極性（1＝正、0＝負）																				
2	HSYNCの極性（1＝正、0＝負）																				
1	VSYNCの極性（1＝正、0＝負）																				
0	VCLKの極性（1＝正、0＝負）																				

0xE	1	QFACT	量子化係数 255=255/256係数 255=255/256係数 254=254/256係数 . . 2=2/256係数 1=1/256係数 0=256/256係数 (1x)
0xF	1	COD_STYLE	出力コード・ストリームのフォーマット COD_STYLE[2:0]: 0=ADV202のローフォーマット 1=J2Cフォーマット 2=JP2フォーマット COD_STYLE[3]: 予備 COD_STYLE[7:4]は、J2CとJP2のフォーマットのみに適用されます。 COD_STYLE[7]: 0=パケット・ボディ付きのパケット・ヘッダ 1=PPTを使用 COD_STYLE[6]: 0=PLTなし 1=PLTを含む COD_STYLE[5]: 0=SOPなし 1=SOPを含む COD_STYLE[4]: 0=EPHなし 1=EPHを含む

0x10	2×19	STEPSIZES[18:0]	5指数ビットと11仮数ビットを用いた量子化ステップサイズ 詳細については、ISO/IEC15444-1規格の附属書Eを参照し てください。 サブバンドごとに1つのステップサイズが指定されます（す べてのコンポーネントで使用されるステップサイズは1セッ トのみとなっています）。 このパラメータ・リストに記載するサブバンド・ステップ サイズの順番は、以下のように6つの変換レベルに準拠して います。 LL 1HL（変換レベルが0よりも高い場合） 1LH（変換レベルが0よりも高い場合） 1HH（変換レベルが0よりも高い場合） 2HL（変換レベルが1よりも高い場合） 2LH（変換レベルが1よりも高い場合） 2HH（変換レベルが1よりも高い場合） 3HL（変換レベルが2よりも高い場合） 3LH（変換レベルが2よりも高い場合） 3HH（変換レベルが2よりも高い場合） 4HL（変換レベルが3よりも高い場合） 4LH（変換レベルが3よりも高い場合） 4HH（変換レベルが3よりも高い場合） 5HL（変換レベルが4よりも高い場合） 5LH（変換レベルが4よりも高い場合） 5HH（変換レベルが4よりも高い場合） 6HL（変換レベルが5よりも高い場合） 6LH（変換レベルが5よりも高い場合） 6HH（変換レベルが5よりも高い場合）
0x36	1	LOAD_SS	ステップサイズとQFACT、またはこのいずれかをロード する前に、このバイトのビット0を「0」にしてください。 ステップサイズとQFACT、またはこのいずれかを書き込 んだ後、ビット0を「1」に設定してください。ステップサ イズ／QFACTが有効であり、使用できる状態であること をファームウェアに通知するためです。新しいステップサ イズ／QFACTをファームウェアがロードする動作が完了 すると、このビットは「0」にリセットされます。

0x37	1	LOAD_VW	ビジュアル重付けオプション 0=ビジュアル重付けが適用されないか、またはすでにロードされたビジュアル重付けが使用されます。 1=VW_Y、VW_CB、VW_CRの各パラメータを使用して設定されたカスタム・ビジュアル重付けをロードします。 2=動画JPEG2000に関してISO/IEC 15444-3規格で推奨されるビジュアル重付けをロードします。
0x38	2×19	VW_Y	輝度のビジュアル重付け係数
0x5E	2×19	VW_CB	Cbのビジュアル重付け係数
0x84	2×19	VW_CR	Crのビジュアル重付け係数
0xAA	6	RESERVED	予備
0xB0	4×16	LTARGET[1:16]	マルチレイヤ・モードのレイヤごとのターゲット・サイズまたはターゲット品質

JPEG2000パラメータ—デコード

表9. JPEG2000パラメータ：デコード

パラメータの上位からの バイト・オフセット	パラメータの バイト数	パラメータ名	説明
0x0	1	VFORMAT	ビデオ規格 0=NTSC 4:2:2 1=PAL 4:2:2 2=1080i/60輝度 3=1080i/60色差 4=カスタム 5=720/60p輝度 6=720/60p色差 7=予備 8=NTSCデインターレース 9=PALデインターレース
0x1	1	PREC	精度 0=8ビット 1=10ビット 2=12ビット
0x2	1	予備	
0x3	1	UNI	コンポーネント極性 0=バイポーラC、バイポーラY 1=ユニポーラC、バイポーラY 2=バイポーラC、ユニポーラY 3=ユニポーラC、ユニポーラY
0x4	1	予備	
0x5	1	予備	
0x6	1	予備	
0x7	1	予備	
0x8	1	予備	
0x9	1	PICFG	ピクセル・インターフェース設定 ビット 説明 7 予備 (常に0を書込み) 6 HVFピンを使用します。 1=外部のHVFピンを使用します。 0=組み込まれたSAV/EAVを使用します。 5 予備 (常に0を書込み) 4 0=デコード・スレーブ 1=デコード・マスタ 3 フィールドの極性 (1=正、0=負) 2 HSYNCの極性 (1=正、0=負) 1 VSYNCの極性 (1=正、0=負) 0 VCLKの極性 (1=正、0=負)

0xA	1	DRES	デコード解像度の設定： ビット 説明 7 イメージ・サイズのスケーリング・イネーブル 0=イメージ・サイズを同じ状態に維持します。 1=イメージを望ましい解像度サイズにスケール ダウンします。この設定については、ビット 2:0を参照してください。 6:3 予備（常に0を書込み） 2:0 最高の解像度レベルをデコードに適用します (XFORMLEVパラメータの最大値まで)。 0=すべての解像度にデコード 1=1/4の解像度にデコード 2=1/16の解像度にデコード 3=1/64の解像度にデコード 4=1/256の解像度にデコード 5=1/1024の解像度にデコード 6=1/4096の解像度にデコード
0xB	1	COD_STYLE	出力コード・ストリームのフォーマット COD_STYLE[2:0]： 0=ADV202のローフォーマット 1=J2Cフォーマット 2=JP2フォーマット

JPEG2000パラメータの説明

VFORMAT

NTSC 4:2:2

この設定は、720×243@60フィールド／秒の解像度のみで使用します。

PAL 4:2:2

この設定は、720×288@50フィールド／秒の解像度のみで使用します。

1080i輝度

この設定は、1920×540@60フィールド／秒の解像度のみで使用します。

1080i色差

この設定は、1920×540@360フィールド／秒の解像度のみで使用します。

特定カスタム

VFORMAT=0～9に適合しない場合は必ずこの設定を使用します。特定カスタム・モードの設定に関する操作については、前のセクションを参照してください。

720/60p輝度

この設定は、1280×720@60フィールド／秒の解像度のみで使用します。

720/60p色差

この設定は、1280×720@60フィールド／秒の解像度のみで使用します。

NTSCデインターレース

この設定は、解像度が720×243@60フィールド／秒のNTSC規格定義のみで使用します。入力インターレース・フォーマットですが、圧縮は各フレーム・ベースで実行されます。ADV202は奇数と偶数のフィールドを一斉に圧縮するため、圧縮効率を最大40～50%改善できます。

PALデインターレース

この設定は、解像度が720×288@50フィールド／秒のPAL規格定義のみで使用します。入力インターレース・フォーマットですが、圧縮は各フレーム・ベースで実行されます。ADV202は奇数と偶数のフィールドを一斉に圧縮するため、圧縮効率を最大40～50%改善できます。

CBSIZE

コード・ブロックを大きくすると、コード・ストリームの生成が容易になりますが、ADV202のメモリ使用率を最小限に抑えるために、コード・ブロックの高さを小さくしてください。そのため、32×32のCBSIZEは1080iモードや720pモードでは使用されません。

1080iモードおよび720pモードに最適のCBSIZEは、128×32です。128×32に設定すると、レイテンシも最短になります。

コード・ブロックを小さくすると、生成されるコード・ブロックの数が増えます。レート制御とJ2K生成を実行するために必要なMIPは、存在するコード・ブロックの数に比例します。

イメージあたりのコード・ブロック数の見積方法に関する推奨事項については、テクニカル・ノート「TechNote_Codeblocks_1.pdf」を参照してください。

ATTRTYPE

ATTRTYPEパラメータを1、2、3のいずれかに設定すると、ADV202はATTR FIFOを経由してコード・ブロック属性データを出力するように設定されます。さらに、この機能を使用する際には、ホストがCODE FIFOとATTR FIFOにそれぞれ割り当てられたDMAチャンネルを両方ともイネーブルにします。

ATTRTYPEパラメータを4に設定すると、16バイトのADV202圧縮イメージ・ヘッダが各圧縮イメージの最上部ではなく、ATTR FIFOに出力されます。したがって、コード・ストリームのデータ解析を行わずに、ヘッダ情報を取得することができます。

ATTRTYPEパラメータを5に設定すると、詳細なバイト長サマリがATTR FIFOに出力されます。これによって、2個の異なるADV202からのHD輝度とHD色差を外部で結合できます。

テクニカル・ノート「TechNote_ADV202_Compressed_Data_Format_1.pdf」を参照してください。

RCTYPEとRCVAL

このファームウェア・バージョンを作成する時点で、レート制御アルゴリズムの実行用として、以下の5つのオプションが用意されています。

切り捨てなし

圧縮された各コード・ブロックは、切り捨てられることなくコード・ストリームの中に組み込まれるので、可能な限り高い品質が確保されます。ただし、これに伴って圧縮イメージごとに生成されるバイトの数の変動が大きくなります。圧縮されたコード・ブロックは、次に説明する別のモードのときに切り捨てられます。

ビデオ・フィールド／イメージあたりのターゲット・サイズ

圧縮されたフィールド／イメージごとのバイト数は、RCVALパラメータで指定します。ターゲット・サイズをパラメータとして選択する場合は、データ出力レートを設定値の5%以内としてください。

例えば、12Mbpsのデータ出力レート（NTSC 60フィールド／秒を想定）を達成するには、RCVALを $12,000,000 \div (8 \times 60) = 25,000$ バイト／フィールド=0x0061A8hに設定します。レート制御アルゴリズムはこのターゲットを達成するために、連続的なイメージの品質を調整する動作を実行しますが、フィールド間で品質の変動が発生します。

ビデオ・フィールド／イメージあたりのターゲット品質

品質のターゲット値は、RCVALパラメータで指定します。

この値が大きくなると、それに応じて品質（およびフィールド／イメージのサイズ）が低下します。

ターゲット品質をパラメータとして選択する場合は、画質が一定に維持されますが、データ出力レートが変化します。

量子化ステップサイズのデフォルト値が使用されると仮定すれば、RCVAL=0x000100以下のときに最高の品質が得られ、RCVAL=0x000A00以上のときに品質が最低となります。

マルチレイヤのターゲット・サイズ

上記2つと同様ですが、このオプションはSNRのスケーリングが可能なコード・ストリームに対応します。レイヤ数は、RCVALパラメータで設定します。レイヤごとのバイト長ターゲット値も設定してください。これはLTARGET値の設定のときに行います。

RCVALを設定してレイヤ数を指定します。RCVALは1～16まで設定できます。

マルチレイヤのターゲット品質

RCVALを設定してレイヤ数を指定します。RCVALは1～16まで設定できます。

表10. 各種のデータ出力レート時にターゲット・サイズを指定するためのRCVAL設定

ビデオ	水平ピクセル数／フィールド	ライン数／フィールド	フィールド・レート	データ出力レート Mビット／秒	バイト数／フィールド	RCVAL
NTSC	720	243	59.94	20	41708	0x00A2E2
NTSC	720	243	59.94	15	31281	0x007A31
NTSC	720	243	59.94	10	20854	0x005176
NTSC	720	243	59.94	9	18750	0x004950
NTSC	720	243	59.94	8	16683	0x00412B
NTSC	720	243	59.94	7	14598	0x003905
NTSC	720	243	59.94	6	12513	0x0030E0
NTSC	720	243	59.94	5	10417	0X0028BB
NTSC	720	243	59.94	4	8342	0x002095
NTSC	720	243	59.94	3	6256	0x001870
NTSC	720	243	59.94	2	4167	0x00104A
NTSC	720	243	59.94	1	2085	0x000825
PAL	720	288	50	20	50000	0x00C350
PAL	720	288	50	15	37500	0x00927C
PAL	720	288	50	10	25000	0x0061A8
PAL	720	288	50	9	22500	0x0057E4
PAL	720	288	50	8	20000	0x004E20
PAL	720	288	50	7	17500	0x00445C
PAL	720	288	50	6	15000	0x003A98
PAL	720	288	50	5	12500	0x0030D4
PAL	720	288	50	4	10000	0x002710
PAL	720	288	50	3	7500	0x001D4C
PAL	720	288	50	2	5000	0x001388
PAL	720	288	50	1	2500	0x0009C4

表11. ターゲット品質を指定するためのRCVAL設定

RCVal	説明
0x0100	数学的にほとんどロスレスです。
0x0300	ビジュアル的にロスレスです。
0x0500	細かい画像では顕著なノイズが見られますが、ソフト画像はビジュアル的にロスレスです。
0x0700	顕著なノイズが確認されますが、画像の詳細は維持されます。
0x0900	ノイズが非常に顕著です。この設定は低速ビット・レートのアプリケーションに使用します。

J2KPROG

この数値を使用して、ISO/IEC 15444-1規格で定義される5つのプログレッション・スタイルの1つを選択します。J2KPROGをLRCPに設定すると、最初にレイヤ情報、次に解像度、コンポーネント、位置の順番でデータがJPEG2000ストリームからデコードされます。

LRCP：レイヤ－解像度－コンポーネント－位置

RLCP：解像度－レイヤ－コンポーネント－位置

RPCL：解像度－位置－コンポーネント－レイヤ

PCRL：位置－コンポーネント－解像度－レイヤ

CPRL：コンポーネント－位置－解像度－レイヤ

PCRLを指定すると、1フィールド以下の最適なレイテンシとなります。非可逆モードで1.2メガサンプル以上、可逆モードで0.6メガサンプル以上のタイルの場合に、この方式が必要となります。

QFACT、STEPSIZES、LOAD_SS：

最初に、ステップサイズのデフォルト・セットが各サブバンドに割り当てられます。ホスト・ブート手順の実行が完了した後、LD_SSパラメータがチェックされ、0であれば、これらのステップサイズのデフォルト値がSTEPSIZESパラメータに自動的に書き込まれます。

QFACTパラメータを利用すると、このパラメータ値を256で除算して求められる比に基づいて量子化係数（ステップサイズの逆数）をスケーリングする簡単な方法を利用できます（QFACT=0の場合は、量子化係数が1に設定される）。カスタム・ステップサイズを開始時に使用しない場合は（初期化の後でLD_SS=0）、上述のようにデフォルトのステップサイズがSTEPSIZESパラメータに書き込まれた後、QFACTパラメータがデフォルトのステップサイズに適用されます。その後QFACTを変更するときは、STEPSIZESパラメータを変更する場合と同じ手順で行います。

カスタム・ステップサイズを開始時に使用する場合は、以下の手順に従ってください。

- 初期化ルーチンが開始される前に、標準のJPEG2000ステップサイズ・フォーマットを使用して、新しいステップサイズをSTEPSIZESパラメータに書き込みます。
- LOAD_SSパラメータに0x0001を書き込みます。

エンコード・キャプチャのプロセスが実行されている間に、STEPSIZESまたはQFACTパラメータを変更する場合は、以下の手順に従ってください。

- 0x0000が読み出されるまで、LOAD_SSパラメータ（間接アドレス0x00057f36）をポーリングします。
- 標準のJPEG2000ステップサイズ・フォーマットを使用して、新しいステップサイズをSTEPSIZESパラメータに書き込みます。
- 新しい量子化係数をQFACTパラメータに書き込みます。
- LOAD_SSパラメータに0x0001を書き込みます。

次の入力ビデオ・フィールドが開始される直前に、プログラムはこれらの新しいステップサイズとQFACT、またはそのいずれかをロードし、LOAD_SSパラメータを0にリセットします。

カスタム・ステップサイズを開始時に使用する場合は、これらのパラメータを設定し、LD_SSパラメータに1を書き込んでください。

COD_STYLE

COD_STYLE[2:0] :

ADV202のローフォーマットに関する説明は、以下のテクニカル・ノートに記載されています。

ftp://ftp.analog.com/pub/Digital_Imaging/ADV202_ApplicationNotes/ADV202_Getting_Started/TechNote_ADV202_output_format_1.pdf
JP2フォーマットは、YCbCr 4:2:2の入力のみで使用します。

COD_STYLE[7:4] :

PPT=タイルの圧縮パケット・ヘッダ

詳細については、ISO/IEC 15444-1規格A.7.5と表A-2を参照してください。

PLT=タイルのパケット長ヘッダ

詳細については、ISO/IEC 15444-1規格A.7.3と表A-2を参照してください。

SOP=パケット・ヘッダの開始

詳細については、ISO/IEC 15444-1規格A.8.1と表A-2を参照してください。

EPH=パケット・ヘッダの終了

詳細については、ISO/IEC 15444-1規格A.8.2と表A-2を参照してください。

このパラメータの詳細については、テクニカル・ノート「ADV202出力フォーマット」を参照してください。

ビジュアル重付け—LOAD_VW、VW_Y、VW_CB、VW_CR :

最初に、すべてのウェーブレット・サブバンドを対象として、デコードされた画像の平均二乗誤差（MSE）の発生要因となる割合分の重付けが行われます。これは、サブバンドのL2Normとも呼ばれます。ただし、視覚認知に対するサブバンドの影響度に基づいて各サブバンドに重付け係数を追加することによって、画像圧縮のノイズを低減できます。

重付け係数は一般に0から1までの間の浮動小数点数値ですが、これを1より大きくすることもできます。ただし、ADV202ではこの数値を9、7の精度で符号付き2の補数16ビットlog2の形式を用いて表します。係数を1未満にすると、log2値が負になり、係数を1よりも大きくすると、log2が正の数値になります。log2の例を表12に示します。

起動時にLOAD_VWパラメータを使用して、適切なビジュアル重付けテーブルをロードしますが、このパラメータが0に設定されている場合は、重付けが適用されません。任意の時点で、定義済みのビジュアル重付けテーブルをロードするようにファームウェアを設定するか、VW_Y、VW_CB、VW_CRの各パラメータに関するカスタム・テーブルをロードすることができます。このロード手順は、ステップサイズをロードする手順と同じです。

0x0000が読み出されるまで、LOAD_VWパラメータ（間接レジスタ・アドレス0x000057f37）をポーリングします。上述のフォーマットを使用して、VW_Y、VW_CB、VW_CRの各パラメータにビジュアル重付け値を書き込みます。

カスタム・ビジュアル重付けをロードする場合は、LOAD_VWパラメータに0x0001を書き込みます。Motion JPEG2000に関してISO/IEC 15444-3規格で推奨される定義済みのビジュアル重付けをロードする場合は、LOAD_VWパラメータに0x0002を書き込んでください。

ビジュアル重付けをファームウェアがロードする動作が完了すると、LOAD_VWパラメータは「0」にリセットされます。

表12. Log2形式の重付け係数の例

浮動小数点による 重付け係数	Log2形式のVW_Y, VW_CB, VW_CRパラメータ
1.20	0x0022
1.0	0x0000
0.75	0xFFCB
0.3	0xFF22
0.1	0xFE57

マルチレイヤLTARGET[1:16]

これらの16ワード（32ビット）には、コード・ストリーム内部の各レイヤに必要なターゲットが含まれ、これらのデータはRCTYPEで設定されたマルチレイヤ・レート制御とあわせて使用されます。

LTARGET[1]はレイヤ1の32ビット・ワード、LTARGET[2]はレイヤ2の32ビット・ワードなどの形式で表されます。

RCTYPE=3:

LTARGETは、各レイヤのバイト長のターゲット値を表します。これは、指定されたレイヤまでを含む全レイヤのバイトで構成されます。

RCTYPE=4:

LTARGETは、各レイヤのターゲット品質を表します。

コード例

標準定義のNTSC/PALエンコード／デコード・アプリケーションに対応する最新リビジョンのソース・コード例を以下のサイトから入手できます。

ftp://ftp.analog.com/pub/Digital_Imaging/ADV202_Eval_P160SD_FPGA_SYSTEM/P160SD_system/projects/Spartan3SLC400/video_pipe/edk71/

主要な関数は、<TestApp.c>ファイルに含まれています。

ADV202の設定と初期化は、<ADV202.c>ファイルに含まれています。