

连续时间 Σ - Δ (CTSD) 精密ADC迷你教程



目录

第1章：如何改进精密ADC信号链设计	第3页
第2章：为信号链设计人员介绍CTSD架构	第9页
第3章：实现固有混叠抑制	第14页
第4章：轻松驱动ADC输入和基准电压源，简化信号链设计	第20页
第5章：利用异步采样速率转换(ASrC)简化数字数据接口	第25页
参考资料	第32页

第1章：如何改进精密ADC信号链设计

Abhilasha Kawle, 高级模拟设计工程师
Wasim Shaikh, 应用工程师

摘要

精密信号链设计人员面临着满足中等带宽应用中噪声性能要求的挑战，最后往往要在噪声性能和精度之间做出权衡。缩短上市时间并在第一时间完成正确的设计则进一步增加了压力。持续时间 $\Sigma-\Delta$ (CTSD) ADC本身具有架构优势，简化了信号链设计，从而缩减了解决方案尺寸，有助于客户缩短终端产品的上市时间。在本迷你教程中，我们将说明CTSD ADC本身的架构优势及其如何适用于各种精密中等带宽应用。另外，我们将深入分析信号链设计，让设计人员了解CTSD技术的关键优势，并探索AD4134精密ADC易于设计的特性。

引言

在许多数字处理应用和算法中，在过去的20年里，日益要求所有转换器技术都具有更高的分辨率和精度。通过使用外部数字控制器，借助平均和优化的滤波方案等软件技术可提取并提供更精确的结果，从而提高ADC受限的分辨率/精度。为了减少数字微控制器或DSP的大量后处理工作，设计人员可使用高性能精密ADC。这将减少数字方面的优化时间，也可以考虑使用成本较低的低微控制器或DSP。精密ADC的应用和市场很广泛：

- ▶ 工业仪器仪表：振动分析、温度/压力/应力/流量测量、动态信号分析、声学分析

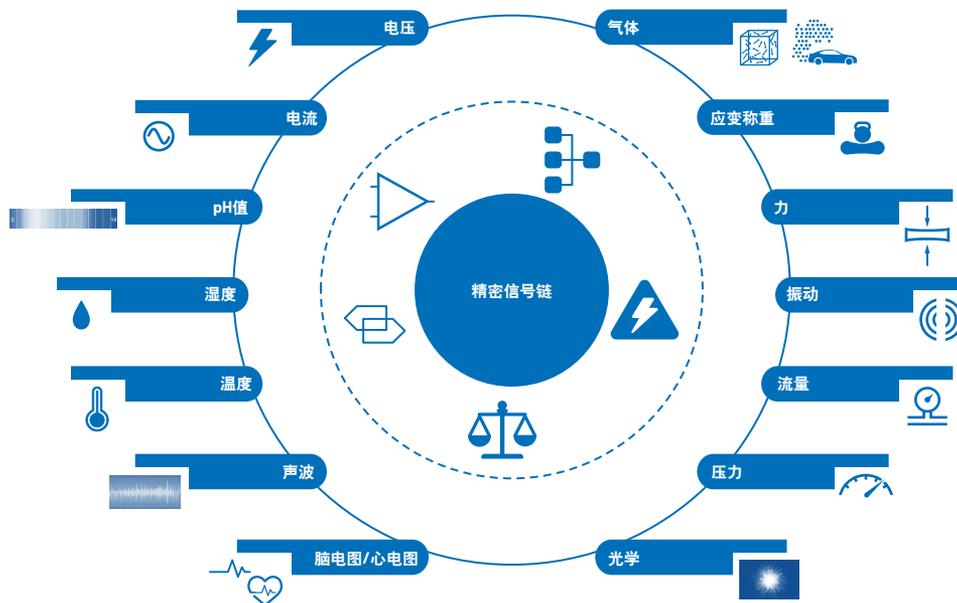


图1. 精密ADC信号链示例。

- ▶ 医疗仪器仪表：电生理学、血液分析、心电图(EKG/ECG)
- ▶ 防务应用：声纳、遥测
- ▶ 测试和测量：音频测试、硬件循环、电能质量分析

由ADC处理的模拟输入信号可以是带有电压、电流输出的传感器信号，也可以是带宽范围从直流到几百kHz的反馈控制环路信号。ADC数字输出格式和速率取决于以下数字控制器所需的应用和后处理。一般而言，信号链设计人员遵循奈奎斯特采样准则，将数字控制器的ADC输出数据速率(ODR)设置为至少是输入频率的两倍。大多数ADC允许基于相关信号频带灵活地调整输出数据速率。

对于目前可用的ADC，在ADC可与输入信号交互前涉及到几个信号调理阶段。具有严格要求的信号调理电路需要围绕特定和单独的ADC技术进行设计和定制，确保能够实现ADC数据手册的性能。选择ADC后，信号链设计人员的工作并没有结束。通常需要花费大量时间和精力来设计外设并进行调整。ADI公司的设计仿真工具和模型库可为设计人员提供技术支持，帮助他们应对设计挑战。

新方法：利用CTSD架构简化设计之旅

CTSD架构主要用于音频和高速ADC，现在针对精密应用量身定制，可实现高精度，同时利用其独特信号链简化特性。利用此架构可以减轻设计外设的工作量。图2显示了如何通过使用这种新的解决方案来实现高通道密度，将当前ADC信号链简化并缩减68%，图中只是其中的一小部分。

为了说明CTSD ADC技术如何简化信号链设计，本文重点介绍一般应用的现有信号链中涉及的一些关键挑战，并演示了CTSD ADC如何缓解这些挑战。

因此，我们首先介绍现有信号链中涉及的几个设计步骤，第一个任务是选择适合目标应用的正确ADC。

第1步：选择ADC

除了应用所需的最终数字输出的分辨率和精度外，从广泛的可用范围中选择合适的ADC时，信号带宽、ODR、信号类型和要处理的范围也是重要考虑因素。一般而言，在大多数应用中，数字控制器要求使用算法来处理输入信号的幅度、相位或频率。

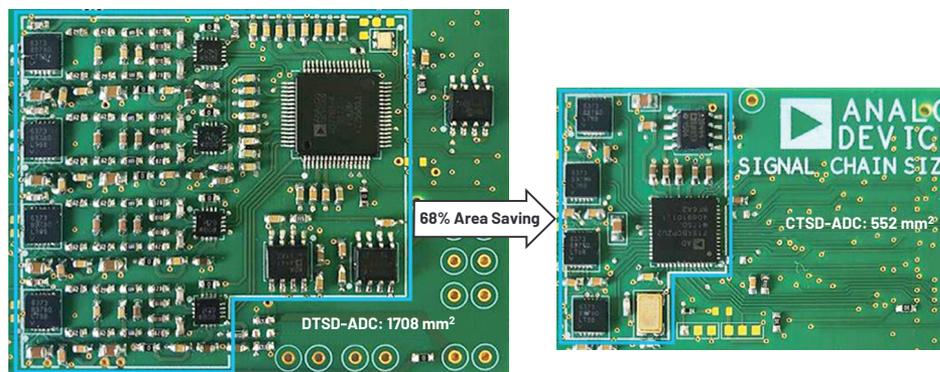


图2 具有ADI易于使用的新CTSD ADC的小尺寸解决方案。

为了准确地测量前面的任何一个因素，需要尽量减小数字化过程中增加的误差。表1中详细列出了主要误差及其相应的测量术语，[数据转换基本指南](#)中提供了进一步详细说明。

表1. ADC错误和性能指标

ADC错误	数据手册中的相关测量
1 热和量化噪声	信噪比(SNR)、动态范围(DR)
2 失真	总谐波失真(THD)、交调失真(IMD)
3 干扰	串扰、混叠抑制、电源电压抑制比(PSRR)、共模抑制比(CMRR)
4 幅度和相位误差	目标频率下的增益误差、幅度和相位下降
5 从ADC输入到最终数字输出的延迟	延迟、建立时间

表1中的性能指标与信号幅度和频率有关，通常称为交流性能参数。

对于直流或近直流应用，如处理50 Hz至60 Hz输入信号的功率计量，必须考虑偏置、增益、INL和闪烁噪声等ADC误差。这些直流性能参数也需要针对应用预期用途具有一定的温度稳定性。

ADI提供各种高性能ADC，以满足多个应用的系统需求，例如基于精度、速度或有限功耗预算的应用。仅比较两组ADC规格不足以正确选择ADC。还必须考虑整体系统性能和设计挑战，这才是选择ADC技术或架构的关键所在。传统上首选两大类ADC架构。常用的是**逐次逼近寄存器(SAR)**ADC，其遵循简单的奈奎斯特准则。它指出，如果以其频率的两倍采样，可重构信号。SAR ADC的优势在于出色的直流性能、小尺寸、低延迟以及通过ODR进行功耗调节。

第二种技术选项是**离散时间 $\Sigma\text{-}\Delta$ (DTSD) ADC**，其工作原理是样本数目越大，丢失的信息就越少。因此，采样频率远高于规定的奈奎斯特频率，这种方案称为过采样。此架构还有一个优势是，由于采样而增加的误差可在目标频带内最小化。因此，DTSD ADC兼具出色的直流和交流性能，但延迟较高。

图3展示了SAR和DTSD ADC的典型模拟输入带宽，以及一些不同速度和分辨率的常用产品选择。也可使用**精密快速搜索功能**帮助您选择ADC。

此外，现在还有一种新型精密ADC可用。这些ADC基于DTSD ADC，与DTSD ADC性能相当，但在简化整个信号链设计过程方面具有独特的优势。这个全新的ADC系列可以解决现有信号链后续几个设计步骤中比较突出的挑战。

第2步：输入与ADC接口

由ADC处理其输出的传感器可能具有非常高的灵敏度。设计人员必须清楚地知道传感器将与之接口的ADC输入结构，确保ADC误差不会影响实际传感器信号或使其失真。

在传统SAR、DTSD ADC中，输入结构称为开关电容采样保持电路，如图4所示。在每个采样时钟边缘，当采样开关改变其ON/OFF状态时，需要支持有限电流需求，以便将保持电容充放电至一个新的采样输入值。此电流需要通过输入源提供，在我们讨论的示例中，这个输入源是传感器。此外，开关本身有一些片内寄生电容，会将一些电荷注入电源，称为电荷注入反冲。由此增加的误差源也需要由传感器吸收，以免对传感器信号造成不利影响。

大多数传感器无法提供这种电流幅度，表明它们不能直接驱动开关电路。在另一种情况下，即使传感器能够支持这些电流需求，传感器的有限阻抗也会在ADC输入端增加误差。电荷注入电

流与输入成函数关系，此电流将会在传感器阻抗上引起与输入相关的压降。如图4a所示，ADC的输入错误。在传感器和ADC之间放置一个驱动放大器可以解决这个问题，如图4b所示。

现在我们需要为此放大器设定标准。首先，放大器应支持充电电流并能够吸收电荷注入反冲。其次，该放大器的输出需要在采样边缘的末端完全稳定，使得对ADC输入采样时不会增加误差。这意味着放大器应能提供瞬时电流阶跃，映射为具有高摆率，并对这些瞬态事件提供快速建立响应，映射为具有高带宽。随着ADC的采样频率和分辨率的增加，能否满足这些需求变得至关重要。

设计人员，特别是处理中等带宽应用的设计人员所面临的一大挑战是为ADC确定合适的放大器。如前所述，ADI提供了一组仿真模型和**精密ADC驱动器工具**来简化此步骤，但对于设计人员来说，这是实现ADC数据手册性能的额外设计步骤。一些新时代的SAR和DTSD ADC通过使用新颖的采样技术来完全降低瞬态电流需求，或采用集成放大器应对这一挑战。但这两种解决方案都限制了信号带宽的范围或削弱了ADC的性能。

CTSD ADC的优势：CTSD ADC通过为易于驱动的电阻输入而非开关电容输入提供新的选项，来解决这个问题。这表明对高带宽、大压摆率的放大器没有硬性要求。如果传感器可直接驱动此阻性负载，则可直接与CTSD ADC接口；否则可在传感器和CTSD ADC之间连接任何低带宽、低噪声放大器。

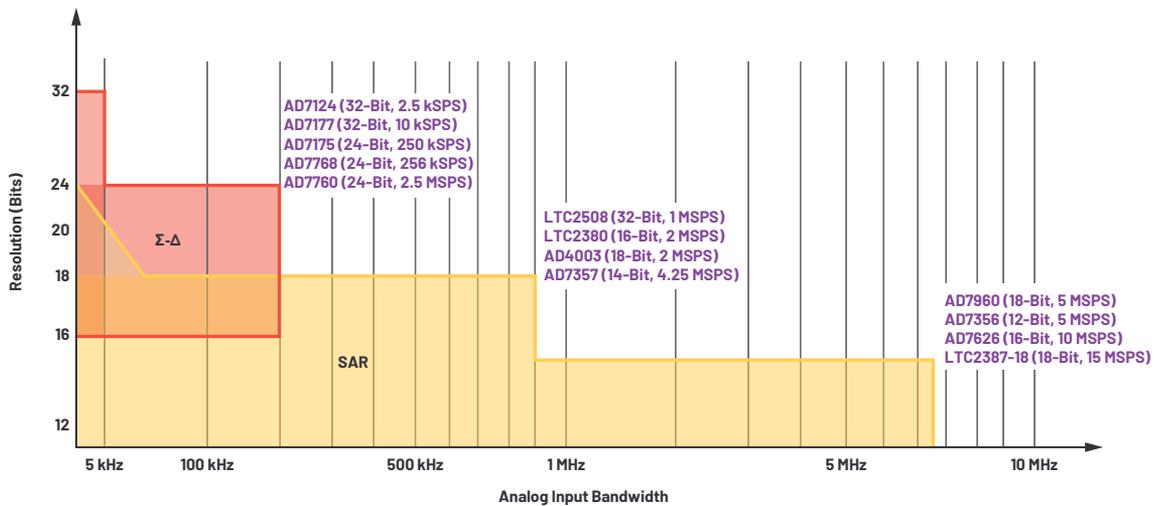


图3. 精密ADC架构定位。

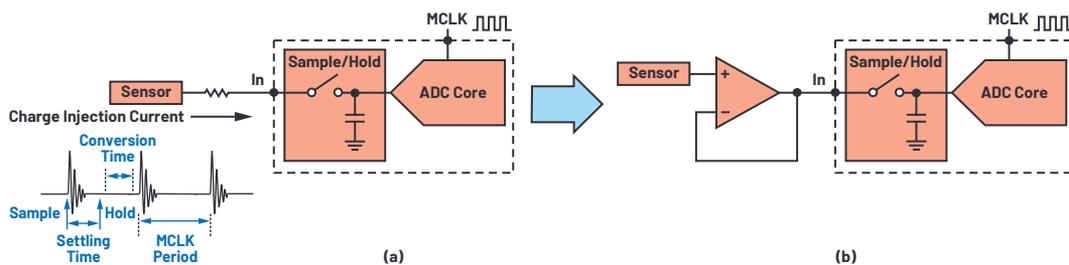


图4. (a)开关电容电荷注入反冲到传感器，(b)使用输入缓冲器隔离反冲效应。

第3步：基准电压源与ADC接口

与基准电压源接口涉及的挑战与输入接口类似。传统ADC的基准电压源输入也是开关电容。在每个采样时钟边缘，基准电压源需要对内部电容充电，因此需要具有良好建立时间的大开关电流。

可用的基准电压源IC不支持大开关电流需求，并且带宽有限。第二个接口挑战是来自这些基准电压源的噪声比ADC的噪声大。为了滤除这种噪声，使用了一阶RC电路。一方面，我们限制基准电压源的带宽以减少噪声，另一方面，我们需要快速建立时间。这是两个需要同时满足的相反要求。因此，使用低噪声缓冲器来驱动ADC基准引脚，如图5b所示。此缓冲器的摆率和带宽基于ADC的采样频率和分辨率来决定。

同样，与我们的精密输入驱动器工具一样，ADI也提供针对ADC仿真和选择正确的基准电压源缓冲区的工具。与输入一样，一些新时代的SAR和DTSD ADC也提供集成基准电压源缓冲区选项，但具有性能和带宽限制。

CTSD ADC的优势：使用CTSD ADC可完全跳过此设计步骤，因为它为驱动阻性负载提供一种新的简便选项，而不需要此类高带宽、大压摆率的缓冲器。具有低通滤波器的基准电压源IC可直接与基准引脚接口。

第4步：使信号链不受干扰影响

对连续信号进行采样和数字化处理会导致信息丢失，这称为量化噪声。采样频率和位数决定了ADC架构的性能限制。解决基准电压源和输入的性能和接口挑战之后，下一个难题是解决高频(HF)干扰源/噪声折叠到目标低频带宽的问题。这称为混叠或折回。这些进入目标带宽的高频或带外干扰源的反射图像导致信噪比(SNR)降低。根据采样准则，采样频率周围的任何信号音都会在带内折回，如图6所示，在目标频带内产生不必要的信息或错误。有关混叠的更多详细信息参见教程MT-002：奈奎斯特准则对数据采样系统设计有何意义。

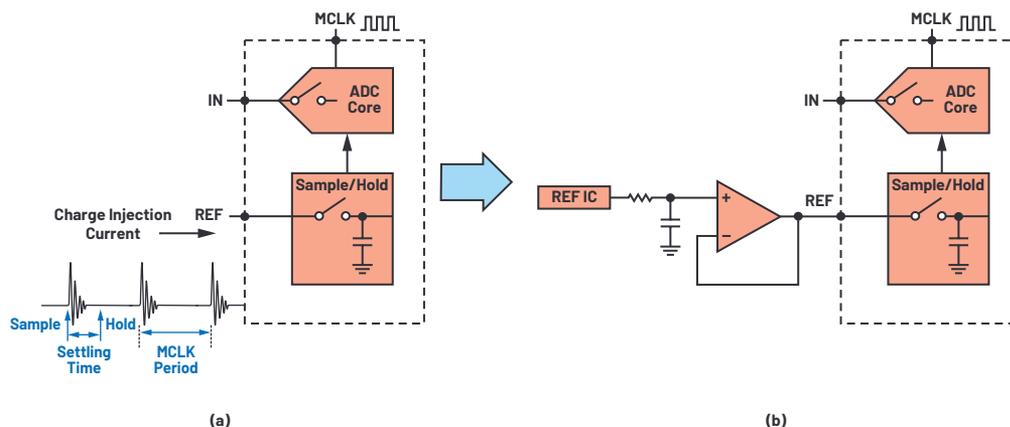


图5. (a)开关电容电荷注入反冲到基准电压源IC (b)使用基准电压源缓冲区隔离反冲效应。

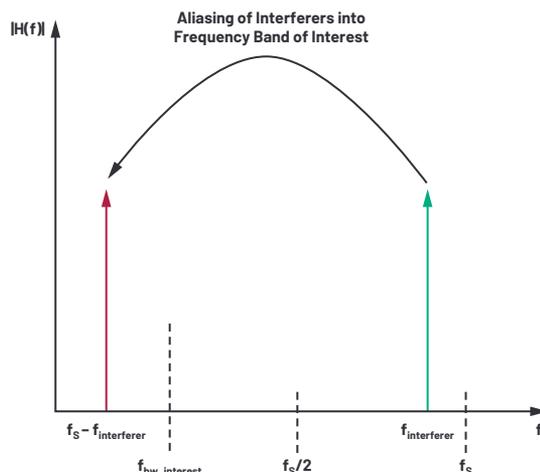


图6. 由于采样使带外干扰源混叠/折回进入目标频带。

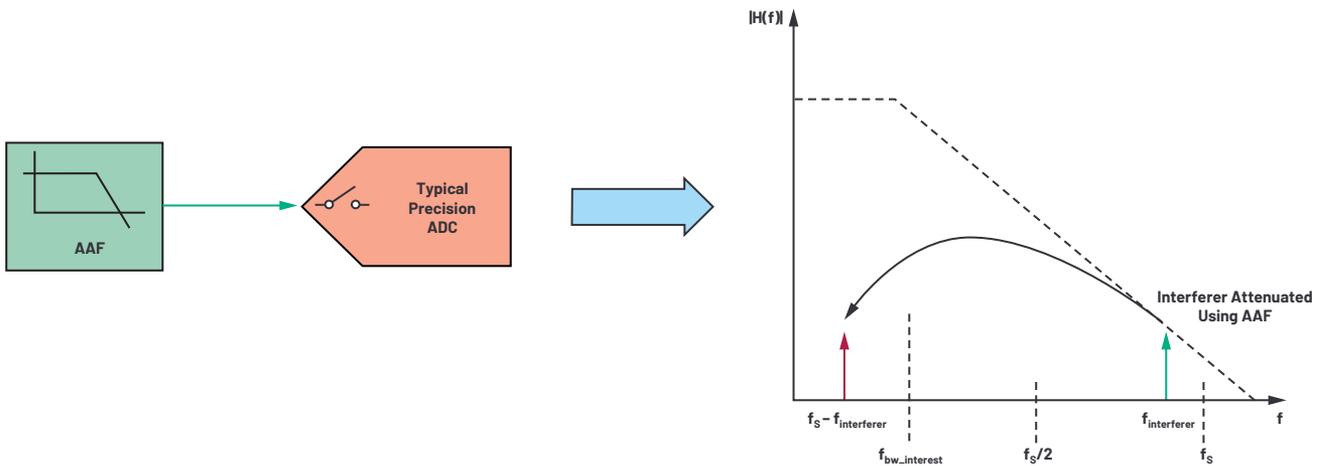


图7 使用抗混叠滤波器缓解对带内性能造成的混叠效应。

缓解折回效应的一种解决方案是使用一种称为抗混叠滤波器(AAF)的低通滤波器来衰减不必要的干扰源幅度，这样当衰减后的干扰源折回带内时，可以保持所需的信噪比。该低通滤波器通常集成有驱动器放大器，如图7所示。

设计此放大器时，最大的挑战是在快速建立和低通滤波要求之间寻求平衡。另一个挑战是该解决方案需要针对每个应用需求进行微调，这就对各个应用采用单个平台设计造成了限制。ADI有很多抗混叠滤波器工具设计，可帮助设计人员克服此挑战。

CTSD ADC的优势：这种抗扰性可由CTSD ADC本身具有的混叠抑制特性解决，这是CTSD ADC独有的特性。采用这种技术的ADC不需要AAF。因此，我们有望直接将CTSD ADC轻松地连接到传感器，向这个目标又近了一步。

第5步：选择ADC时钟频率和输出数据速率

接下来，我们来讨论两种传统ADC类型的时钟要求。DTSD是过采样的ADC，这是指ADC以高于奈奎斯特采样速率进行采样的ADC。但是，将ADC过采样数据直接提供给外部数字控制器，大量的冗余信息会使其过载。在过采样系统中，核心ADC输出使用片内数字滤波器进行抽取，使最终ADC数字输出的数据速率更低，通常是信号频率的两倍。

对于DTSD ADC，设计人员需要计划为核心ADC提供高频采样时钟，并设定所需的输出数据速率。ADC将在这个所需的ODR和ODR时钟上提供最终数字输出。数字控制器使用此ODR时钟输入数据。

接下来，我们解决SAR ADC的时钟要求，通常遵循奈奎斯特准则。这里，ADC的采样时钟由数字控制器提供，时钟也充当ODR。但是，由于需要有效地控制采样保持时序才能获得ADC的出色性能，因此该时钟的时序灵活性较低，这也表明数字输出时序需要尽可能与这些要求保持一致。

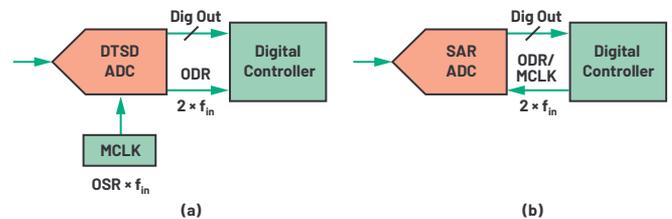


图8. (A) DTSD ADC和(B) SAR ADC的时钟要求。

了解这两种架构的时钟要求后，可以看到ODR耦合到ADC的采样时钟，这在ODR可以动态漂移或改变或需要调谐为模拟输入信号频率的许多系统中都是一个限制因素。

CTSD ADC的优势：CTSD ADC可与新型异步采样速率转换器(ASRC)耦合，能够以任何所需的ODR对核心ADC进行重新采样。ASRC还使设计人员能够将ODR精确地设置为任意频率，并突破了将ODR限制为采样频率倍数的旧限制。ODR的频率和时序要求现在完全属于数字接口的功能范围，并且与ADC采样频率无关。该特性为信号链设计人员简化了数字隔离设计。

第6步：与外部数字控制器接口

传统上，ADC与数字控制器通信有两种类型的数据接口模式。一种类型将ADC用作主机，提供数字/ODR时钟，并决定数字控制器的时钟边缘，以便输入ADC数据。另一种类型为托管模式（接收器模式），其中数字控制器是主机，提供ODR时钟，并决定输入ADC数据的时钟边缘。

从第5步开始，如果设计人员选择DTSD ADC，该ADC将提供ODR时钟，因此充当后接的数字控制器的主机。如果选择了SAR ADC，则数字控制器需要提供ODR时钟，这意味着SAR ADC将始终配置为托管外设。因此，存在明显的限制：一旦选择ADC架构，数字接口就限制为主机模式或托管模式。目前，无论ADC架构如何，都无法灵活地选择接口。

CTSD ADC的优势：与CTSD ADC结合的新型ASRC使设计人员能够独立配置ADC数据接口模式。这为一些应用开启了全新的机会，在这些应用中，无论ADC架构如何，都可在适合数字控制器应用的任何模式中配置高性能ADC。

将器件连接起来

图9显示了传统信号链的构建模块，其模拟前端(AFE)包含一个ADC输入驱动器、一个混叠抑制滤波器和一个可通过CTSD ADC极大简化的基准电压源缓冲区。图10a显示了一个采用DTSD ADC的示例信号链，该信号链需要大量的设计工作来微调 and 确定ADC的数据手册性能。为了简化客户流程，ADI提供了[参考设计](#)，可针对这些ADC的各种应用重新使用或重新调整。

图10b显示了具有CTSD ADC及其简化模拟输入前端(AFE)的信号链，因为其ADC核心在输入和基准电压源端没有开关电容采样器。开关采样器移至ADC核心的后一级，使信号输入和基准电压输入为纯阻性。由此得出了几乎无采样混叠的ADC，使其自成一类。此外，这类ADC的信号传递函数模拟抗混叠滤波器响应，这意味着它本身就能衰减噪声干扰源。利用CTSD技术，ADC可简化为一个简单的即插即用组件。

总之，CTSD ADC简化了信号链设计，同时实现了与传统ADC信号链具有相同性能水平的系统解决方案，并具有以下优势：

- ▶ 提供了具有出色通道间相位匹配的无混叠、低延迟信号链
- ▶ 简化了模拟前端，无需选择并微调高带宽输入和基准电压源驱动缓冲区的额外步骤，可实现更高的通道密度
- ▶ 打破了ODR与采样时钟成函数关系的障碍
- ▶ 独立控制与外部数字控制器的接口
- ▶ 提高了信号链可靠性评级，这是外设组件减少带来的好处
- ▶ 减小了尺寸，BOM减少68%，为客户缩短了产品上市时间

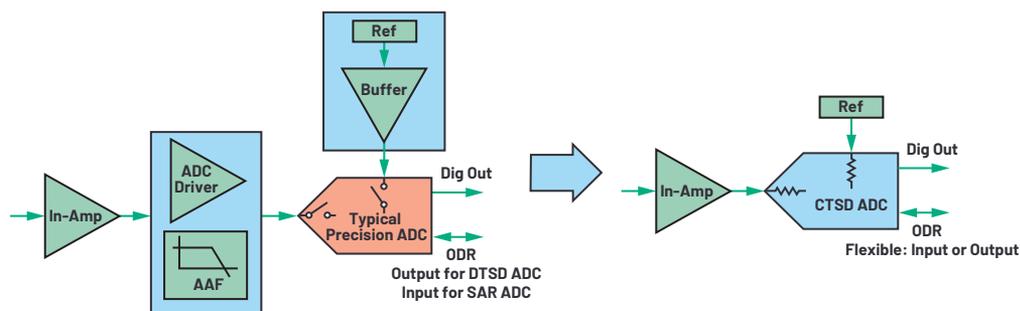


图9. 分别采用传统精密ADC与CTSD ADC的信号链构建模块。

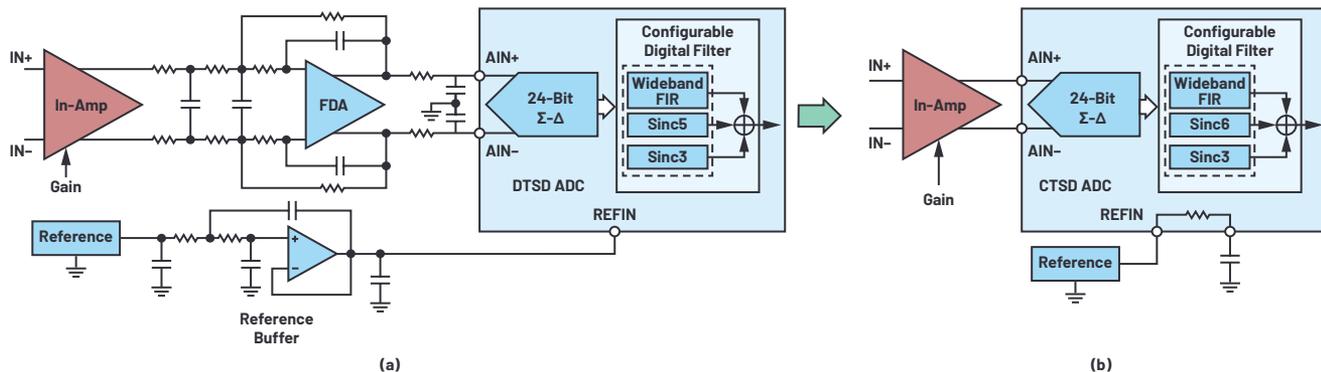


图10. 使用(a)DTSD技术与(b)CTSD技术的示例信号链。

第2章：为信号链设计人员介绍CTSD架构

Abhilasha Kawle, 模拟设计经理

采用传统方法解释CTSD技术概念时，都是先理解离散时间 $\Sigma-\Delta$ (DTSD)调制器环路的基本原理，然后用等效的连续时间元件来替换离散时间环路元件。虽然通过这种方法可以深入了解 $\Sigma-\Delta$ 功能，但我们的目标是更直观地了解精密CTSD ADC内在优势的背后原因。首先，我们将概述一种逐步构建CTSD调制器环路的方法，首先采用常见的闭环反相放大器配置，然后与ADC和DAC组合在一起。最后，我们将评估所构建电路的基本 $\Sigma-\Delta$ 功能。

第1步：回顾闭环反相放大器配置

CTSD ADC的一个关键优势是它提供一个易于驱动连续电阻输入，而非传统的前置开关电容采样器。反相放大器电路具有类似的输入阻抗概念，我们将其用作构建CTSD调制器环路的起始模块。

闭环运算放大器配置一直是以高保真复制模拟输入的首选方法，图1所示为其中一种常见的运算放大器配置，称为反相放大器配置。¹衡量保真度的一个指标是输出与输入增益的比值，采用 $\Sigma-\Delta$ 术语表示，也称为信号传递函数(STF)。确定影响STF的参数需要进行电路分析。

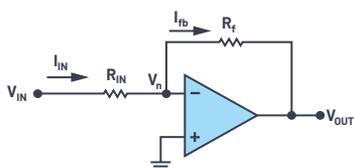


图1. 采用反相放大器配置的闭环运算放大器。

为了巩固我们的数学知识，我们来回顾一下著名 V_{OUT}/V_{IN} 的由来。首先，我们假设运算放大器A的开环增益无穷大。根据这一假设，运算放大器的负输入 V_n 将处于地电位。在这里应用基尔霍夫定律

$$I_{IN} = \frac{V_{IN}}{R_{IN}}, I_{fb} = -\frac{V_{OUT}}{R_f} \quad (1)$$

将其映射到 V_{OUT} 和 V_{IN} ，我们得到增益或STF (式2)：

$$STF = \frac{V_{OUT}}{V_{IN}} = -\frac{R_f}{R_{IN}} \quad (2)$$

接下来，我们放弃不切实际的无限增益假设，在运算放大器的有限增益A下重新推导STF，则STF如下式所示

$$STF = -\frac{R_f}{R_{IN}} \times \left(\frac{A}{\left(1 + \frac{R_f}{R_{IN}}\right) + A} \right) \quad (3)$$

在这里，教科书通常会描述每个参数 R_{IN} 、 R_f 和A的灵敏度。在本示例中，我们继续构建CTSD环路。

第2步：将离散部件引入放大器

我们的ADC信号链需要数字版本的 V_{IN} 。下一步，我们要在此电路中引入数字部件。我们没有按传统方式直接在输入信号端放置一个采样ADC，而是尝试其他方法，在放大器输出之后放置一个典型ADC器件来获取数字信号数据。但是，ADC的输出不能直接用作反馈，因为它必须是模拟电压。因此，我们需要在ADC之后放置一个电压数模转换器(DAC)，如图2所示。

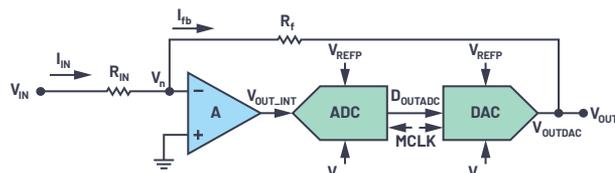


图2. 在反相放大器配置中引入ADC和DAC。

采用ADC和DAC后， V_{OUT} 仍能表示 V_{IN} ，但由于增加了数字部件，因此存在量化误差。所以，从 V_{IN} 到 V_{OUT} 的信号流没有变化。这里要注意的一点是，为了使环路功能相对于0 V保持对称，并简化数学推导，我们这样选择ADC和DAC的基准电压，如下所示

$$V_{REFP} = V_{REF}/2, \text{ and } V_{REFM} = -V_{REF}/2 \quad (4)$$

第3步：引入模拟累加器——积分器

图2中的闭环配置是否稳定？ADC和DAC均为在采样时钟MCLK下工作的离散元件。设计无延迟ADC或DAC一直是转换器专家无法实现的梦想。由于这些环路元件采用时序控制，通常在一个时钟沿进行输入采样，在另一个时钟沿进行处理。因此，ADC和DAC组合输出 V_{OUT} (即图2中的反馈) 需要延迟1个时钟周期后才可用。

这种反馈延迟对稳定性有影响吗？我们来看看 V_{IN} 是如何传输的。为简化起见，我们假设 $V_{IN} = 1$ ， $R_{IN} = 1$ ， $R_f = 1$ ，运算放大器A的增益为100。在第一个时钟周期，输入电压为1，DAC输出反馈 V_{OUT} 或 V_{OUTDAC} 为0，并且在下一个时钟沿前不可用。当我们跟踪放大器和ADC的输入和输出反馈之间的误差时，可以看到输出一直呈指数增长，这在技术上称为失控问题。

表1. 时钟沿采样

	V_{IN}	$V_{OUT} = V_{OUTDAC}$	$V_n = (V_{OUT} + V_{IN})/2$	$V_{OUT_INT} = -A \times (V_n)$	D_{OUTDAC}
第一个采样沿	1	0	0.5	-50	-50
第二个采样沿	1	-50	约-25	约2500	2500
第三个采样沿	1	2500	约1250	约-12,500	-12,500

这是因为ADC输入对放大器获得的瞬时误差产生的影响；也就是说，甚至在获得反馈之前，就能确定ADC会产生这种影响，而这是我们不希望的。如果ADC影响累积的平均误差数据，使得由于1个时钟周期延迟反馈导致的误差达到平均值，系统的输出将受限。

积分器是平均累加器的等效模拟器件。环路增益仍然很高，但仅在低频下很高，或者说在目标频率带宽下很高。这确保ADC不会出现任何可能导致失控情况的瞬时误差。因此，现在将环路中的放大器改为积分器后接ADC和DAC，如图3a所示。

第4步：简化反馈电阻

这里的目标元件是 D_{OUTDAC} ，我们来重新布局环路元件，重点是将 D_{OUTDAC} 作为系统的输出，如图3b所示。接下来，我们来考虑DAC和 R_f 路径的简化。为此，我们先深入了解一下DAC。DAC的作用是将 D_{IN} 数字信号转换为与基准电压成比例的等效模拟电流或电压。为了进一步扩大基准电压源连续性的优势，我们考虑采用一个基于梯形电阻的通用DAC架构，该电阻对于基准电压源没有开关负载。我们来看测温电阻DAC，²根据等式5，它将 D_{IN} 转换为DAC电流。

$$I_{DAC} = \frac{V_{REF}}{R_f} \times \frac{D_{IN}}{2^N} \quad (5)$$

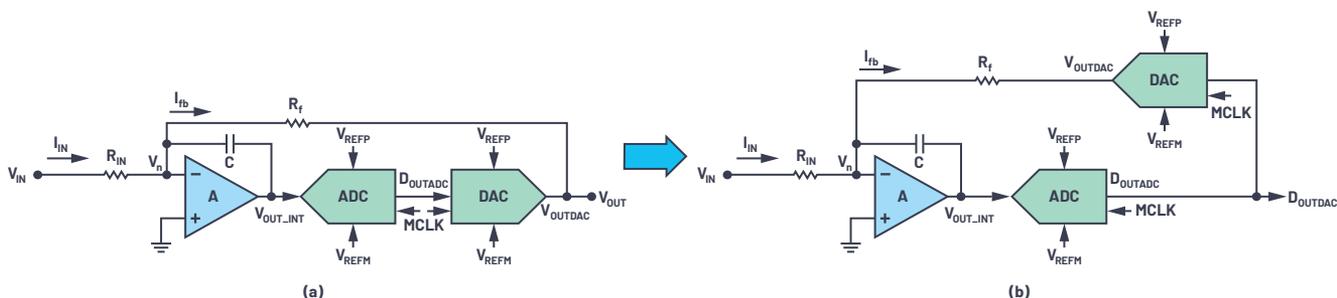


图3. (a)将积分器引入环路。(b)重新布局环路，重点将 D_{OUTDAC} 作为输出。

其中 $V_{REF} = V_{REFP} - V_{REFM}$ ，即DAC的总基准电压。

- ▶ D_{IN} = 测温代码中的数字输入
- ▶ R_f = 反馈电阻，拆分为每个单位元件
- ▶ N = 位数

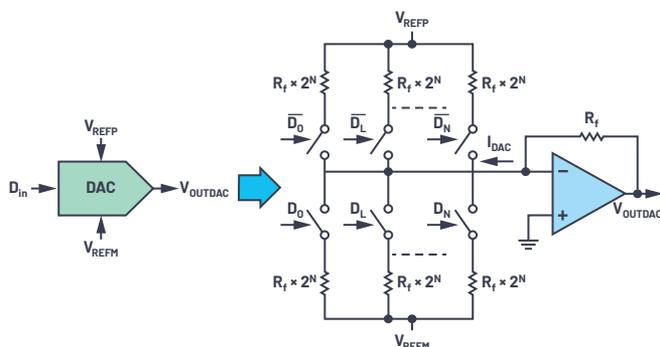


图4. 通用测温电阻DAC。

为了获得电压输出，使用跨阻配置的运算放大器进行I至V转换，³如图4所示。因此，

$$V_{OUTDAC} = I_{DAC} \times R_f \quad (6)$$

回到图3b的离散环路，此 V_{OUTDAC} 再次通过反相放大器的反馈电阻被转换回电流 I_{fb} ，即信号流为 $I_{DAC} \rightarrow V_{OUTDAC} \rightarrow I_{fb}$ 。通过数学式表示为：

$$I_{fb} = \frac{V_{OUTDAC}}{R_f} = I_{DAC} \quad (7)$$

从上面的信号流和公式可以看出，将 V_{OUTDAC} 转换为 I_{fb} 是一个冗余步骤，可以绕过。删除冗余元件，并且为了简单起见，将 $(V_{REFP} - V_{REFM})$ 表示为 V_{REF} ，我们来重新绘制环路，如图5所示。

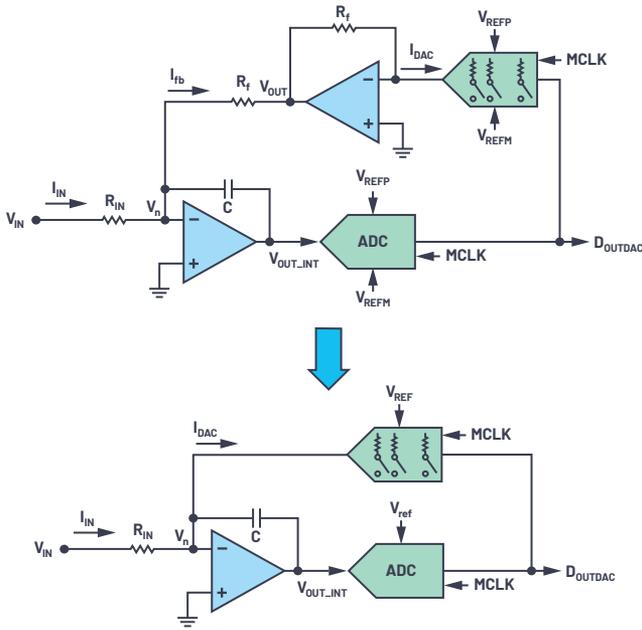


图5. 删除冗余I至V转换部分和反馈电阻。

瞧！我们构建了一个一阶Σ-Δ环路！将所有已知元件即反相放大器、ADC和DAC接在一起。

第5步：了解过采样

至此我们掌握了CTSD环路的构建，但尚未认识到这个特殊环路的独特之处。首先来了解过采样。ADC数据仅在有足够的采样和数字化数据点来提取或解读模拟信号信息时才有用。奈奎斯特准则建议，为了忠实地重构输入信号，ADC的采样频率至少应该是信号频率的两倍。如果我们在这个最低要求基础上继续增加更多的数据点，将会进一步减少解读误差。遵循这一思路，在Σ-Δ中选择的采样频率要比建议的奈奎斯特频率高得多，这称为过采样。过采样⁴将总噪声分散到更高的频率范围，有助于减少目标频带中的量化噪声，如图6所示。

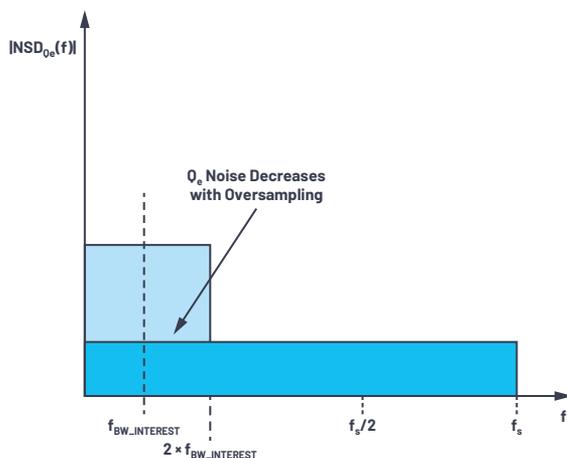


图6. 奈奎斯特采样和过采样之间的噪声谱密度比较。

第6步：了解噪声整形

当Σ-Δ专家使用噪声传递函数(NTF)或噪声整形等术语时，信号链设计人员不应该感到迷茫，⁴我们的下一步将帮助他们直观地了解Σ-Δ ADC特有的这些术语。我们来回顾一下简单的反相放大器配置以及放大器输出端产生的误差 Q_e ，如图7所示。

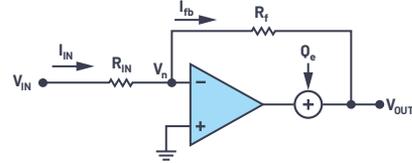


图7. 反相放大器配置中产生误差。

此误差在输出端的贡献因素可量化为

$$V_{OUT} = \frac{Q_e}{1 + \left(1 + \frac{R_f}{R_{IN}}\right) A} \quad (8)$$

从数学公式可以看出，误差 Q_e 由放大器的开环增益衰减，这再次表明了闭环的优势。

这种对闭环优势的理解可以延伸到CTSD环路中ADC的量化误差 Q_e ，此误差是由于积分器输出端连续信号的数字化引起的，如图8所示。

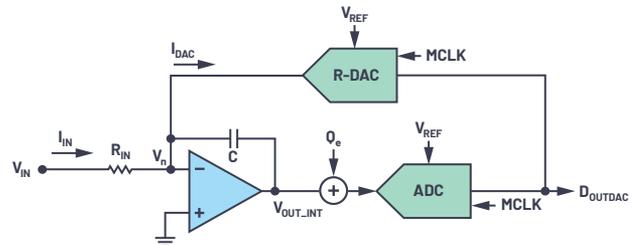


图8. Σ-Δ环路中产生量化误差 Q_e 。

我们现在可以直观地得出结论，此 Q_e 可通过积分器衰减。积分器TF为 $H_{INTEG}(f) = 1/s \times RC = 1/2\pi fRC$ ，其相应的频域表示如图9所示。其曲线等同于在低频下具有高增益的低通滤波器曲线，增益随频率的增加呈线性减小。相应地， Q_e 的衰减变化与高通滤波器的表现类似。

此衰减因数的数学表示是噪声传递函数。让我们暂时忽略ADC中的采样器和DAC中的开关。NTF即 V_{OUTDAC} / Q_e 可通过与反相放大器配置一样的方式来评估，其在频域中的变化曲线与高通滤波器曲线类似，如图10所示。

$$NTF_{int} = \frac{V_{OUTDAC}}{Q_e} = \frac{sR_fC}{1 + sR_fC} \quad (9)$$

在目标频带中，量化噪声被完全衰减并推至“与我们无关”的高频。这就是所谓的噪声整形。

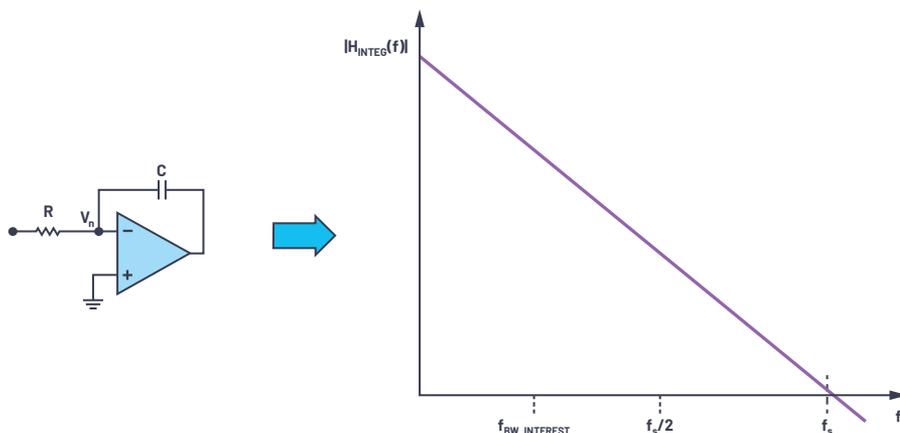


图9. 积分器传递函数。

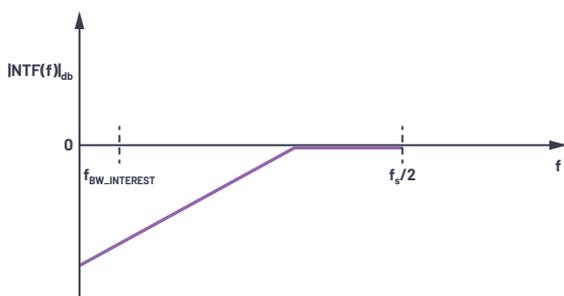


图10. 没有采样器时的噪声传递函数——具有高通滤波器曲线。

由于环路中有采样器，量化噪声整形类比保持不变。不同的是，NTF频率响应将在每个 f_s 倍数处复制图像，如图10所示，从而在采样频率的每个整数倍处产生陷波。

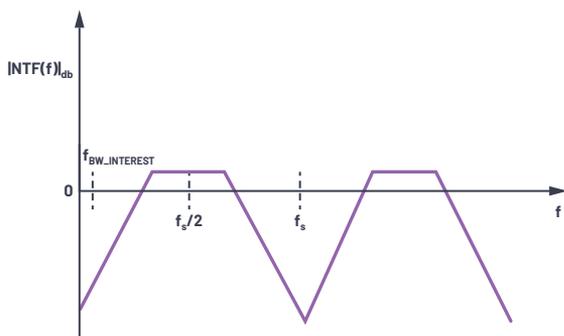


图11. CTSD ADC的噪声传递函数。

Σ - Δ 架构的独特之处在于，它将一个积分器和一个DAC环路放置在一个原始ADC（例如，4位ADC）周围，通过过采样和噪声整形大幅减少目标频率带宽中的量化噪声，使这个原始ADC变成一个16位或24位精密ADC。

这些一阶CTSD ADC的基本原理现在可以扩展到任意阶的调制器环路。采样频率、原始ADC规格和环路阶数是受ADC性能要求驱动的主要设计决策因素。

第7步：利用数字滤波器完成CTSD调制器

一般来讲，在ADC信号链中，数字化数据由外部数字控制器进行后处理，以提取任何信号信息。我们现在知道，在 Σ - Δ 架构中，将对信号进行过采样。如果将此过采样数字数据直接提供给外部控制器，就需要处理大量冗余数据。这会导致数字控制器设计中的功率和电路板空间成本开销过大。因此，在数据提供给数字控制器之前，在不影响性能的情况下，应有效地降低数据采样。此过程称为抽取，由数字抽取滤波器完成。图11所示为具有片内数字抽取滤波器的典型CTSD调制器。

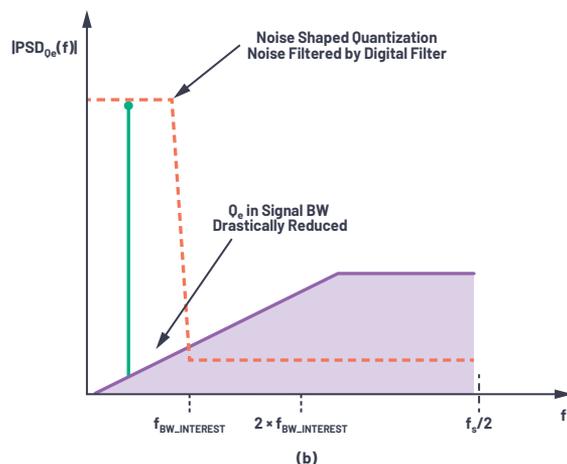
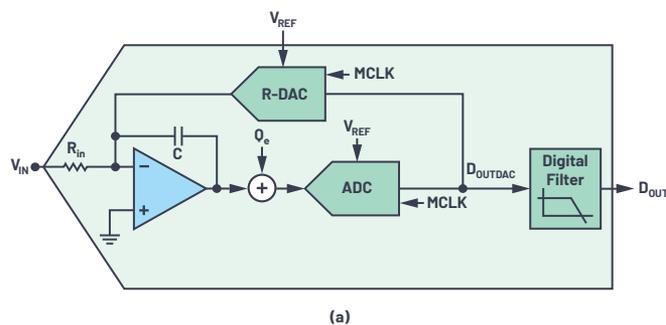


图12. (a)从模拟输入到数字输出的CTSD ADC调制器环路的方框图。(b)调制器输出端和数字滤波器输出端的输入信号的频谱表示。

图12b所示为带内模拟输入信号的频率响应。在调制器的输出端，我们看到对量化噪声进行噪声整形后，目标频带中的量化噪声大幅降低。数字滤波器有助于衰减超出此目标频率带宽的整形后噪声，这样最终的数字输出 D_{out} 将处于奈奎斯特采样速率。

第8步：了解CTSD ADC的时钟灵敏度

现在，我们知道CTSD ADC如何保持输入信号的连续完整性，这大大简化了信号链的设计。此架构也有一些限制，主要是处理采样时钟MCLK。CTSD调制器环路的工作原理是累积 I_{IN} 和 I_{DAC} 之间的误差电流。此积分值中的任何误差都会导致环路中的ADC对此误差进行采样，并在输出中反映出来。对于我们的一阶积分器环路，在恒定 I_{IN} 和 I_{DAC} 的 T_s 采样时间段的积分值表示为

$$\delta V_{out_{integ}} = \frac{T_s}{RC} \times (I_{IN} - I_{DAC}) \quad (10)$$

对于0输入，会影响此积分误差的参数包括

- ▶ MCLK频率：如等式10所示，如果MCLK频率缩放，控制积分斜率的RC系数也需要重新调整以得到相同的积分值。这意味着CTSD调制器针对固定的MCLK时钟频率进行调谐，无法支持变化的MCLK。
- ▶ MCLK抖动：DAC代码以及 I_{DAC} 会改变每个时钟时间段 T_s 。如果 I_{DAC} 时间段随机改变，平均积分值就会不断变化，如图13所示。因此，采样时钟时间段中以抖动形式出现的任何误差都会影响调制器环路的性能。

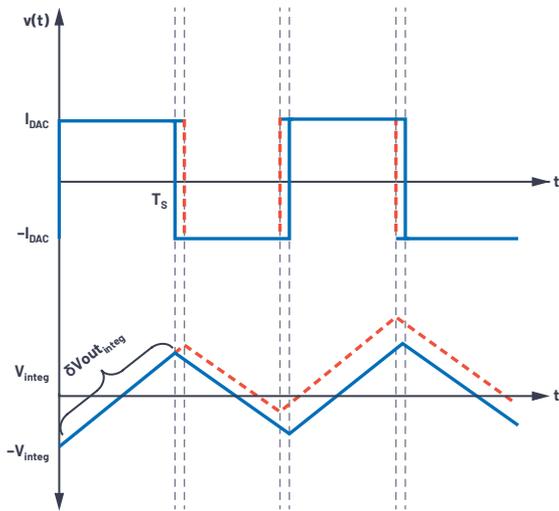


图13. CTSD调制器的时钟灵敏度。

出于上述原因，CTSD ADC对MCLK的频率和抖动敏感。⁵但是，ADI已经找到了解决这些误差问题的方法。例如，生成精确的低抖动MCLK并在系统中传送到ADC的挑战，可以通过在ADC附近使用一个低成本的本地晶体振荡器来解决。固定采样频率周围的误差问题已通过使用创新的异步采样速率转换(ASRC)解决，该转换无需考虑固定采样MCLK，可以为数字控制器提供独立可变的数字输出数据速率。本迷你教程后续将详细介绍更多相关信息。

第9步：瞧，我的猜想没错吧！一切准备就绪，可以向伙伴们解释CTSD概念了！

CTSD ADC的输入阻抗等同于反相放大器的输入阻抗，它是电阻性的，且易于驱动。通过使用创新技术，使得调制器环路的DAC所使用的基准电压源也成为电阻性。ADC的采样器位于积分器之后，并非直接放在输入端，从而可实现对目标频带之外干扰源的固有混叠抑制。在本迷你教程接下来的几个章节中，我们将深入探讨这些优势及其对信号链的影响。

第3章：实现固有混叠抑制

Abhilasha Kawle, 模拟设计经理
Smita Choudhury, 设计评估经理

在声纳阵列、加速度计、振动分析等许多应用中，将会监测到目标信号带宽以外的信号，这些信号称为干扰源。对于信号链设计人员来说，关键挑战在于，ADC采样会导致这些干扰源混叠进入目标信号带宽（带内），造成性能下降。除此之外，在声纳等应用中，带内混叠的干扰源可能会被误解为输入信号，导致对声纳周围物体的误判。而混叠抑制解决方案正是造成传统ADC信号链设计极其复杂的原因之一。CTSD ADC本身具有混叠抑制特性，这一独特特性带来了一种新的简化解决方案。在探讨这种突破性解决方案之前，我们先了解一下混叠概念。

回顾奈奎斯特采样准则

为了理解混叠的概念，让我们快速回顾一下奈奎斯特采样准则。我们可以在时域或频域中分析信号。在时域中，对模拟信号的采样可通过数学方式表示为信号乘法运算，例如， $x(t)$ 表示脉冲序列 $\delta(t)$ ，其时长为 T_s 。

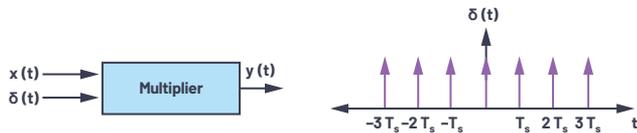


图1 采样过程的时域表示。

同样，在频域中，采样输出可以用傅里叶级数表示为：

$$Y(f) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - nf_s) \text{ where, } f_s = \frac{1}{T_s}, n = 0, \pm 1, \pm 2, \dots \quad (1)$$

通过公式1可以看出，如果将频率轴展开，将会在每一个采样频率 f_s 的整数倍位置形成输入信号的图像。

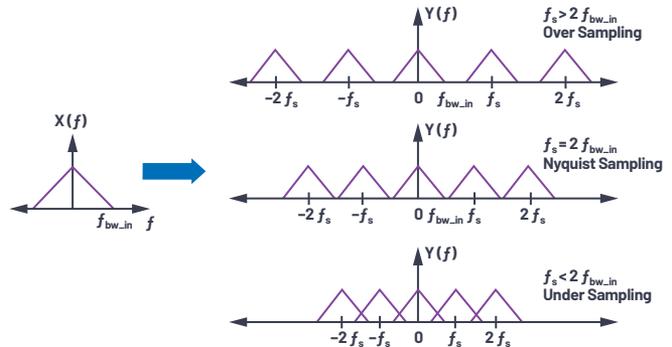


图2 以不同的采样频率采样后的 $X(f)$ 表示。

公式1显示，在频率 $f = n \times f_s - f_{in}$ 时，其中 $n = 0, \pm 1, \pm 2, \dots$ ，信号内容 $X(f)$ 将在采样后出现在 f_{in} 位置，与图2中的欠采样场景相似，该图显示了各种条件下的采样现象。

$$\begin{aligned} Y(f) &= \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - nf_s) \\ &= \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f_{in}) \forall f = n \times f_s - f_{in} \end{aligned} \quad (2)$$

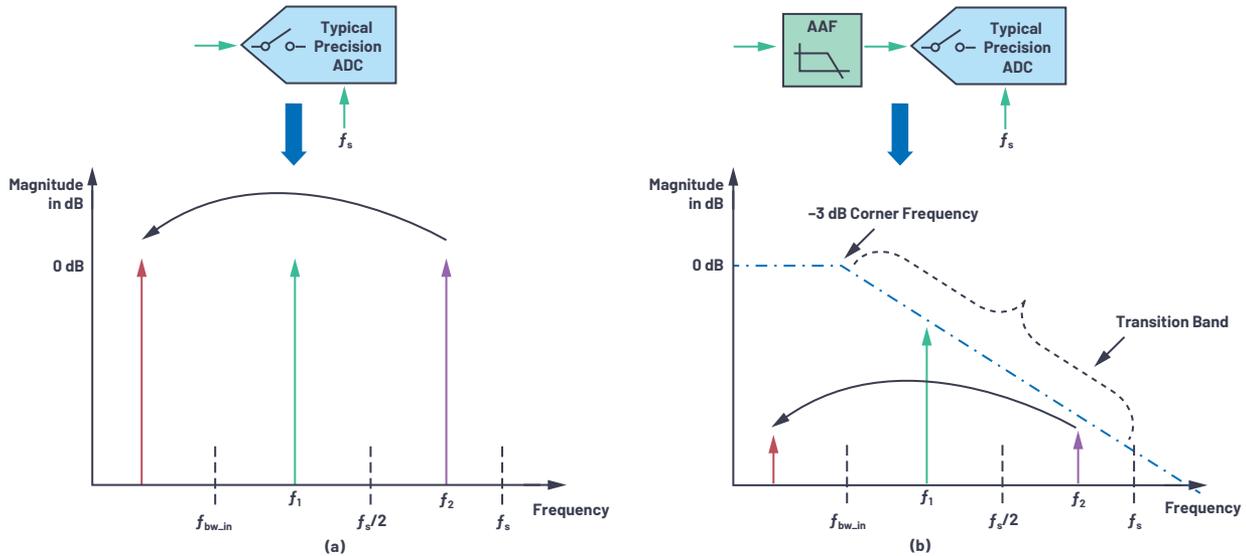


图3. (a)根据采样准则来理解混叠和(b)使用抗混叠滤波器来衰减混叠频率。

总之，奈奎斯特准则指出，任何大于采样频率一半的信号会被折叠或反射回低于 $f_s/2$ 的频率，并且可能会落入目标频段内。

假设ADC在频率 f_s 下采样，而系统中有两个带外信号音/干扰源，分别是ADC输入端的 f_1 和 f_2 ，如图3所示。根据奈奎斯特准则，我们可以推断，由于信号音 f_1 的频率小于 $f_s/2$ ，所以采样后其频率保持不变。当信号音 f_2 的频率大于 $f_s/2$ 时，它会在目标频段 $f_{bw,in}$ 中产生混叠，并降低ADC在该区域的性能，如图3a所示。

此理论也适用于 $f_s/2$ 以上的噪声，它也可以折叠并出现在带内，会增加带内的本底噪声并降低性能。

现有的混叠抑制解决方案

为了避免这种由带外(OOB)信号音或噪声折叠导致的性能下降，可以使用一种简单的解决方案，即通过ADC采样之前，使用低通滤波器对超过 $f_s/2$ 的信号内容实施衰减，该滤波器称为抗混叠滤波器(AAF)。图3b显示了一个简单AAF的传递函数，以及频率 f_2 处的衰减-混叠信号音在带内折叠之前的状态。这种AAF的主要特性参数是滤波器的阶数和-3 dB转角频率。它们由通带平坦度、特定频率（如采样频率）所需的绝对衰减，以及输入带宽（也称为过渡带）以外所需的衰减斜率决定。一些常见的滤波器架构包括巴特沃兹、切比雪夫、贝塞尔和Sallen-Key，可以使用无源RC和运算放大器来实现。[滤波器设计工具](#)可用于帮助信号链设计人员根据给定的架构和要求进行AAF设计。

让我们以一个应用示例来了解抗混叠滤波器的要求。在潜艇系统中，声纳传感器发射声波并分析水下回声，以估计周围物体的位置和距离。该传感器的输入带宽为100 kHz，系统将在ADC输入端检测到的幅度 >-85 dB的信号音作为有效的回声源。所以，来自带外的任何干扰都需要由ADC衰减至少 -85 dB，以免被声纳系统检测为输入。在下一节中，我们将针对这些要求构建并比较不同ADC架构的混叠抑制解决方案。

在传统ADC架构中，如逐次逼近寄存器(SAR)和离散时间 $\Sigma-\Delta$ (DTSD) ADC，采样电路位于ADC的模拟输入端，这表明需要在ADC输入之前使用AAF，如图3b所示。

SAR/奈奎斯特采样ADC的AAF要求

SAR ADC的采样频率一般设置为模拟输入频率(f_{in})的2倍或4倍。这种ADC的AAF需要在频率 f_{in} 外有一个窄过渡带，这意味着需要一个高阶滤波器。从图4可以看出，采样频率约1 MHz的SAR ADC需要使用五阶巴特沃兹滤波器才能在大于100 kHz的频率下实现 -85 dB抑制。对于滤波器实现方案，随着滤波器的阶数增加，所需的无源和运算放大器数量也会增加。这意味着，SAR ADC的AAF在信号链设计中需要大量的功耗和面积预算。

DTSD ADC的AAF要求

$\Sigma-\Delta$ ADC是过采样ADC，其中采样频率远高于模拟输入频率。AAF设计中要考虑的混叠区域为 $f_s \pm f_{in}$ 。滤波器的过渡带则要求从 f_{in} 至极高的 f_s 。与SAR ADC AAF相比，这个过渡带更宽，说明所需的AAF阶数也更低。从图4可以看出，对于采样频率为6 MHz的DTSD ADC，如需在约 $f_s/100$ kHz左右的频率下获得 -85 dB混叠抑制，一般需要使用一个二阶AAF。

在实际应用中，频带内的任何位置都可能存在干扰或噪声，并不止限于采样频率 f_s 附近。任何低于 $f_s/2$ 的频率信号音（如图3中频率 f_1 下的信号音）都不会出现在带内，从而不会降低ADC性能。虽然AAF可以对信号音 f_1 进行一定程度的衰减，但它仍会存在于ADC输出中，属于外部数字控制器必须处理的多余信息。这种信号音是否可以进一步衰减，使其不再出现在ADC输出中？一种解决方案是使用了在频率 f_{in} 外具有窄过渡带的AAF，但这会增加滤波器设计的复杂性。另一种解决方案是：使用 $\Sigma-\Delta$ 调制器环路中的片内数字滤波器。

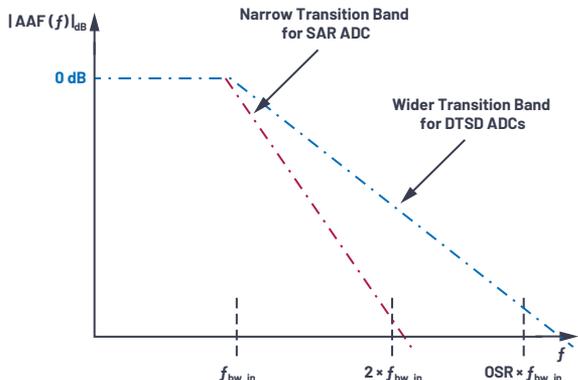


图4. AAF的复杂性、ADC架构和目标频段。

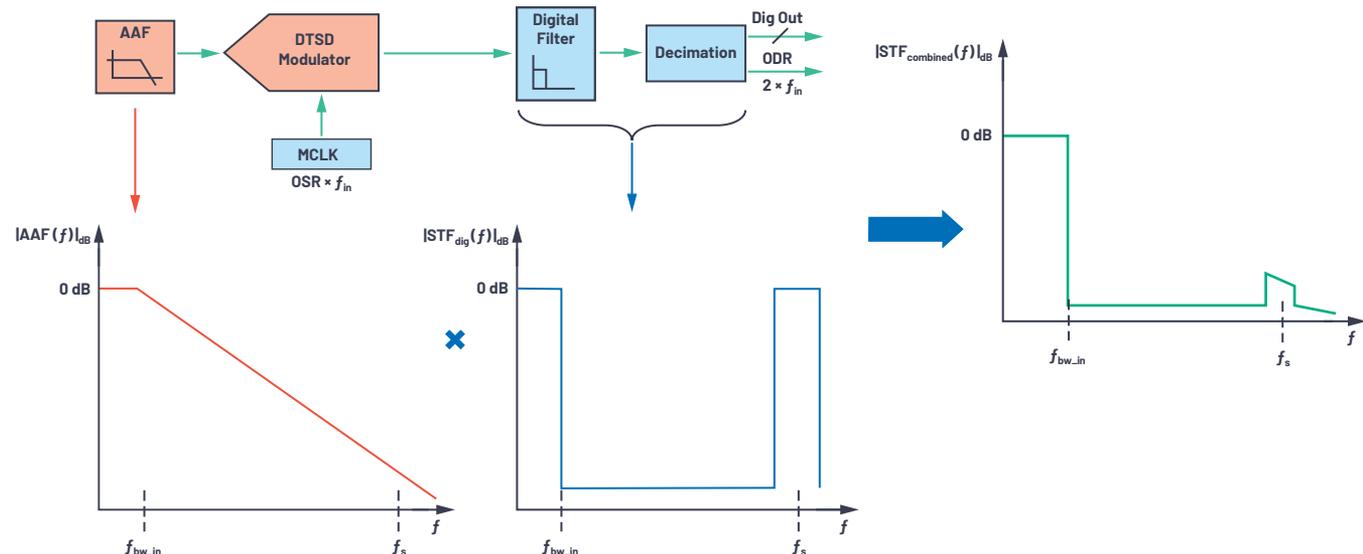
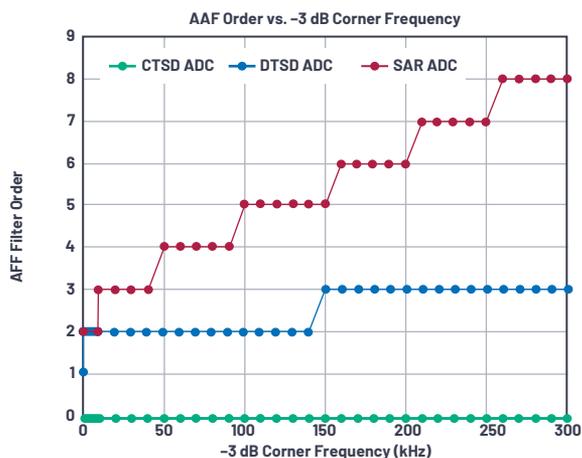


图5. 前端具有AAF、后端具有数字滤波器的DTSD ADC的STF。

Σ-Δ调制器环路的数字滤波器

在Σ-Δ ADC中，由于过采样和噪声整形，调制器输出中包含大量冗余信息，因此需要外部数字控制器进行大量处理。如果对调制器数据进行平均、滤波，并以较低的输出数据率(ODR)（通常为 $2 \times f_{in}$ ）提供，就可以避免这种冗余信息处理。利用抽取滤波器可以将采样速率从 f_s 转换为所需的较低ODR。关于使用数字滤波器实现采样速率转换，我们将在以后的文章里说明，这里的关键点是离散时间Σ-Δ调制器通常与片内数字滤波器配合使用。前端具有模拟滤波器、后端具有数字滤波器的调制器的组合信号干扰传递函数(TF)如图5所示。

综上所述，DTSD ADC的AAF是基于混叠区域 f_s 周围的信号音所需的衰减而设计的。非混叠区域（例如 f_1 ）中的信号音则完全由片内数字滤波器进行衰减。

后端数字滤波器和前端模拟滤波器

SAR ADC要求AAF具有窄过渡带，而Σ-Δ ADC则要求数字滤波器具有窄过渡带。数字滤波器功耗低，易于集成到片内。此外，对数字滤波器的阶数、带宽和过渡带进行编程要比模拟滤波器简单的多。

过采样的优点在于：它允许在后端组合使用宽过渡带模拟滤波器和窄过渡带数字滤波器，以提供功耗、尺寸和抗干扰性能都更优越的解决方案。

使用DTSD ADC之后，虽然AAF要求有所放松，但增加了设计复杂性，以满足每次采样之后的建立时间要求，从而避免信号链性能下降。信号链设计人员面临的挑战是：对AAF进行微调，在混叠抑制需求和输出稳定需求之间寻求平衡。

新型精密CTSD ADC无需进行前端模拟滤波器设计，从而简化了信号链设计。

CTSD ADC的固有混叠抑制

本迷你教程的第2章介绍由闭环电阻反相放大器构建的一阶CTSD调制器，如图6所示。CTSD调制器遵循与DTSD调制器等效产品相同的过采样和噪声整形概念，以达到预期性能，并且具有电阻输入而不是开关电容输入。调制器构建模块包括一个连续时间积分器，后接一个量化器，用于对积分器输出采样和数字化处理，以及一个反馈DAC，用于闭合输入环路。量化器输入端的任何噪声都是通过积分器的增益传递函数整形的噪声。

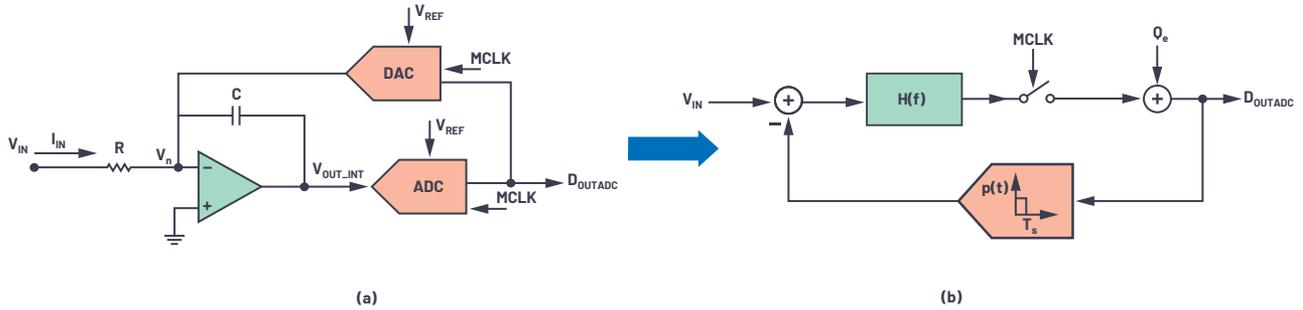


图6. (a)CTSD调制器环路的构建模块和(b)用于数学分析的简化框图。

根据第2章的信息，可以使用以下数学模型绘制CTSD调制器环路的简化框图：

- ▶ 积分器传递函数一般称为 $H(f)$ ，也称为环路滤波器。对于一阶积分器， $H(f) = 1/2\pi fRC$ 。
- ▶ ADC的功能是采样和量化。因此，用于分析的简化ADC模型使用一个采样器后接一个加性量化噪声源。
- ▶ DAC是一个在当前时钟周期内用一个常数乘以输入的模块。所以，它是一个在采样时钟周期内具有恒定脉冲响应，在余下的时间里脉冲响应为0的模块。

这些简化模型的等效框图如图6b所示，可广泛用于 Σ - Δ 性能分析。从 V_{in} 至 V_{out} 的传递函数称为信号TF (STF)，从 Q_e 到输出的函数则称为噪声TF (NTF)。

对于CTSD调制器环路固有的混叠抑制特性，一个合理的解释是：采样不是直接发生在调制器的输入端，而是发生在环路滤

波器 $H(f)$ 之后，如图6a所示。为了解整体情况，将使用不含采样器的线性模型来理解该概念，并将分析范围扩大到涵盖带有采样器的环路。

第1步：使用线性模型实施STF和NTF分析

为了简化分析将采样器忽略之后，线性模式应如图7所示。此环路的STF和NTF可以表示为

$$V_{OUTADC} = V_{IN} \times \frac{H(f)}{1 + H(f)} + Q_e \times \frac{1}{1 + H(f)} \quad (3)$$

$$= V_{IN} \times STF(f) + Q_e \times NTF(f)$$

根据公式3，STF可改写为

$$STF(f) = H(f) \times NTF(f) \quad (4)$$

目标频率带宽为低频率，用数学方法可以表示为 $f \rightarrow 0$ ，高频率可以表示为 $f \rightarrow \infty$ 。STF和NTF的幅度（单位：dB）为频率的函数，如图7所示。

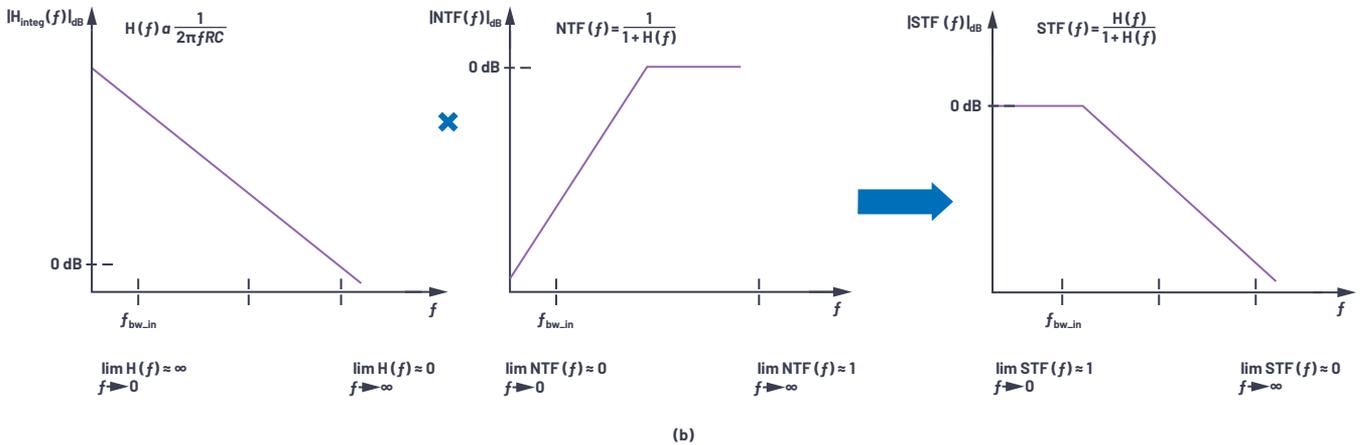
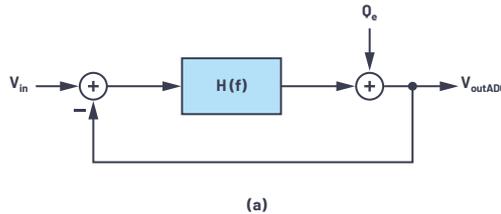


图7. (a)用于简化分析的线性模型，(b) $STF(f) = H(f) \times NTF(f)$ 。

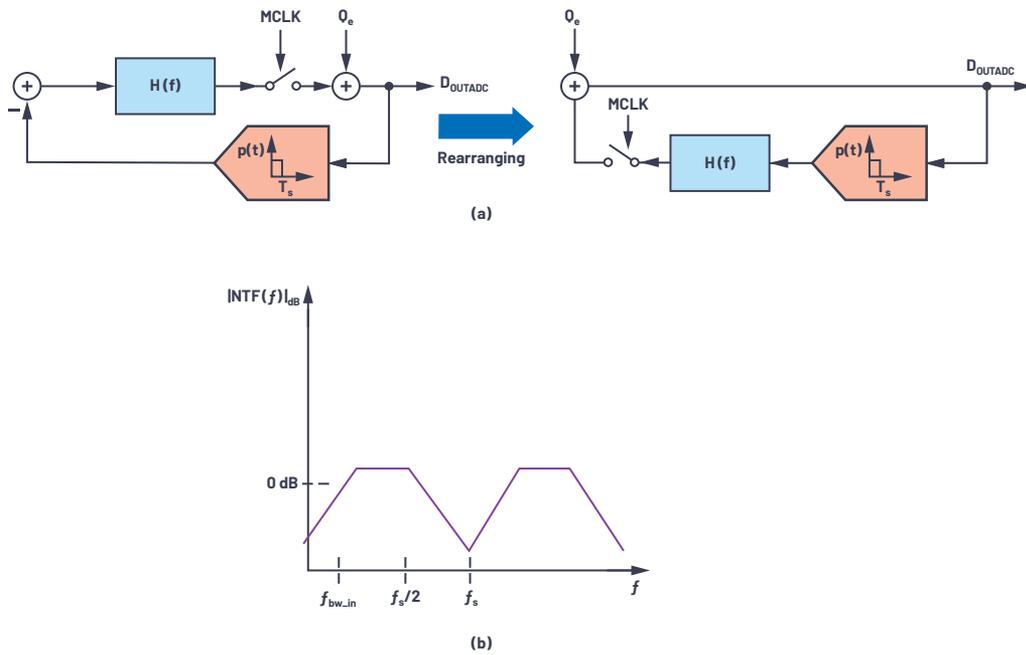


图8. (a)一个CTSD调制器环路框图，输入 = 0 V，(b)调制器环路的NTF。

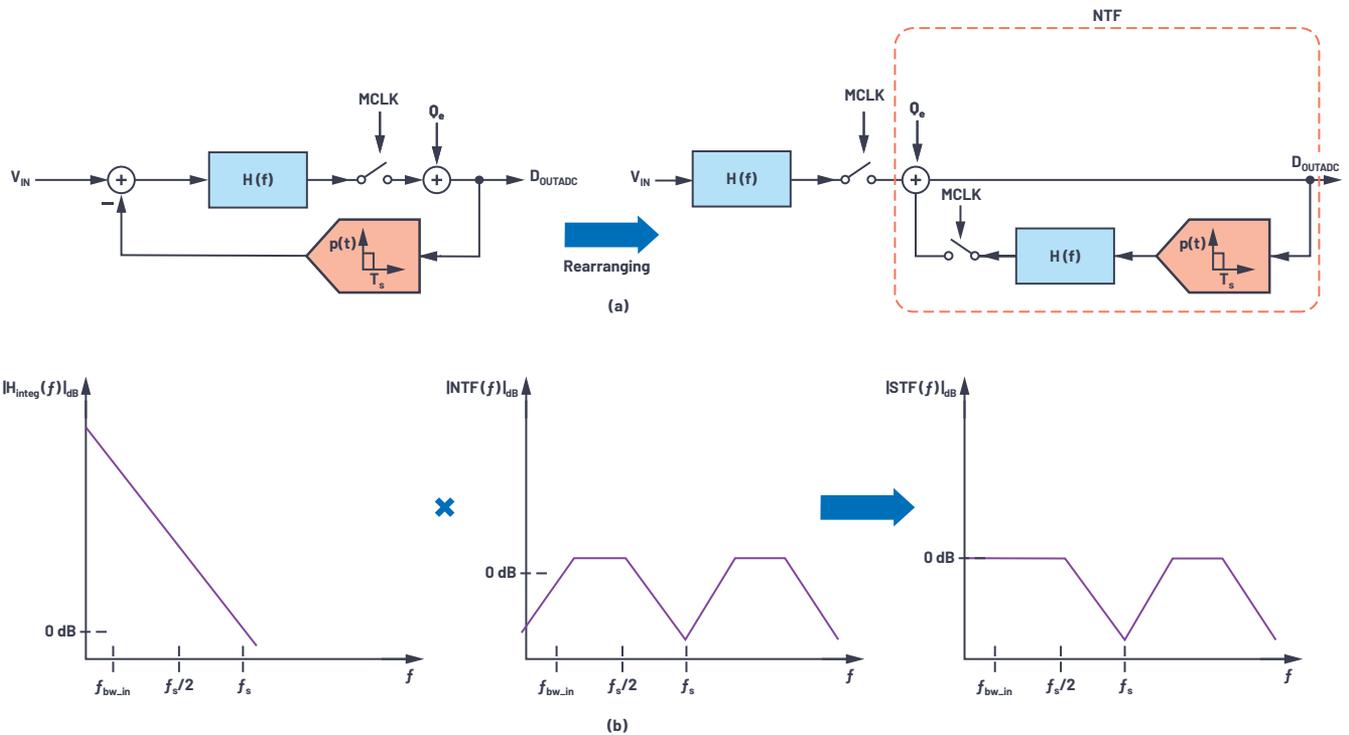


图9. 重新布局调制器环路，以显示其固有的混叠抑制特性。

NTF类似于高通滤波器，STF类似于低通滤波器，在目标频段内具有平坦的0 dB幅度，在高频率下的衰减与AAF TF相当。从数学角度来看，信号通过具有高增益的低通滤波器配置 $H(f)$ ，然后由NTF环路处理。现在，在理解了NTF框图之后，可以进一步深化了解带有采样器的环路。

第2步：NTF的框图

当输入 V_{IN} 设置为0 V时，调制器环路框图可以如图8a所示重新排列，用于表示NTF。环路中包含采样器时，NTF响应与线性模型

类似，但在 f_s 的倍数位置都会显示复制图像，如图8b所示。

第3步：重新布局调制器环路，以直观显示前置滤波操作

如果将环路滤波器 $H(f)$ 和调制器环路的采样器移动到输入端，且反馈如图9所示，那么输入到输出的传递函数不会发生改变。重新布局后的框图右侧表示NTF。

与第1步中的线性模型类似，在采样等效系统中，输入信号经过高增益 $H(f)$ ，然后通过NTF环路进行采样和处理。信号通过环路滤波器之后的横向部分，会在进行采样之前，构成低通滤波器配置。这种配置导致产生CTSD调制器的固有混叠抑制。因此，CTSD调制器环路的STF如图9所示。

第4步：使用一个数字滤波器完成STF

为了减少多余的高频信息，CTSD调制器与片内数字抽取滤波器配合使用，组合混叠抑制TF如图10所示。 f_s 附近的混叠利用CTSD的固有混叠抑制特性进行衰减，中间干扰源则由数字滤波器衰减。

图4比较了SAR ADC、DTSD ADC和CTSD ADC在采样频率和输入信号带宽下实现-80 dB混叠抑制时所需的AAF阶数。使用SAR ADC时，AAF的阶数最高，所以复杂性也最高，CTSD ADC则不需要使用外部AAF，因为其设计本身具有混叠抑制性能。

利用CTSD架构实现信号链的优势

在声纳波束成型和振动分析等某些多通道应用中，通道间的相位信息非常重要。例如，通道间的相位需要精确匹配，在20 kHz时达到 0.05° 的精度。

对于传统的ADC信号链，AAF设计中采用无源RC和运算放大器。滤波器会导致带内出现一定的幅度和相位下降，下降比例为转角频率的函数。为了实现良好的通道间相位匹配，所有通道需要具有相同的下降幅度，这表明需要对每个通道的滤波器转角频率进行精细控制和匹配。设计用于在16 MHz（采样频率）以及160 kHz f_{3dB} （输入带宽）下实现-80 dB抑制的二阶巴特沃兹滤波器，在20 kHz时可能存在 $\pm 0.15^\circ$ 的相位失配，且误差公差可能低至RC绝对值的1%。可用的较小误差容限RC无源器件有限，且会增加物料成本(BOM)。

由于CTSD ADC信号链中无需使用AAF，因此在目标频段内自然可以实现通道间幅度和相位匹配。相位失配受到模拟调制器环路设计的片内失配限制，在20 kHz时可低至 $\pm 0.02^\circ$ 。

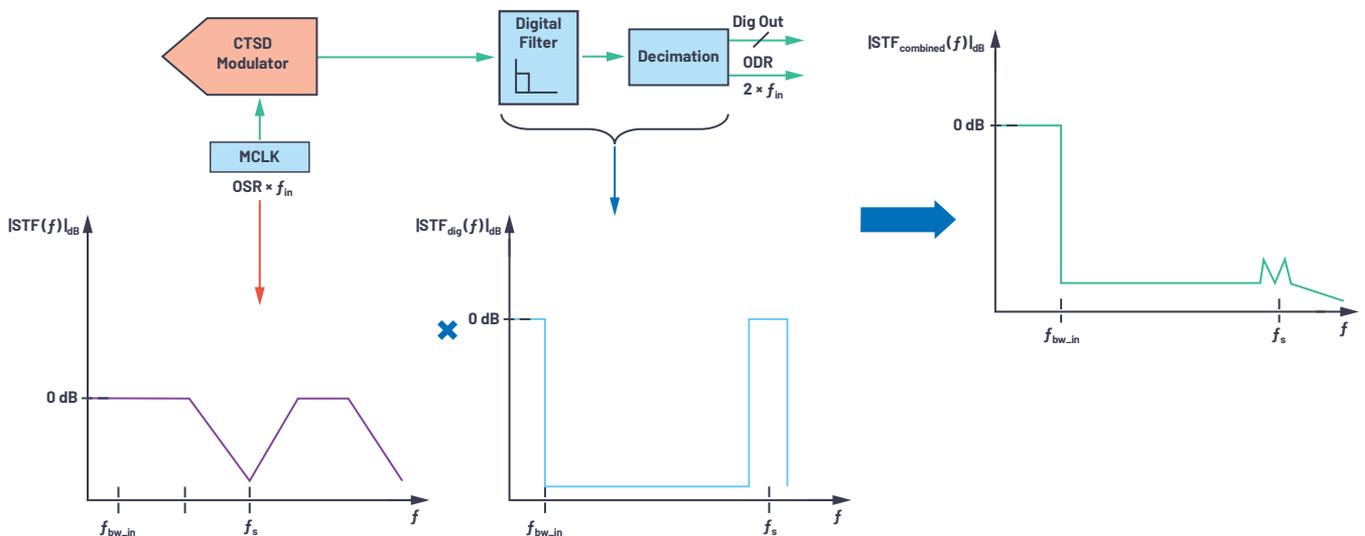


图10. 带有后端数字滤波器的CTSD调制器环路。

测量和量化固有混叠抑制

AD4134是一款基于CTSD ADC架构的精密ADC，其数据手册中介绍了用于测量混叠抑制的新功能检查。对ADC的模拟输入信号频率进行扫描，并通过测量测试频率信号音相对于所用信号音的折叠幅度（如果有）来计算每个带外输入信号的影响。

图11显示性能带宽为160 kHz、采样频率为24 MHz时，AD4134对带外频率的混叠抑制性能。对于23.84 MHz ($f_s - 160$ kHz)频率，混叠抑制为-85 dB，这是ADC的混叠抑制技术规格。从图中还可以看出，对于其他中间频率，混叠抑制高于-100 dB。有关固有混叠抑制的更多详情，以及可进一步提高这种抑制性能的选项，请参见AD4134数据手册。

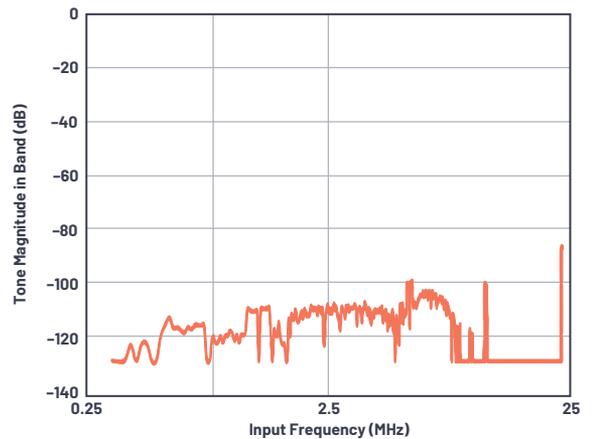


图11. 混叠抑制与带外频率。

我们在本文中所阐述的CTSD ADC概念有助于信号链设计人员了解此架构的电阻输入、电阻基准和固有混叠抑制特性。一个易于驱动的输入和基准电压源，以及CTSD ADC信号链中无需AAF设计，这些共同造就了适合各种应用的新型简化ADC前端设计。

第4章：轻松驱动ADC输入和基准电压源，简化信号链设计

Abhilasha Kawle, 模拟设计经理
Roberto Maurino, 设计工程师

传统ADC的前端设计

在本章中，“传感器”和“输入信号”可以互换使用，代表ADC信号链的任何类型的电压输入。ADC信号链的输入信号可以是传感器、来自某些源的信号或控制回路的反馈。众所周知，在传统的离散时间Sigma-Delta (DTSD) ADC和逐次逼近寄存器(SAR) ADC中，输入和基准电压源处的采样网络是开关电容负载。当开关导通时，电容给输入充电；当开关断开时，电容保持采样值。在每个采样时钟边沿，当开关重新将电容连接到输入时，需要一个有限电流（称为反冲电流）来将电容充电或放电到新的采样值。该电流的曲线如图1a所示。大多数传感器和基准电压源IC无法驱动这种幅度的反冲电流，而如果直接与ADC接口，输入信号或基准电压源有很大可能遭到破坏。避免这种破坏的已知解决方案之一是使用驱动缓冲放大器将输入传感器和基准电压源与ADC隔离开来。驱动放大器应具有吸收这种反冲电流的能力，如图1b所示。这导致需要高摆率和高带宽放大器来支持所需的输入充电/放电电流，并使反冲在一个采样时间周期内稳定下来。这些严格的要求限制了可用于传统ADC的输入和基准电压源路径的缓冲放大器的选择。

另一方面，输入端需要低通抗混叠滤波器来确保高频噪声和干扰信号大幅衰减，使得当它们因为目标频段的采样而折回时，性能不会降低。当前ADC信号链设计人员面临的挑战是要对相互对立的要求——混叠抑制和输出稳定——进行微调。DTSD ADC的采用驱动器和抗混叠滤波器的前端设计如图2所示。

输入路由由仪表放大器(in-amp)组成，仪表放大器将传感器与全差分放大器(FDA)接口，后者最终驱动ADC。仪表放大器将输入传感器环境与ADC电路隔离开来。例如，传感器的共模(CM)信号可能非常高（高达数十伏），但大多数FDA和ADC不支持这种高输入共模电压。一般的仪表放大器有能力支持宽输入共模电压，同时提供适合于FDA和ADC的输出共模电压。仪表放大器的另一个优点是其具有高输入阻抗。这意味着如果传感器不能直接驱动FDA的输入电阻，那么传感器可以通过仪表放大器与FDA接口。FDA本身需要具有高带宽和高摆率，以使输出更快建立。FDA周围需要构建有源抗混叠滤波器(AAF)，以便抑制干扰信号。

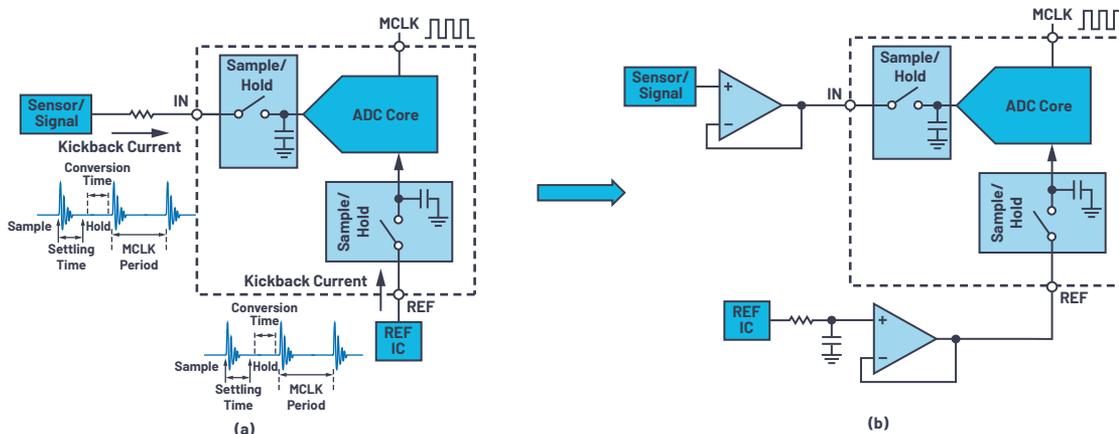


图1. (a)传统ADC的输入和基准电压源上的反冲电流，(b)通过缓冲器将反冲电流与输入和基准电压源隔离。

对输入或基准电压源的驱动器的要求相互冲突：一方面，快速建立需要高带宽，但另一方面，噪声和干扰信号的滤波需要低带宽。在基准电压源路径上，DTSD ADC信号链的前端设计如图2所示，基准电压源IC连接到一个缓冲器，后者驱动ADC的基准电压源负载。设计中还有一个噪声滤波器，用以截断基准电压源IC和缓冲器的超出某一频率的噪声。此滤波器的设计要求将在后文讨论。基准电压源缓冲器具有高带宽和高摆率要求，以便更快地平息采样事件干扰。

CTSD ADC的优势：正输入和基准电压源

第2章向信号链设计人员解释了CTSD ADC架构，即采用非常规方法来反转闭环放大器。如第2章所述，可以将CTSD ADC视为具有阻性输入和基准电压源负载的Sigma-Delta ADC。输入和基准电压源结构是简单的阻性负载，这意味着没有高带宽或高摆率驱动要求。第3章展示了CTSD的独特优势，其固有的混叠抑制能力可抗干扰。在传统信号链设计中，需要外部混叠抑制滤波器来衰减干扰信号，这是一个额外的挑战，但CTSD ADC不需要外部AAF。由于CTSD ADC的固有混叠抑制特性，调制器环路的信号传递函数等于衰减高频干扰的抗混叠滤波器的传递函数。由于阻性输入和固有AAF，输入网络得以简化，传感器可以直接连接到ADC。在传感器没有能力驱动这种阻性负载的情况下，可以使用仪表放大器来将传感器与ADC接口。类似地，在基准电压源方面，由

于阻性负载，CTSD ADC信号链中不需要基准电压源缓冲器。图3b显示了使用仪表放大器的简化示意图。

图4显示了对CTSD ADC如何帮助简化输入前端设计的进一步支持。对于DTSD ADC，当输入采样开关改变状态时，可以明显看到反冲导致的输入电流的不连续性。对于CTSD ADC，可观察到输入电流是连续的，其保持了信号连续性。

简化输入驱动设计

我们已经证明，CTSD ADC的输入驱动是阻性的。本节将说明在规划ADC的输入驱动时，如何确定输入阻抗 R_{IN} 的值。 R_{IN} 是ADC额定噪声性能的函数。例如，AD4134是一款精密CTSD ADC，具有108 dB的动态范围和4 V基准电压源，输入阻抗为6 kΩ差分。这表明，当施加一个满量程8 V p-p差分输入信号时，峰值电流要求是1.3 mA p-p。如果传感器可以支持输入电流 V_{IN}/R_{IN} ，则它可以与ADC直接接口。需要一个简单放大器来驱动这种阻性负载的场景是：

- 1) 传感器没有所需驱动能力来提供 V_{IN}/R_{IN} 的峰值电流。
- 2) 信号链设计要求为传感器输出提供增益或衰减。
- 3) 将输入传感器环境与ADC电路隔离开来。
- 4) 传感器具有很大输出阻抗。
- 5) 传感器远离ADC，轨道布线可能给输入端增加相当大的电阻。

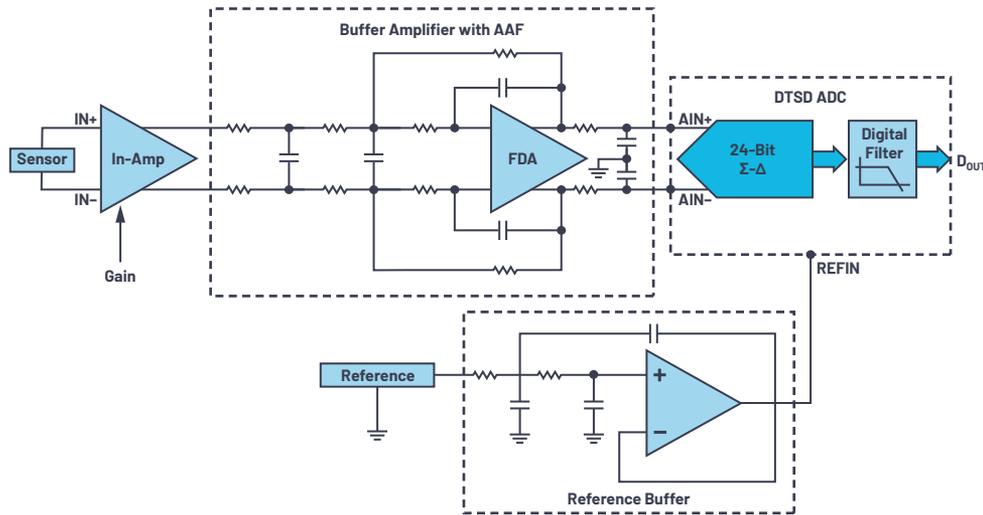


图2. 离散时间Sigma-Delta ADC的前端设计。

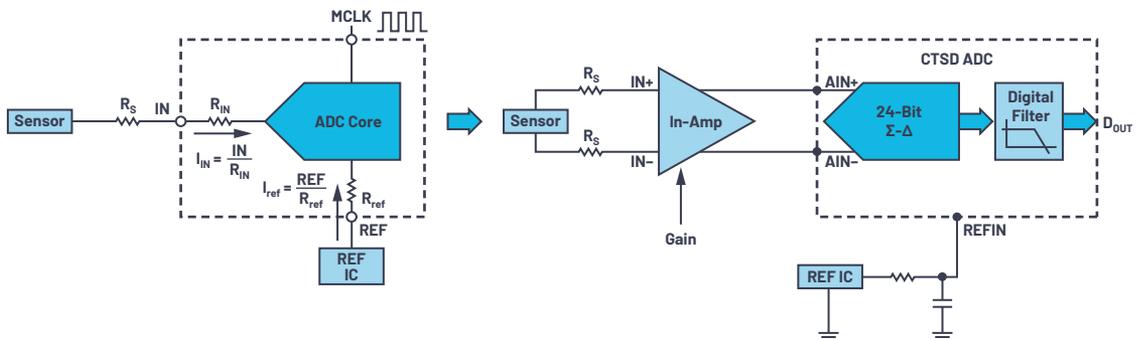


图3. (a) CTSD架构提供阻性输入和基准电压源负载，(b)直接仪表放大器和基准电压源驱动CTSD ADC。

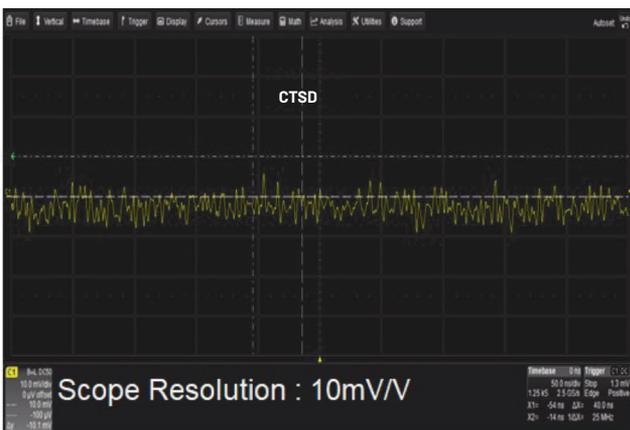
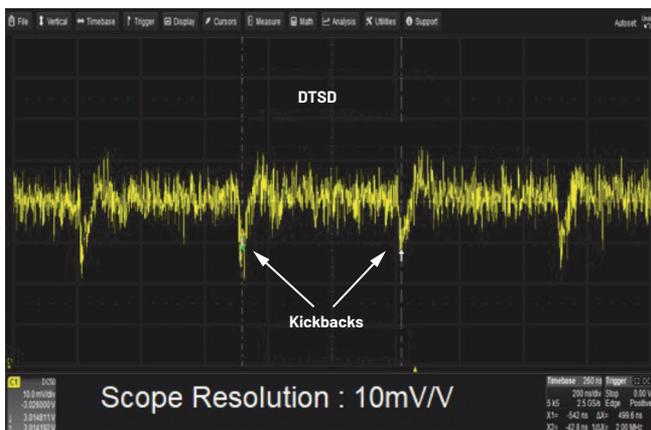


图4. (a)DTSD ADC的输入电流中的反冲, (b)CTSD ADC的连续输入电流曲线。

在场景4和5中, 额外的外部电阻 R_s 将存在电压降, 该电压降表示ADC输入端有信号损失。这导致信号链的增益误差和误差随温度的漂移, 因而引起性能下降。增益温漂是由外部电阻和内阻的不同温度系数引起的。使用一个简单放大器来隔离额外的外部电阻, 可以解决此问题。由于该放大器的驱动负载是阻性的, 因此该放大器的选择标准是:

- ▶ 输入阻抗: 为避免信号衰减或损失, 传感器的阻抗应与放大器输入阻抗匹配。
- ▶ 输出阻抗: 输出阻抗应当足以驱动ADC的阻性输入负载。
- ▶ 输出类型: 作为一般信号链设计指导原则, 建议使用**差分信号**策略以获得最佳信号链性能。差分输出类型放大器或单端转差分输出的设计技术最适合此任务。另外, 为了实现最佳性能, 最好将该差分信号的共模设置为 $V_{REF}/2$ 。
- ▶ 可编程增益: 输入信号一般要放大或衰减, 以将其映射到ADC的满量程范围。这是因为当使用ADC的满量程输入范围时, 可以从ADC信号链获得最高性能。

基于应用, 该放大器可以是仪表放大器或FDA, 也可以是两个单端运算放大器的组合——形成一个差分输出放大器。没有高摆率或高带宽的硬性要求, 可根据应用需求从ADI公司广泛的放大器产品系列中选择一款来驱动此CTSD ADC。此外, 放大器性能参数一般用阻性负载来指定, 这使得选择更加简单。

例如, 对于AD4134, 一个具有可编程增益选项和全差分输出的性能兼容的仪表放大器选择是LTC6373。该仪表放大器为输入源提供高阻抗, 可以轻松驱动差分6 kΩ阻抗, 噪声和INL性能与ADC相当。通过其广泛的输入共模支持和可编程增益选项, 任何具有宽范围信号幅度的传感器或输入信号都可以与ADC接口。采用该直接仪表放大器驱动输入前端设计的一个例子如图4所示。

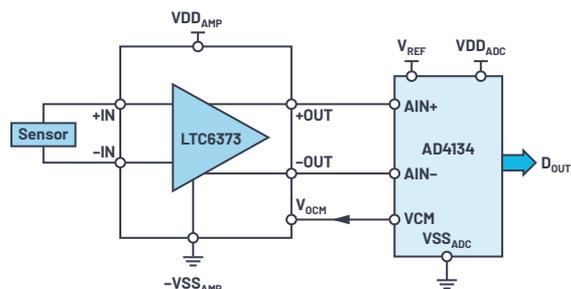


图5. 输入前端设计, CTSD ADC与仪表放大器直接接口。

另一个例子是使用全差分驱动放大器 (如LTC6363-0.5/LTC6363-1/LTC6363-2, 基于所需的增益或衰减) 的简单低压前端设计, 如图6所示。可以使用FDA的场景是当传感器有能力驱动FDA的阻性负载, 但为单端类型或具有ADC不支持的共模, 或者信号链需要小增益/衰减。

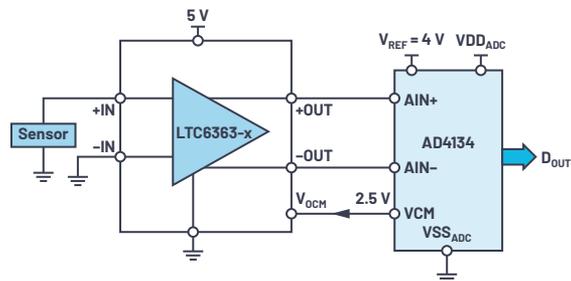


图6. 输入前端设计, CTSD ADC与全差分放大器直接接口。

另一个例子是低BOM方案, 使用两个单端运算放大器将单端输入转换为ADC的全差分信号, 如图7所示。

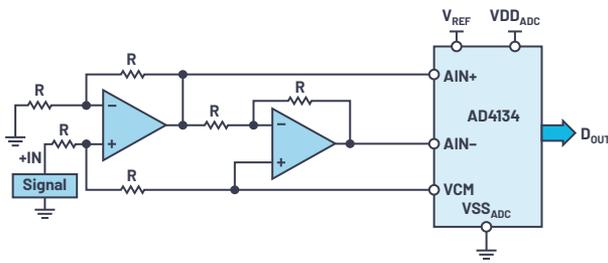


图7 输入前端设计，CTSD ADC使用两个单端放大器。

还有许多其他例子，像使用单端仪表放大器和单端运算放大器的组合来构建差分输出前端，以支持非常高的输入共模或低驱动强度单端型传感器。可以根据性能、面积和BOM要求选择任何这样的组合，以更好地适合应用。

与AD4134兼容的其他放大器有：

- ▶ 运算放大器：ADA4625-2、ADA4610-2、AD8605和ADA4075-2。
- ▶ 全差分放大器：ADA4940-2、LTC6363和ADA4945-1。
- ▶ 仪表放大器：AD8421。

ADI放大器选型指南可用于选择最适合具体应用的放大器。例如，对于音频测试设备等高线性度应用，建议使用ADA4945-1。对于最重要考虑是超高输入阻抗的光电二极管应用，可以使用跨阻放大器(TIA)，例如ADA4610-2。

CTSD ADC大大简化了输入前端，接下来看看基准电压源驱动方面的类似简化。

简化基准电压源设计

ADC输出是其输入和基准电压源的表示，如式1所示。

$$D_{OUT} = V_{IN} \times \frac{2^N}{V_{REF_{ADC}}} \quad (1)$$

其中， V_{IN} = 输入电压电平， $V_{REF_{ADC}}$ = ADC的基准电压， N = 位数， D_{OUT} = ADC数字输出。

式1说明，为实现最佳ADC性能，干净完好的基准电压源十分重要。ADC信号链有如下三个主要性能指标会受基准电压误差影响：

- ▶ **信噪比(SNR)**：SNR的主要噪声贡献源是输入路径、ADC本身和基准电压源。对于ADC输出端的目标总噪声，考虑到其他噪声源，基准电压源噪声的预算一般是独立ADC输出噪声的 $1/3$ 或 $1/4$ 。基准电压源或基准电压源缓冲器通常具有比ADC更高的噪声。在基准电压源或基准电压源缓冲器IC的数据手册中，可以看到频谱噪声密度或 $Noise_{density}$ 是技术规格之一。回顾**噪声计算基础**，基准电压源或基准电压源缓冲器输出端的总噪声由下式给出：

$$Total\ Reference\ Noise = Noise_{density} \times \sqrt{(Noise\ Bandwidth)} \quad (2)$$

我们无法控制 $Noise_{density}$ ，因为对于所选的基准电压源或缓冲器，它是固定的。唯一可控参数是**噪声带宽(NBW)**。为了降低基准电压源噪声，我们需要降低基准电压源或基准电压源缓冲器的噪声带宽。这一般是通过将一阶低通RC滤波器连接到ADC来实现，如图8所示。对于一阶RC滤波器，NBW由下式给出：

$$NBW = \frac{1}{2\pi RC} \times \frac{\pi}{2} = \frac{1}{4 \times RC} \quad (3)$$

流过滤器电阻R的ADC基准电流 I_{ADC} 引起一个电压降，这会改变ADC的实际基准电压值。因此，建议选择较小的R值和较大的C值，以满足低基准电压源噪声的NBW要求。

- ▶ **增益误差**：从式1可以看出， $V_{REF_{ADC}}$ 决定了输出到输入传递函数的斜率，就像在 $y = mx$ 之类的直线方程中一样。该斜率也被称为ADC的增益。因此，如果基准电压源发生变化，ADC的增益也会改变。
- ▶ **线性度**：对于传统的DTSD ADC和SAR ADC，基准电流和伴随的反冲依赖于输入信号。因此，如果基准电压源在下一个采样时钟边沿之前没有完全建立，则基准电压源上的误差将与输入相关，并导致非线性。数学上， $V_{REF_{ADC}}$ 可表示为

$$V_{REF_{ADC}} = (V_{REF} - I_{ADC} \times R) = V_{REF} + aV_{IN} + bV_{IN}^2 + cV_{IN}^3 \quad (4)$$

参考式1，基于ADC的输入，ADC输出 D_{OUT} 将有各种高阶依赖性，这种依赖会造成谐波和积分非线性。因此，传统ADC硬性要求基准电压源缓冲器具有高摆率和带宽，以使基准电压源输出在采样时间周期内稳定下来。

如果仔细分析SNR和线性度，我们会看到基准电压源或基准电压源缓冲器具有相互冲突的要求要满足。低噪声要求低带宽，但快速建立要求高带宽。适当地平衡这两项要求是信号链设计人员长久以来的挑战。一些最新的DTSD ADC和SAR ADC将基准电压源缓冲器整合到片内，以简化信号链设计中的一步，但这些解决方案需要额外的功率，或者会在一定程度上影响性能。CTSD ADC不需要快速建立缓冲器，其阻性输入也不需要快速建立驱动器，因此能够避免性能问题。

CTSD ADC通过以下特性和设计改进解决了基准电压源驱动器的挑战：

- ▶ 基准电压源为阻性负载，在每个采样时钟边沿没有建立要求。因此，设计人员可以直接将基准电压源IC连接到ADC，而无需专用基准电压源缓冲器。
- ▶ 已获专利的设计技术使基准电流与输入无关，并迫使ADC的基准电流 I_{ADC} 基本保持恒定。当可能需要RC滤波器来降低基准电压源噪声时，这是有益的，如图8所示。结果是电阻上的压降恒定，没有输入相关项增加到 $V_{REF_{ADC}}$ 上。我们设计了一项措施，可以根据R的值和基准电压引脚上测得的电压来对系统级增益误差进行数字校正。因此，这个简单的基准电压源接口不会有增益或线性误差。

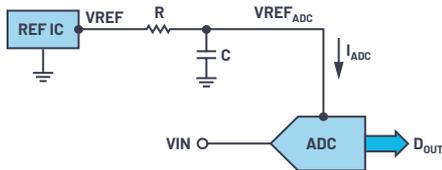


图8. 阻性基准电压源负载支持基准电压源IC与无源滤波器直接连接。

尽管已经采取措施来对R上压降引起的误差进行数字纠正，但有人可能会问，这是否会限制CTSD ADC的满量程范围，因为ADC的实际基准电压(V_{REF_ADC})会比施加的 V_{REF} 要小。

例如，若将基准电压源IC的 V_{REF} 调整并设置为4.096 V，ADC基准电流(I_{ADC}) = 6 mA，那么，对于 $R = 20\Omega$ 的滤波器电阻，ADC的实际基准电压(V_{REF_ADC})为3.967 V，如式5所示。在这种情况下，当在ADC输入端施加 $2 \times V_{REF} = 8.192$ V p-p（其大于 $2 \times V_{REF_ADC}$ ）的额定满量程差分输入时，是否有可能使ADC输出饱和？答案是“不会”。CTSD ADC设计为支持输入幅度超出ADC引脚REFIN的基准电压几mV。在我们的AD4134示例中，该扩展范围将电阻值限制为最大 25Ω 。然后选择用于噪声滤波器的C值，以满足所计算的噪声带宽。

简化基准电压源驱动设计

CTSD ADC简化了基准电压源驱动的设计，但当为滤波器选择正确的R，然后对电阻上的压降进行数字增益误差校正时，仍有其他因素需要考虑。数字增益误差校正（也称为校准）是许多ADC的常见特性，它让信号链设计人员可以在ADC的数字输出端自由补偿信号链中的误差。因此，它可能不需要增加设计步骤，而是重复使用相同的算法，这对于许多信号链很常见。在这种情况下，电阻的选择似乎不是什么特别的设计步骤，但有一点要注意：电压降的温度相关性。外部滤波器电阻与 I_{ADC} 随温度的漂移不同，进而导致 V_{REF_ADC} 和ADC的增益随温度漂移。对于具有严格增益温漂要求的应用，一种原始解决方案是定期校准信号链。但是，借助CTSD技术可以实现更好、更创新的解决方案。由于ADC基准电压源负载电流保持恒定，而且与片内使用的阻性材料有关，因此可以提供片内 20Ω 滤波器电阻R，如图9所示。

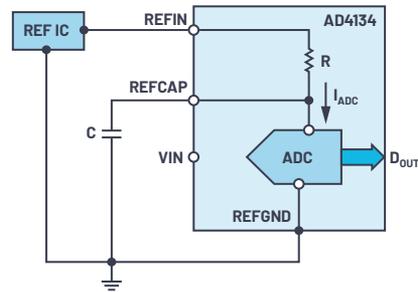


图9. 片内基准电压源噪声滤波器电阻简化CTSD ADC的基准电压源前端设计。

在新的前端设计中，基准电压源IC连接在REFIN引脚上，滤波电容连接在REFCAP引脚上，形成基准电压源IC噪声的噪声滤波器。由于片内电阻R的阻值和 I_{ADC} 均是同一电阻材料的函数，因此REFCAP上没有温度漂移(V_{REF_ADC})。AD4134还使用已获专利的片内基准电压源校正算法对片内电阻上的电压降进行数字自校准。因此，基准电压源驱动设计得以简化，只需根据性能要求选择基准电压源IC和电容值。

ADR444是可用作CTSD ADC配套器件的低噪声基准电压源IC之一。关于电容值选择和内部/外部数字增益校准，AD4134的数据手册提供了进一步细节。

总结

CTSD ADCs消除了实现最佳精密性能并简化前端设计的许多障碍。在接下来的章节中，我们将介绍如何将CTSD ADC调制器内核的输出处理成最终数字输出格式，以供外部数字控制器使用，实现最佳处理。从本迷你教程介绍的Sigma-Delta基础知识可知，调制器输出无法直接处理，因为它是以高得多的速率进行采样。需要将采样速率降低到应用所需的输出数据速率(ODR)。接下来，我们将介绍一种新颖的异步采样速率转换(ASRC)技术，它使信号链设计人员可以将最终ADC输出调整到所需的任何ODR，ODR只能是采样频率的几倍的古老限制不复存在。

第5章：利用异步采样速率转换(ASRC) 简化数字数据接口

Abhilasha Kawle, 模拟设计经理

Naiqian Ren, 应用工程师

Mayur Anvekar, 数字设计经理

ADC的作用是对模拟输入信号进行采样，并将其转换为等效的数字格式。应用对数字数据做进一步处理所需的采样速率不一定与ADC对模拟信号进行采样的速率相同。每个应用都有独特的数字输出采样速率要求。采样速率转换器将ADC数据的输入采样速率映射为所需的输出采样速率。本章节首先概述各种应用的采样速率要求，证明ADC需要支持广泛的输出采样速率。然后，本文快速回顾已知ADC架构中的传统采样速率转换技术及其缺点。接下来，本文介绍新颖的异步采样速率转换(ASRC)，它能与任何ADC架构配对，以获得任何所需的输出采样速率，并用外部数字主机简化数字接口设计。ASRC与CTSD ADC搭配可谓两全其美，不仅能简化ADC模拟输入端的信号链设计，也能简化数字输出端的信号链设计。

采样速率要求

驱动数字数据采样速率选择ADC的主要性能参数之一是ADC的预期精度。数字数据中的样本数量越多，对模拟输入表示就越准确。但不利的一面是需要处理大量数据，外部数字主机接口设计的复杂度和功耗会提高。因此，每个应用根据所需的精度、功耗预算和设计复杂度以及计划的算法处理，决定了数字数据的采样速率。所需的大多数一般采样速率可以分类如下：

奈奎斯特采样速率

众所周知的奈奎斯特采样¹准则指出：为了提供模拟输入的忠实数字表示，采样速率至少应为输入带宽的两倍。因此，奈奎斯特采样速率应用的数字采样速率为目标输入带宽的两倍。这种采样速率的一个众所周知的例子是CD上的数字音频数据存储，其速率为44.1 kSPS，而目标输入音频带宽最高为20 kHz，即人类听力的频率上限。

过采样速率

有少数一些应用，例如频率谐波分析或时域分析，其需要的采样速率比输入带宽高出好多倍。过采样速率的一个例子是冲击检测环境中瞬态信号的时域分析，如图1所示。如果这种信号的采样速率是奈奎斯特采样速率，我们将无法了解信号的全貌。拥有更多的采样点可以更忠实地重建和分析信号。

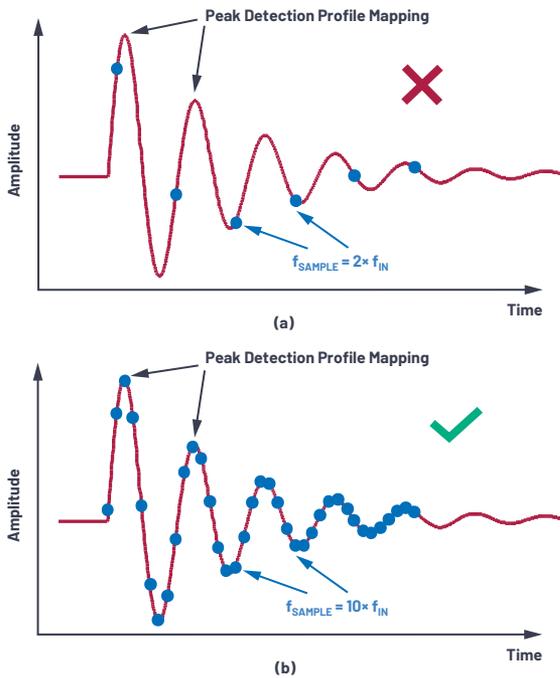


图1 瞬态信号的时域分析: (a)奈奎斯特采样率, (b)过采样率。

可变采样速率

某些应用（例如相干采样）要求以良好的分辨率根据模拟输入频率调整输出采样速率。电力线监测就是这种应用的一个例子，需要相干采样来满足IEC 61000-4-30规定的A类电能质量计量要求。这些标准的精度要求决定了采样速率需要跟踪输入线路频率漂移。在这些应用中，电力线上的时钟频率合成器电路产生ADC的输出数字数据采样时钟，如图2所示。

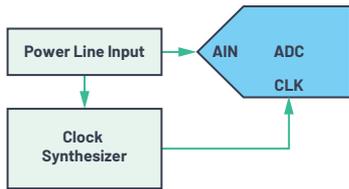


图2 可变采样速率，电力线质量监测。

多采样速率

在检测和分析宽范围且不同类型的模拟输入的多通道应用中，例如示波器或数据采集应用，每个通道的采样速率可能不同。在这种情况下，平台中使用的ADC应该能够灵活地支持多采样速率。

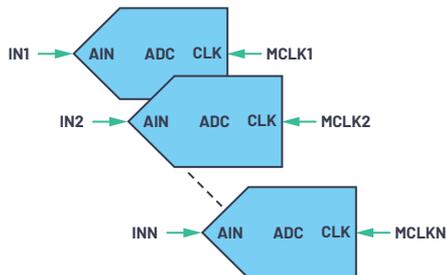


图3 多采样速率应用。

因此，数字数据采样速率要求因应用而异，并不存在一种万能的采样速率。所以，面向广阔市场的ADC需要支持宽范围的可编程数字数据采样速率。

图4展示了一个具有外部数字主机的广义ADC数字数据接口。需要注意的是，本文中讨论的数字数据接口不包括器件配置控制接口，如SPI或I²C。

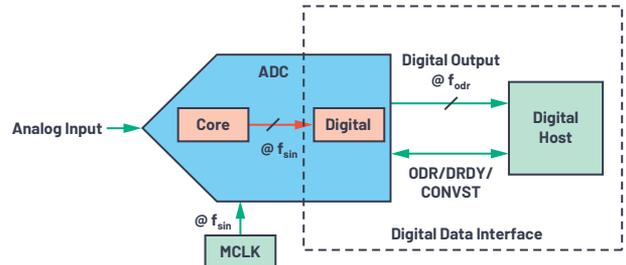


图4 广义ADC数字数据接口。

核心ADC利用速率为 f_{sin} 的采样时钟对模拟输入采样，如图4所示。在大多数数据手册中，输入采样时钟本身一般表示为MCLK。最终数字输出数据的采样速率为 f_{odr} 。通常，这些引脚在数据手册中标记为ODR、DRDY或CONVST时钟。本文使用ODR时钟这个总称来表示数字输出数据时钟。

ADC核心的采样速率 f_{sin} 取决于ADC架构。数字输出数据速率 f_{odr} 取决于外部数字主机的数据接口要求。在大多数ADC信号链应用中， f_{sin} 和 f_{odr} 可以具有不同的值并且不相关。因此需要进行采样速率转换，将ADC核心的 f_{sin} 数据映射为 f_{odr} 的数字输出数据。以下部分将讨论众所周知的ADC架构（如奈奎斯特ADC和过采样ADC）中使用的传统采样速率转换技术。此外，我们将深入了解其他相关的数字数据接口要求。

奈奎斯特速率ADC中的采样速率转换

在奈奎斯特速率转换器中，ADC核心的采样频率是模拟输入带宽 f_{in} 的两倍。此类别下最常见的例子是奈奎斯特速率SAR ADC，其输入和输出采样速率相同。因此，数字输出数据速率时钟ODR可以复用为ADC核心采样时钟MCLK。在SAR ADC数据手册中，数字输出数据时钟表示为CONVST或DRDY。但如前所述，本文将所有这些时钟统称为ODR时钟。ODR和MCLK组合可简化数字数据接口，如图5所示，仅需一条时钟布线。由于时钟由外部时钟源或外部数字主机提供并控制，因此ADC由外部提供时钟。这意味着ADC是在外部托管模式下运行。

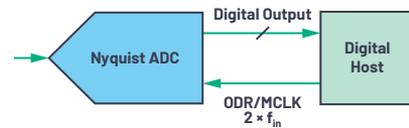


图5 托管模式中奈奎斯特速率转换器的简化数字数据接口。

根据应用要求和模拟输入带宽，很容易调整采样速率 f_{odr} 。通过调整 f_{odr} ，我们还能调整ADC核心的采样时钟速率 f_{sin} 。另一个优点是，当调整 f_{odr} 时，整个ADC的功耗也会线性地调整。这种简化的数字数据接口还有许多其他延伸的好处，其中一个是多通道应用中易于同步。

易于同步

在单通道ADC应用中，提供给ADC的本地时钟会固有地将数字数据与给定时钟同步。在多通道ADC应用中，挑战是要保证多个模拟输入的同步采样，以及数字数据与ODR时钟边沿同步以进行进一步数字处理。多通道同步应用有很多广为人知的例子，例如音频应用，其中左右通道具有特定的同步要求。另一个典型例子是监测电网中的各种电力线。在每条电力线内部，电压、电流和功率输入测量需要同步。利用奈奎斯特速率ADC，如图6所示，通过共享ODR时钟并对其路由进行良好规划，可以轻松实现多通道同步。规划良好的路由可以确保ODR时钟以相同延迟传播到每个ADC，并提供尽可能好的通道同步。

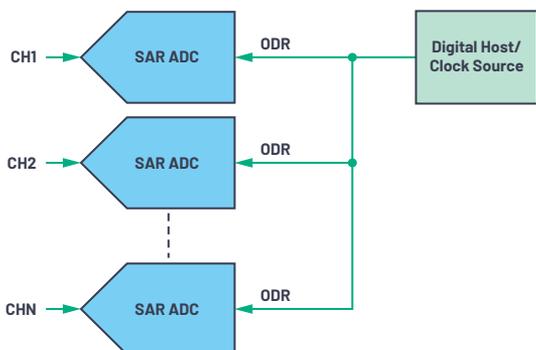


图6 简化奈奎斯特速率采样率转换器中的同步。

简化的数字数据接口是奈奎斯特速率转换器的一个重要优势。下面讨论其无法胜任的一些数字数据接口挑战。

奈奎斯特速率控制的局限性

噪声调整

在基于应用的模拟输入带宽的奈奎斯特速率转换器中，可以轻松调整数字数据时钟。时钟调整可带来功耗上的优势，但由于所谓混叠折返现象，ADC噪声会增加。奈奎斯特采样准则的延伸是，任何超出奈奎斯特频率的信息都会折返或混叠回到目标频带。ADC的模拟输入会有大量来自信号源和输入模拟电路的干扰信息或噪声，其延伸到非常高的频率。ADC采样导致任何超过 $f_{\text{sin}}/2$ 的输入噪声折返，使得目标输入带宽中的噪声增加。如图7所示，随着采样速率降低，会有更多这样的外部噪声折返，从而增加ADC输出中的噪声。

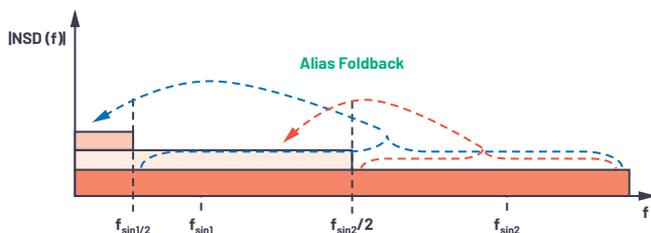


图7 输入噪声折返与采样频率的关系。

时钟时序约束

对于SAR ADC，模拟输入采样时钟需要两个阶段，如图9a所示。一个是采样阶段，其中ADC的输入采样电容对模拟输入充电；另一个是转换阶段，其中该采样数据被数字化。为了获得尽可能好的ADC性能，ADC的采样电路一般存在最短采样时间要求。因此，生成此时钟的外部数字主机或时钟源需要遵守这些时序约束。

时钟抖动

应用电路板上的时钟路由对时钟源的电源噪声或与电路板上的其他信号耦合敏感，因为该噪声会增加时钟边沿的不确定性。时钟边沿的不确定性被称为抖动，采样时钟上有多种类型的时钟抖动会影响ADC的性能。最常见的是周期间均方根抖动，其增加了模拟信号采样点的可变性，导致性能下降，如图8所示。有关均方根时钟抖动对ADC性能的影响的更多详细信息，请参阅相关文章²。

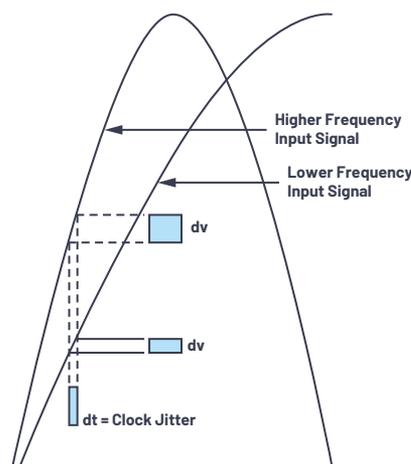


图8 时钟抖动引起模拟输入采样点的不确定性。

总结一下，时钟抖动导致ADC数据的误差增加可以量化为信噪比 (SNR) 的降低：

$$SNR_j = -20 \times \log_{10}(2\pi\sigma_j f_{\text{sin}}) = -20 \times \log_{10}(2\pi\sigma_j \times 2f_{\text{in}}) \quad (1)$$

其中 σ_j 为均方根抖动。

当数字主机或时钟源的噪声很高时，式1意味着要达到所需的SNR，我们要么限制输入带宽，要么采用额外的技术来滤除时钟噪声。

时钟抖动是多通道应用的一个更严重挑战，平衡同步和长时钟布线引起的抖动增加需要良好的时钟架构规划³。在这种情况下，需要采取适当的隔离和缓冲措施以确保ADC具有低噪声时钟。隔离可利用常见的数字隔离器实现，但需要增加设计复杂度和功耗方面的预算。

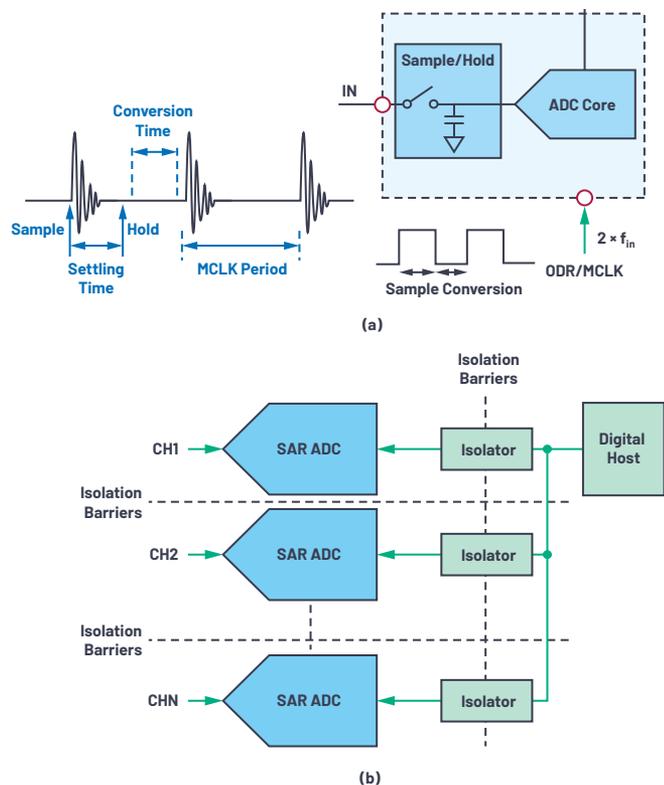


图9 奈奎斯特速率转换器数据接口的局限性：(a)时钟时间约束，(b)多通道应用中的隔离要求。

了解奈奎斯特速率ADC中的采样速率控制之后，我们看一下过采样ADC中使用的采样速率控制技术。

过采样ADC中的采样速率转换

如本迷你教程之前的章节所述，对连续时间信号进行采样和数字化会有信息损失，并且会在采样输出中引入量化噪声。有一类ADC遵循这样的原则，即样本数越大，精度越高，量化噪声误差越小。因此，其模拟输入采样速率高于奈奎斯特采样速率，这被称为过采样。一些新型精密SAR ADC使用这种过采样技术，被称为过采样SAR ADC。图10a显示了过采样SAR ADC的噪声优势。另一类使用过采样概念的ADC是 $\Sigma\text{-}\Delta$ ADC⁴，其量化噪声 Q_e 被进一步整形并向外推出，以提高目标输入带宽中的性能。图10b显示了 $\Sigma\text{-}\Delta$ 型调制器的量化噪声的噪声整形特性。在数学上，采样频率为 $\text{OSR} \times f_{\text{odr}}/2$ ，其中OSR为过采样率。

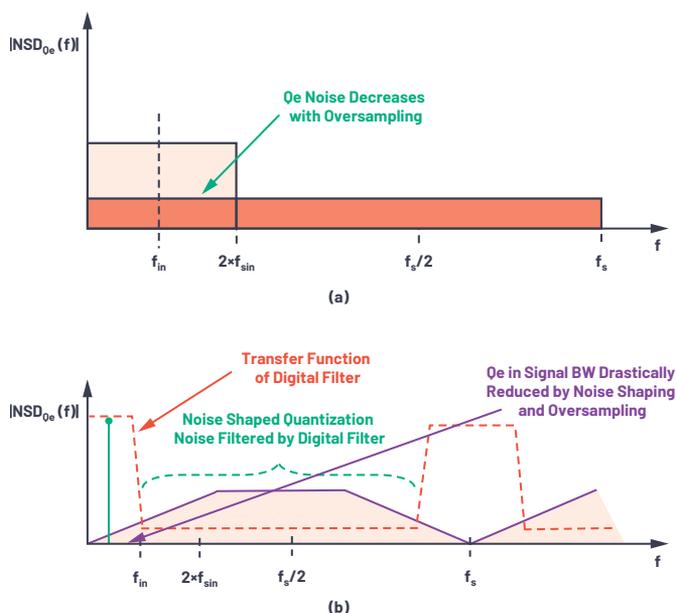


图10. (a)过采样SAR ADC的频谱，(b) $\Sigma\text{-}\Delta$ ADC的频谱。

如果直接将核心ADC的过采样数据与外部数字主机接口，那么后者将要接受许多冗余信息，导致过载。此外，在某些情况下，主机可能不支持这种高数字数据速率传输所需的严格时序约束，而且还会导致高功耗。因此，最优方式是仅提供目标输入带宽中的性能优化数据。这意味着，输出数字数据速率应降低或抽取到奈奎斯特速率($2 \times f_{\text{in}}$)，或奈奎斯特速率的几倍，具体取决于应用需要。因此，需要一种采样速率转换器来将ADC核心数据的高采样速率 f_{sin} 映射为所需的 f_{odr} 。

有一种称为抽取的传统数字采样速率转换技术，它能以 2^N 的倍数滤波和抽取核心ADC数据，如图11所示。向ADC提供称为MCLK的输入采样时钟。所需的数字输出数据采样速率(ODR/DRDY)时钟——其为MCLK的分频版本——作为输出提供。基于所需的抽取率，通过设置N来实现分频比。对于 f_{odr} 编程，为了获得更精细的分辨率，MCLK也可以根据应用的输入带宽要求进行调整。观察过采样ADC的数字数据接口，ODR时钟由ADC给出和控制。这意味着ADC提供该时钟，在主机模式下其名称为ADC。

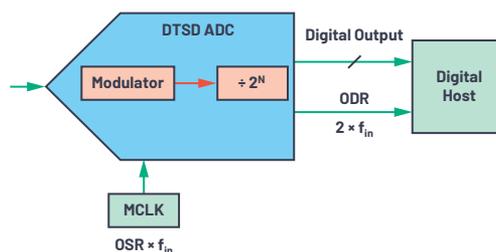


图11 离散时间 $\Sigma\text{-}\Delta$ (DTSD)ADC的数字数据接口。

因此，将抽取用作采样速率转换技术时，ADC能以较低输出数据速率提供高性能数字数据。但是，这种技术也有自己的局限性。

使用抽取控制采样速率的局限性

非线性噪声、功耗调整

在可变速率应用中，抽取率和MCLK两者或其中之一可以调整。当仅提高抽取率时， f_{odr} 降低，噪声随着数字滤波器滤除更多量化噪声而降低。只有数字滤波器的功耗线性降低。如果像在SAR ADC中讨论的那样降低MCLK，则整个ADC的功耗会线性降低，但噪声会因为混叠折返而增加。

许多系统同时调整ADC的MCLK和抽取率来实现宽范围的ODR，但这种方法可能导致测量噪声性能或系统功耗性能发生不希望的阶跃变化。

时钟抖动

由于输入采样时钟频率 f_{sin} 更高，因此过采样ADC对时钟抖动的敏感性比奈奎斯特速率SAR ADC更高，如式1所示。所以，时钟源和MCLK的时钟路由应基于应用容许的抖动噪声来规划。无论单通道还是多通道应用信号链，应用电路板上都会有许多切换信号在运行。来自这种高噪声信号的耦合会提高MCLK上的时钟抖动。因此，为了获得最优ADC性能，需要利用数字隔离器来满足MCLK的隔离需求。这种额外的设计规划会带来面积和功耗方面的成本。如前所述，为了让 f_{odr} 编程具有更精细的分辨率，MCLK也会调整。然而，具有所需 f_{sin} 值和抖动性能的MCLK时钟源可能很有限。

同步

实现同步是过采样ADC的另一个挑战。通常， Σ - Δ ADC中提供一个称为SYNC_IN的额外引脚用于同步。SYNC_IN引脚的触发会启动对模拟输入的同步采样以及抽取滤波器的复位。经过数字滤波器建立时间之后，数字输出数据是同步的。数字滤波器建立期间的数字输出数据是中断的，如图12所示。它还假设，所有ADC的MCLK和SYNC_IN命令是同步的。在高采样速率时钟上实现这种同步，特别是在有隔离器或频率合成器的情况下，会是一个巨大挑战。一种致力于解决数据中断和同步挑战的系统解决方案是时钟频率合成器电路，例如PLL，它会为所有通道生成同步的MCLK。

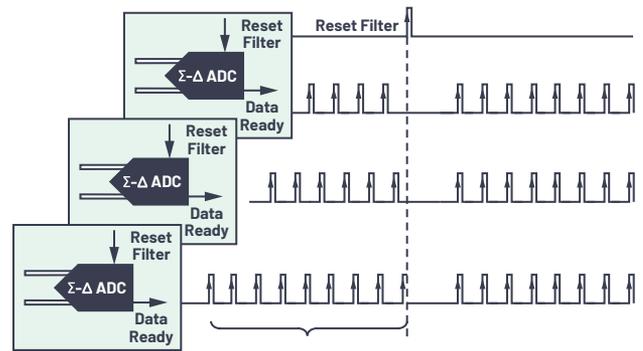


图12. 发生数据中断的DTSD ADC中的同步。

快速总结一下，当触发SYNC_IN引脚时，PLL环路启动与参考时钟的时钟同步。在PLL建立期间，MCLK速率会调整，使得在建立结束时，输入ADC采样边沿和ODR时钟边沿同步。有关该解决方案的原理和细节，请参阅“[同步关键分布式系统时，最新Σ-Δ ADC架构可避免数据流中断](#)”⁵。

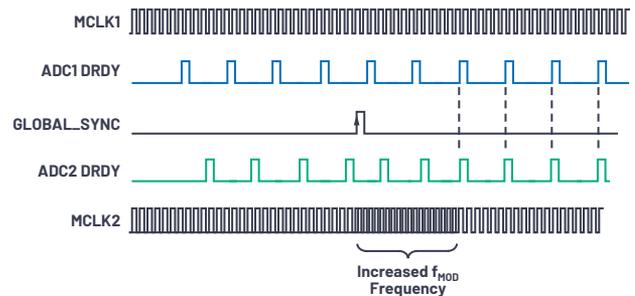


图13. 基于PLL的DTSD ADC同步解决方案。

要点是，与SAR ADC相比， Σ - Δ ADC或过采样SAR ADC的同步多出了板载电路、PLL或时钟频率合成器要求，这会增加设计复杂性和功耗。ADI公司探索了另一种新颖的技术，称为同步采样速率转换，它能在一定程度上帮助化解同步挑战。

同步采样速率转换(SRC)

对于已讨论的简单抽取的若干挑战，一种解决方案是使用同步采样速率转换⁶。SRC的优点是抽取率可以是 f_{sin} 的任何整数或小数倍，从而可以更精细地控制 f_{odr} 。ADI探索了该技术，并将其与AD7770中的精密DTSD转换器配对使用。有关SRC的更多细节，请参阅AD7770的数据手册或参考资料。

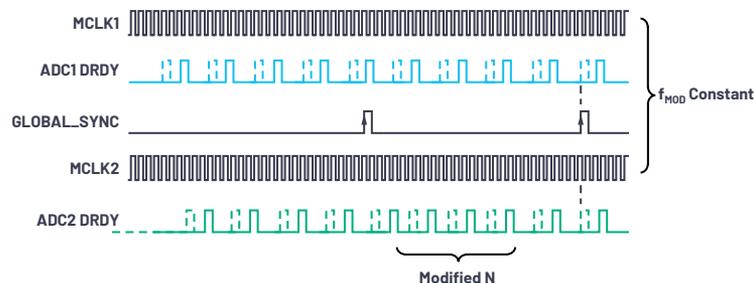


图14. 使用SRC实现多通道同步。

重点是，SRC中能以精细分辨率对 f_{odr} 进行编程，因此同步变得更容易。例如，抽取率能以非常精细的步进变化，而无需调整外部MCLK。因此，当触发SYNC_IN时，通道将会同步，如图14所示。

在不调整MCLK的情况下实现更精细的 f_{odr} ，可以克服简单抽取技术的大多数局限性。SRC也有自己的局限性和挑战需要克服。

SRC的局限性

SRC并未解决让所有通道具有相同MCLK的同步挑战。

时钟抖动/同步

在MCLK抖动方面，SRC具有与简单抽取采样速率控制相同的局限性。ADC性能对高 f_{sin} 引起的时钟抖动的敏感性，需要通过MCLK的隔离栅或噪声滤波电路来解决。在多通道应用中，由于MCLK要路由到多个ADC通道，因此这一挑战的难度进一步加大。为了实现同步，MCLK和SYNC_IN引脚信号需要同步，如图16a所示。挑战在于，所有时钟同时到达ADC，与时钟到PCB的距离和隔离栅可能造成的延迟相关。需要建立包括隔离栅和路由架构在内的精心设计的时钟方案，以确保所有ADC通道经历同样的延迟，包括路径中的隔离器。

接口模式

到目前为止，所讨论的数字数据接口是主机模式和托管模式，其与ADC核心架构相关。例如，奈奎斯特速率ADC的数字数据时钟由外部时钟源或数字主机控制并提供。因此，它们只能被设置为托管模式。过采样ADC提供并控制外部数字主机的数字时钟。因此，它们只能被设置为主机模式。由此可见，上面讨论的所有采样速率控制技术存在一个普遍的局限性，那就是不能独立地规划数据接口。

对于大多数数字数据接口挑战，一种解决方案是将MCLK时钟域和ODR时钟域解耦。因此，ADI公司重新引入了新颖的异步采样速率转换技术，使得ODR时钟和数据接口时钟相互独立，从而打破了ADC核心架构长久以来的障碍，ODR时钟的选择和控制不再受限。

异步采样速率转换

ASRC在数字域中以 f_{sin} 对核心ADC数据重新采样，并将其映射到任何所需的输出数据速率。ASRC可以被认为能够实现任何非整数抽取的数字滤波器。然而，为了实现优化的性能、面积和功耗，应由ASRC处理小数抽取，然后由一个简单的抽取滤波器来处理整数抽取，如图15所示。ASRC对ADC核心数据重新采样，并以 $f_{sin}/N \times f_{odr}$ 抽取数据。ASRC的输出数据速率为 $N \times f_{odr}$ 。同时，抽取滤波器得到所需的 $\div N$ 抽取。

在某种形式的ASRC实现中，系数 $f_{sin}/N \times f_{odr}$ 可以由信号链设计人员根据ADC的 f_{sin} 、所需 f_{odr} 和从ADC上实现的抽取滤波器获知的N来设置。这类似于设置SRC中的抽取率，不同点是抽取比率可以是无理数比率，并且支持非常精细的分辨率。在这种情况下，如同在SRC中，ODR时钟与MCLK同步，并且在片内通过MCLK分频而产生的输出。

另一种形式的ASRC实现是，ODR时钟由外部时钟源或类似于奈奎斯特速率转换器的数字主体提供。在这种情况下，ASRC具有内部时钟频率合成器，它会计算 $f_{sin}/N \times f_{odr}$ 比率，并为ASRC和抽取滤波器产生所需的时钟。ODR无需与MCLK同步，可以独立设置为任何采样速率。

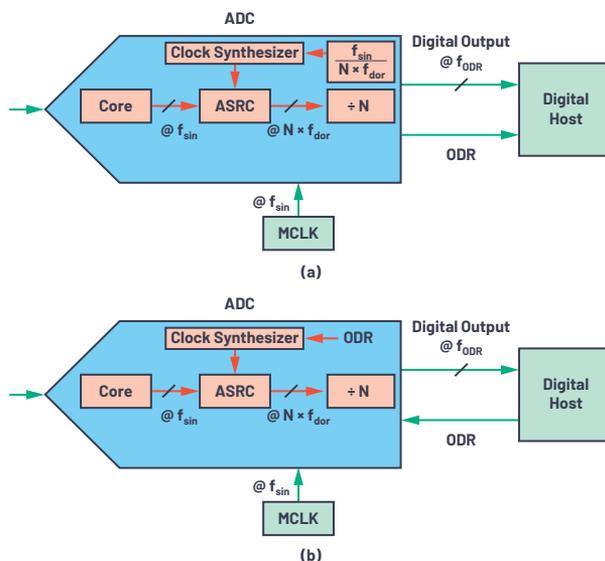


图15. ASRC实现: (a)设置比率, (b)片内计算比率。

因此，无论何种形式，ASRC技术都支持信号链设计人员以细粒度设置 f_{odr} ，并打破长久以来的限制，即 f_{odr} 以输入采样速率的整数或小数比为限。结果是，ODR时钟的采样速率和时序要求现在纯粹属于数字接口的功能范围，并且完全与ADC的输入采样频率无关。这两种实现形式的任何一种都展现了ASRC的优势，信号链设计人员因而得以简化数字数据接口设计。

ASRC的价值主张

MCLK和ODR时钟去耦

在任何一种实现形式中，由于能以更精细的分辨率设置/调整 f_{odr} （调整幅度可以是几分之一赫兹），因此ASRC允许独立选择MCLK和ODR时钟速率。MCLK速率 f_{sin} 可以根据ADC性能和时钟抖动要求来选择，而ODR时钟 f_{odr} 可以根据数字数据接口要求来实现。

时钟抖动

在奈奎斯特速率转换器和过采样ADC中，我们都看到MCLK和ODR相关，需要调整MCLK以实现更精细分辨率的 f_{odr} 。然而，能够匹配任何 f_{sin} 速率的MCLK之时钟抖动要求的时钟源是有限的。因此，需要权衡MCLK抖动引起的ADC性能降低和 f_{odr} 的可能分辨率。就ASRC而言，可以选择MCLK源以提供最佳的时钟抖动，因为 f_{sin} 的值可以独立选择，与ODR无关。

接口模式

ASRC让MCLK和ODR的时钟速率不再相关，因此接口模式的选择有一定的自由度。任何具有ASRC后端的ADC都可以独立配置为主机或托管外设，而不用考虑ADC核心架构。

同步

在先前讨论的多通道同步技术中，MCLK时钟路由有严格的要求。需要规划隔离栅和时钟架构以满足时钟抖动和同步要求。现在，每个通道的MCLK源可以是独立的，如图16b所示。在主机工作模式下，抽取率可以独立设置以实现同步。在托管模式下，如图16b所示，ODR可以共享和同步。由于ODR时钟的速率较低且只是一个数字数据选通时钟，因此它没有像MCLK那么严格的抖动要求，故而可以放松对隔离栅或时钟路由的严格要求。

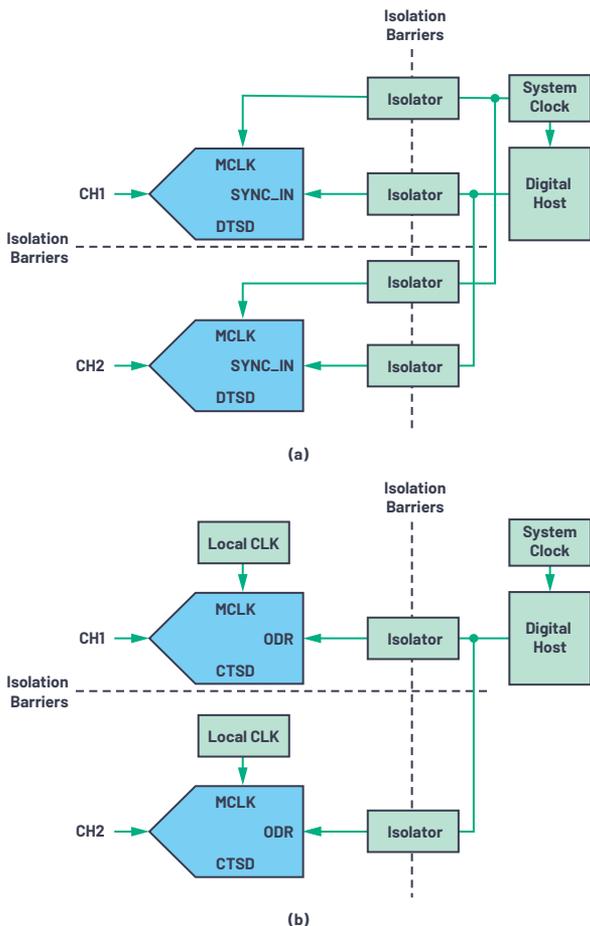


图16. (a)使用SRC的Clock和SYNC_IN分配, (b)利用ASRC简化时钟和同步。

总之，ASRC开辟了创新和简化与外部数字主机接口的探索之道。此外，MCLK可以是独立的，因而它非常适合与CTSD ADC配对使用。

ASRC与CTSD ADC配对

CTSD ADC核心对过采样和噪声整形的 $\Sigma\text{-}\Delta$ 概念也有效，同时提供电阻输入、参考驱动和固有混叠抑制等架构优势。这些特性大大简化了模拟输入前端设计。如第2章节所讨论，由于核心ADC环路是一个连续时间系统，因此将环路系数调整为数据手册中指定的固定输入采样速率。

CTSD ADC的局限性是MCLK不能像在DTSD或SAR ADC中那样调整。如果CTSD ADC与SRC配对，则ODR将是该固定采样时钟的函数。这会限制CTSD ADC的使用范围。应用需要的ODR可以是该固定 f_{sin} 的无理数比。此外，CTSD ADC要求该MCLK精确且具有低抖动，以实现优化ADC性能。例如，精度要求可以是 $\pm 100\text{ppm}$ 左右，均方根抖动为10 ps。因此，MCLK将需要一个规划良好的时钟架构，以保证多通道应用中的抖动噪声较低。MCLK是高频时钟，因而挑战难度加大。

ASRC能让MCLK和ODR解耦，非常适合应对CTSD ADC架构的局限性。MCLK时钟源可以在本地且靠近ADC，避免长时钟布线及耦合到其他信号，导致抖动噪声增加。因此，ASRC与CTSD ADC的组合带来一类新的ADC，其既有CTSD ADC的架构优势，又能克服固定、低抖动MCLK的局限性。

结语

ASRC让信号链设计人员可以独立地以粒度选择所需的输出数据速率。另一个优点是，由于输入采样时钟和ODR时钟解耦，多通道应用中可以有效地规划数字隔离。自由地配置数据接口而不用考虑核心ADC架构，是对信号链的另一种简化。本迷你教程有助于了解相比于传统采样速率转换，ASRC给数字数据接口带来的各种优点和简化。一般而言，ASRC可以与任何ADC核心架构配对，但与CTSD ADC配对可以简化模拟输入端及数字数据端的完整信号链设计。明确ASRC的需求和价值主张之后，请留意后续文章，我们将深入阐述ASRC的概念及其构建模块。这些细节有助于信号链设计人员了解与ASRC相关的性能指标，并在应用中发挥其优势。

参考资料：第一部分

“应用笔记AN-282：采样数据系统基本原理”。ADI公司。

驱动精密转换器：选择基准电压源和放大器。ADI公司。

Kester Walt, “教程MT-021：ADC架构II：逐次逼近型ADC”。ADI公司，2009年。

Σ - Δ ADC指南。ADI公司。

Shaikh、Wasim和Srikanth Nittala, “轻松构建交流和直流数据采集信号链”。《模拟对话》，第54卷第3期，2020年8月。

参考资料：第二部分

¹ Hank Zumbahlen, “迷你教程MT-213：反相放大器”。ADI公司，2013年2月。

² Walt Kester, “教程MT-014：基本DAC架构I：DAC串和温度计（完全解码）DAC”。ADI公司，2009年。

³ Luis Orozco, “可编程增益跨阻放大器使光谱系统的动态范围达到最大”。《模拟对话》，第47卷第2期，2013年5月。

⁴ Walt Kester, “教程MT-022：ADC架构III： Σ - Δ ADC基础”。ADI公司，2009年。

⁵ Pawel Czapor, “ Σ - Δ ADC时钟——不只是抖动”。《模拟对话》，第53卷第3期，2019年4月。

Pavan、Shanthi、Richard Schreier和Gabor C. Temes, 《了解 Σ - Δ 数据转换器》，第2版。Wiley，2017年1月。

参考资料：第三部分

抗混叠滤波器设计工具

滤波器设计教程

Kester Walt, “MT-002：奈奎斯特准则对数据采集系统设计有何意义”。ADI公司，2009年。

参考资料：第四部分

“驱动精密转换器：选择基准电压源和放大器”。ADI公司。

Mahaffey, Anna, “驱动SAR ADC（第1部分）：模拟输入模型”。ADI公司。

Shah, Anshul, “为何基准电压噪声非常重要？”。模拟对话，第54卷第1期，2020年3月。

参考资料：第五部分

¹ Walt Kester, “教程MT-002：奈奎斯特准则对数据采集系统设计有何意义”。ADI公司，2009年。

² Derek Redmayne、Eric Trelewicz和Alison Smith, “设计笔记1013：了解时钟抖动对高速ADC的影响”。凌力尔特，2006年。

³ Pawel Czapor, “ Σ - Δ ADC时钟——不只是抖动”。《模拟对话》，第53卷第2期，2019年4月。

⁴ Michael Clifford, “ Σ - Δ ADC拓扑结构基本原理：第一部分”。ADI公司，2016年1月。

⁵ Luis Beltran Gil, “同步关键分布式系统时，最新 Σ - Δ ADC架构可避免数据流中断”。《模拟对话》，第53卷第3期，2019年9月。

⁶ Anthony O'Shaughnessy和Petre Minciunescu, “AN-1388：使用AD7779 24位同步采样 Σ - Δ ADC实现电能质量测量的相干采样”。ADI公司，2016年2月。

作者简介

Abhilasha Kawle是ADI公司线性和精密技术部模拟设计经理，工作地点位于印度班加罗尔。她于2007年毕业于班加罗尔印度科学理工学院，获电子设计和技术硕士学位。

Naiqian Ren是ADI公司在爱尔兰利默里克的精密转换器技术部门的应用工程师，Naiqian于2007年加入ADI公司，拥有都柏林城市大学的电气工程学士学位和利默里克大学的VLSI系统硕士学位。

Mayur Anvekar是ADI公司在印度班加罗尔的线性精密技术部门的模拟设计经理。Mayur拥有嵌入式系统硕士学位，在数字设计和验证领域拥有近15年的经验。

Wasim Shaikh于2015年加入ADI公司，在精密转换器部门担任应用工程师，工作地点在印度班加罗尔。Wasim于2003年获得普纳大学学士学位。

Roberto Maurino是ADI公司位于英国纽伯里的精密ADC部门的设计工程师。2005年获伦敦帝国学院博士学位，1996年获意大利都灵理工大学和法国格勒诺布尔国立理工学院工程学位。

Smita Choudhury是ADI公司线性和精密技术部设计评估经理，工作地点位于印度班加罗尔。她拥有VLSI设计和嵌入式系统硕士学位，自2012年以来一直在ADI工作。

致谢

作者在此向芯片评估工程师Sanjay Kuna和高级测试开发工程师Richard Escoto致以诚挚谢意，感谢他们为测试和验证固有混叠抑制所付出的努力。

