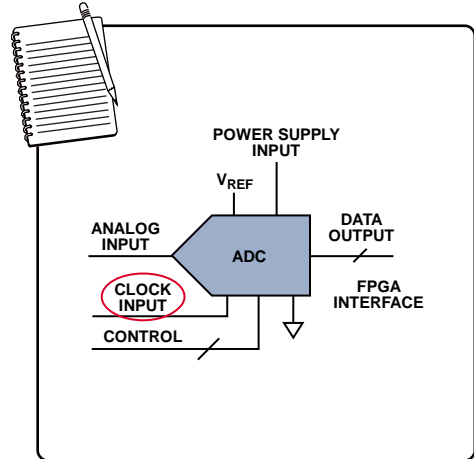


降低ADC时钟接口抖动

ADI公司应用工程部

引言

时钟接口阈值区间附近的抖动会破坏模数转换器(ADC)的动态性能，本笔记简要介绍时钟考虑因素和降低抖动技术。



应用工程笔记教程系列

目录

时钟输入噪声	2	频域图	3
时域图	2	相位域图	4
压摆率影响	3	时钟转换器解决方案	5

修订历史

2012年1月—修订版0：初始版

时钟输入噪声

时钟接口阈值区间附近的抖动会破坏模数转换器(ADC)的时序。例如,抖动会导致ADC在错误的时间采样,造成对模拟输入的误采样,并且降低器件的信噪比(SNR)。降低抖动有很多不同的方法,包括改进时钟源、滤波、分频和时钟电路硬件。本文对如何改进时钟系统提出了一些建议,旨在实现最佳ADC性能。

时钟和ADC之间的电路噪声是时钟抖动的根本原因。随机抖动由随机噪声引起,随机噪声通过其无界字符来区分,遵循统计分布规律。主要随机噪声源包括

- 热噪声(约翰逊或奈奎斯特噪声),由载流子的布朗运动引起。
- 散粒噪声,与流经势垒的直流电流有关,该势垒不连续平滑,由载流子的单独流动引起的电流脉冲所造成。
- 闪烁噪声,出现在直流电流流动时。该噪声由携带载流子的半导体中的陷阱引起,这些载流子在释放前通常会形成持续时间较短的直流电流。
- 爆裂噪声,也称爆米花噪声,由硅表面的污染或晶格错位造成,会随机采集或释放载流子。

确定性抖动由干扰引起,会通过某些方式使阈值发生偏移,通常受器件本身特性限制。

查看时钟信号噪声通常有三种途径:

- 时域
- 频域
- 相位域

时域图

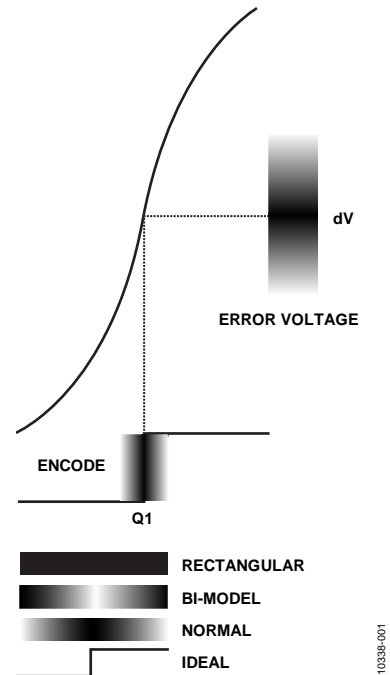


图1. 抖动的时域图

时钟抖动是编码时钟的样本(不同周期)间的变化,包括外部和内部抖动。抖动引起的满量程信噪比由以下公式得出

$$SNR_{jitter} = 20 \log\left(\frac{S_{rms}}{N_{rms}}\right) = 20 \log\left(\frac{1}{2\pi f_{ana} \log t_{jitter}}\right)$$

例如,频率为1 Ghz,抖动为100 FS均方根值时,信噪比为64 dB。

在时域中查看时,x轴方向的编码边沿变化会导致y轴误差,幅度取决于边沿的上升时间。孔径抖动会在ADC输出产生误差,如图2所示。抖动可能产生于内部的ADC、外部的采样时钟或接口电路。

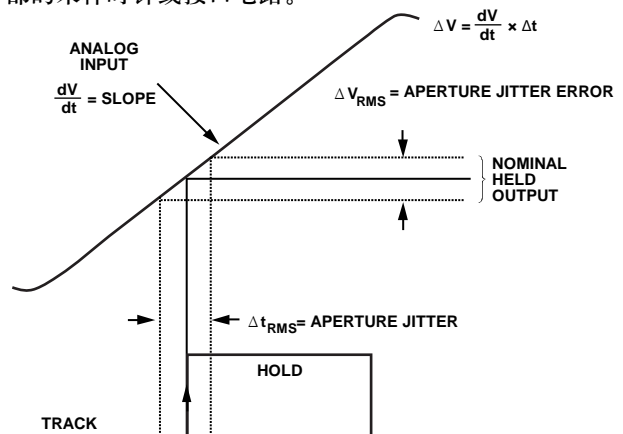


图2. 孔径抖动和采样时钟抖动的影响

图3显示抖动对信噪比的影响。图3中显示了5条线，分别代表不同的抖动值。x轴是满量程模拟输入频率，y轴是由抖动引起的信噪比，有别于ADC总信噪比。时钟抖动基于 f_{START} 和 f_{STOP} 失调频率定义。例如，某个时钟可能从1 kHz到 $f_s/2$ 积分得到的抖动为200 fs，而从10 kHz到 $f_s/2$ 积分得到的抖动为170 fs。积分范围取决于终端应用。

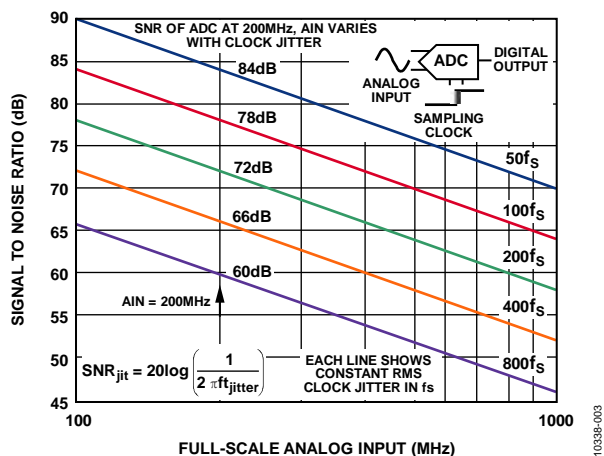


图3. 时钟抖动随模拟信号增大而提升信噪比

由抖动引起的信噪比和有效位数(ENOB)的关系由以下公式定义： $SNR = 6.02 N + 1.76 \text{ dB}$ ，其中N =有效位数。满量程100 MHz输入时，14位有效位数要求均方根抖动不超过0.125 ps或125 fs。该公式假定ADC具有无限分辨率，其中的唯一误差是由时钟抖动产生的噪声。

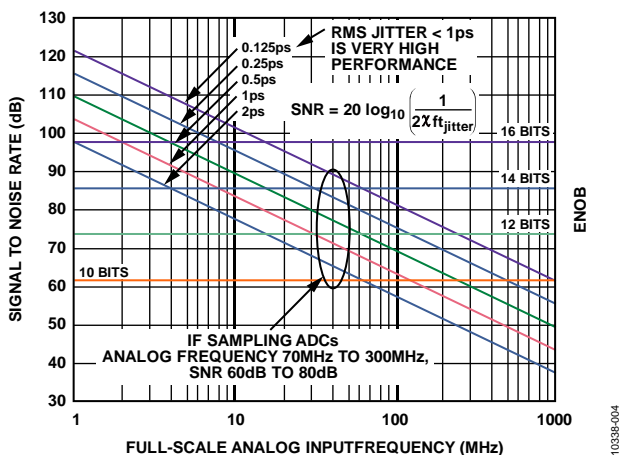


图4. 由抖动产生的理论信噪比和有效位数与满量程正弦波模拟输入频率的关系

压摆率影响

通过增加时钟边沿的压摆率，可以使电路减少裸露，从而降低噪声和抖动的影响。一方面，压摆率加快后，会增加电路设计的难度，可能引起电磁干扰(EMI)问题，还可能对其它电路造成干扰。注意，要精确测量压摆率，必须采

用具有极低输入电容的示波器。图5显示了增加压摆率时如何减少抖动，因为只有阈值范围内的噪声才会产生抖动。

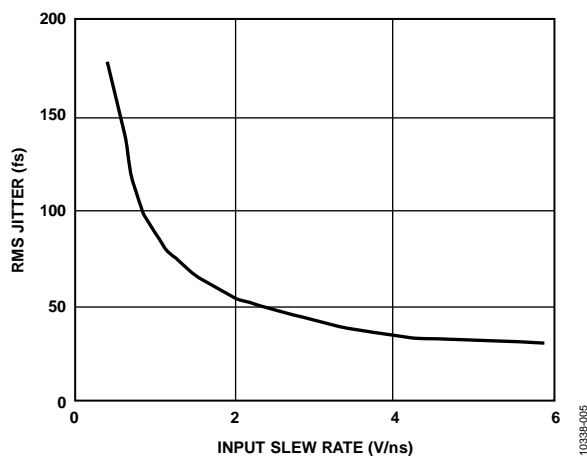


图5. 通过增加压摆率来减少抖动

频域图

近载波噪声出现在采样时钟中心频率和等于信号带宽一半的单边带(SSB)失调之间。宽带噪声的范围从单边带失调到 $1/2$ 时钟接收器带宽。

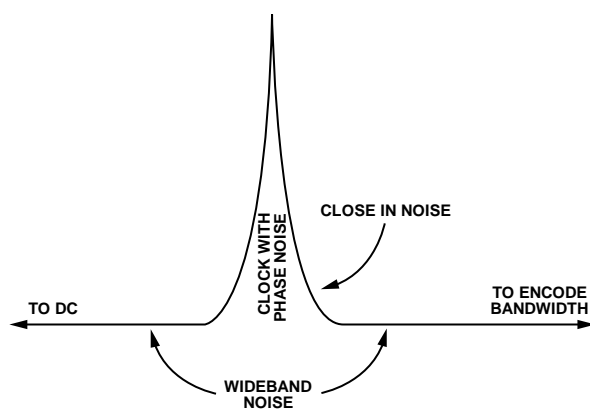


图6. 频域图

时间的乘法运算是在频域中进行卷积。因此，时钟上在频域上的任何“裙边”都会施加于数字信号。这会增加信号的EVM，降低整体性能。卷积到采样信号上的噪声量取决于模拟频率与采样频率的关系。

$$SampledOutput = ClockSignal + 20 \log \left(\frac{f_{signal}}{f_{clock}} \right)$$

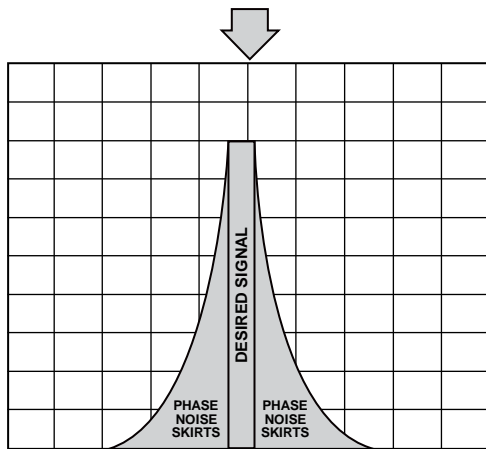
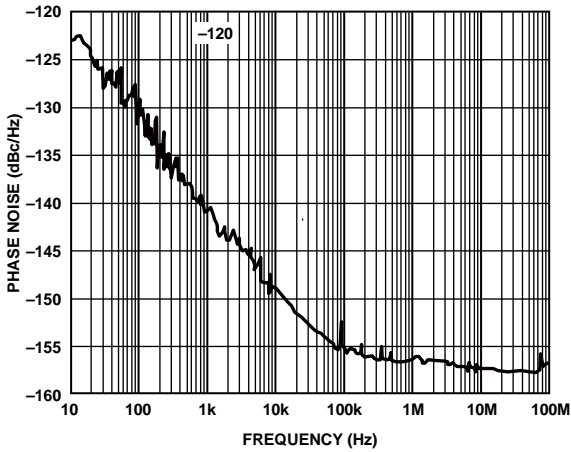


图7. 卷积到采样信号上的噪声取决于模拟频率和采样频率的关系

相位域图

相位噪声由每个时钟周期之间的时间变化引起。最终结果是时钟信号在基波频率周围变化。这一频率范围变化会降低ADC的信噪比。

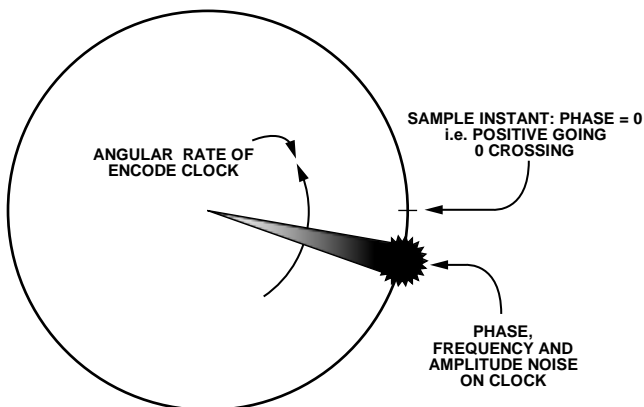


图8. 抖动的相位域图

下图所示的例子中，-66 dBc的杂散增加到78 MHz时钟上，用来将ADC采样控制在30.62 MHz模拟信号。

杂散为-74.1 dBc，按以下公式计算：

$$-66 + 20 \log\left(\frac{30.62}{78}\right) = -74.1 \text{ dBc}$$

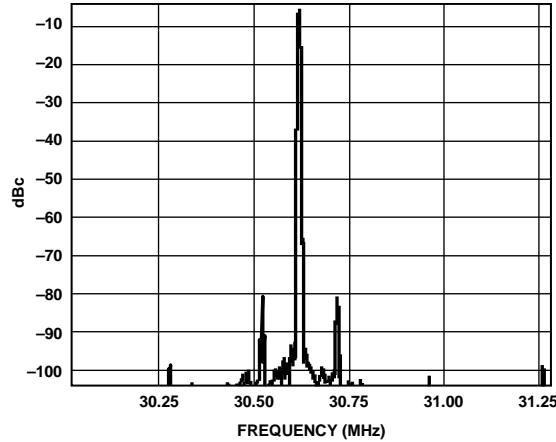


图9. 使用噪声时钟采样时的30.62 MHz信号

时钟设计人员通常会提供一个相位噪声，但不提供抖动规格。相位噪声规格可以转换为抖动，首先确定时钟噪声，然后通过小角度计算将噪声与主时钟噪声成分进行比较。相位噪声功率通过计算图10中的灰色区域积分得出。

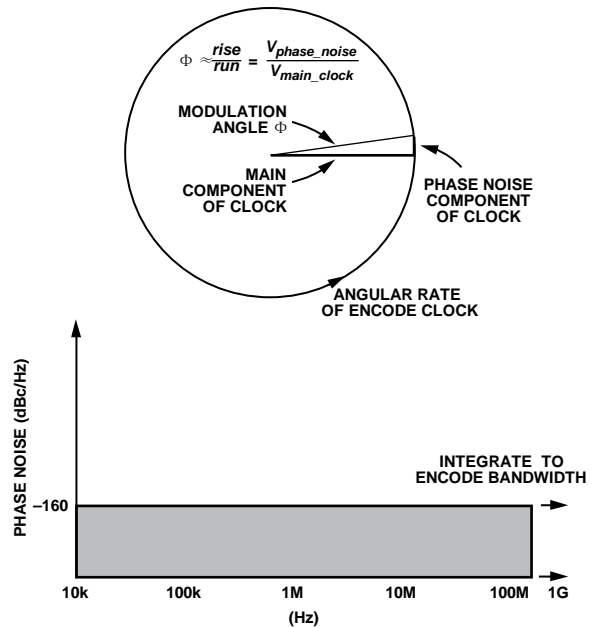


图10. 对编码带宽的近载波到时钟输出噪声进行积分计算

高度为-160 dBc，宽度为10 KHz至245.76 MHz。因此， $10 \times \log(245.76 \times 10^6 - 10 \times 10^3) = 83.9 \text{ dB}$ ， $-160 + 83.9 \text{ dB} = -76.1 \text{ dBc}$ ，得积分噪声。

$$P_{Noise} = -160 \text{ dBc/Hz} + 10 \log(245.76 \times 10^6 - 10.0 \times 10^3) = -76.1 \text{ dBc}$$

$$Jitter_{phase} \cong \sqrt{2 \times 10^{P_{Noise}/10}} = \sqrt{2 \times 10^{-76.1/10}} = 2.217 \times 10^{-4} \text{ radians for small angles}$$

$$Jitter = \frac{Jitter_{Phase}}{2\pi f_{Osc}} = \frac{2.217 \times 10^{-4}}{2\pi \times 245.76 \times 10^6} = .1435 \text{ pS}$$

载波的失调不同，噪声的斜率也不同。例如，A1区域通常为1/f噪声，而A4区域则视为宽带噪声。

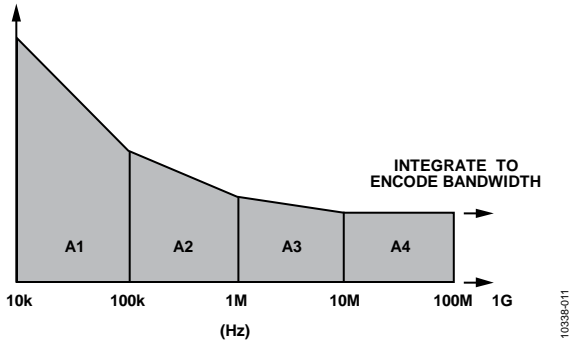


图11.在频率范围内的噪声变化情况

A = 面积 = 积分相位噪声功率(dBc)。

抖动可以通过对编码带宽的近载波到时钟输出的噪声进行积分计算确定。频率范围应分为较小的频带，然后相加得到总的结果。

$$A = 10 \log_{10} (A1 + A2 + A3 + A4)$$

$$\text{均方根相位抖动(弧度)} \sqrt{2 \times 10^{\frac{A}{10}}}$$

$$\text{均方根抖动(秒)} \approx \frac{\sqrt{2 \times 10^{\frac{A}{10}}}}{2\pi f_{Osc}}$$

f_{Osc} = 振荡器频率

10 k至100 k

$$(-133.5 + -141.6) = -137.5$$

$$2 + 10 \times \log(90 \text{ k}) = -87.9 \text{ dBc}$$

100 k至1 M

$$(-141.5 + -147.8) = -144.7$$

$$2 + 10 \times \log(900 \text{ k}) = -85.2 \text{ dBc}$$

10 M至40 M

$$(-161.7 + -162.5) = -162.1$$

$$2 + 10 \times \log(30 \text{ M}) = -87.3 \text{ dBc}$$

RSS

$$10^{(-87.9/10)} + 10^{(-85.2/10)} + 10^{(-87.3/10)} = -81.7 \text{ dBc}$$

$$P_{Noise} = -81.7 \text{ dBc}$$

$$Jitter_{phase} \cong \sqrt{2 \times 10^{P_{Noise}/10}} = \sqrt{2 \times 10^{-81.7/10}} = 1.163 \times 10^{-4} \text{ radians}$$

针对小角度

$$Jitter = \frac{Jitter_{Phase}}{2\pi f_{Osc}} = \frac{1.163 \times 10^{-4}}{2\pi \times 12288 \times 10^6} = .151 \text{ fS}$$

计算值接近于158 fS的测量值。

时钟转换器解决方案

可以使用锁相环(PLL)将参考时钟输出锁定至所需频率。图12所示的参考时钟在带宽约100 kHz时具有高噪声。绿色和两条蓝色线是AD9516时钟发生器中的噪声源。红色线是外部基准电压馈入AD9516的噪声。棕色线是AD9516的总噪声。该图表明，参考时钟不干净是造成噪声问题的原因。

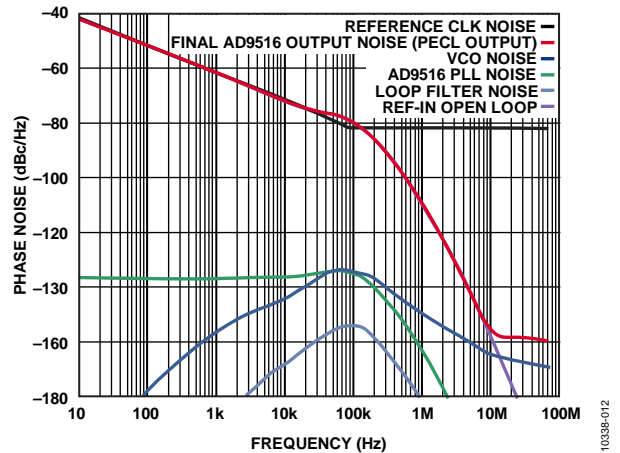


图12. 参考时钟不干净引起的抖动

本例中使用PLL对参考时钟输出进行滤波。PLL带宽设为30 Hz，还使用了高质量的VCXO。PLL可以从恢复后的系统时钟去除无用抖动，如图13所示。

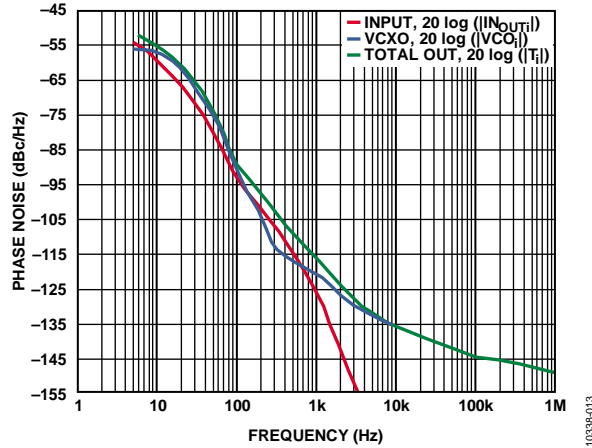


图13. 用PLL去除无用抖动

本例中采用ADF4002作为PLL来清理恢复后的输入参考时钟。然后使用AD9516时钟发生器来产生多个时钟。

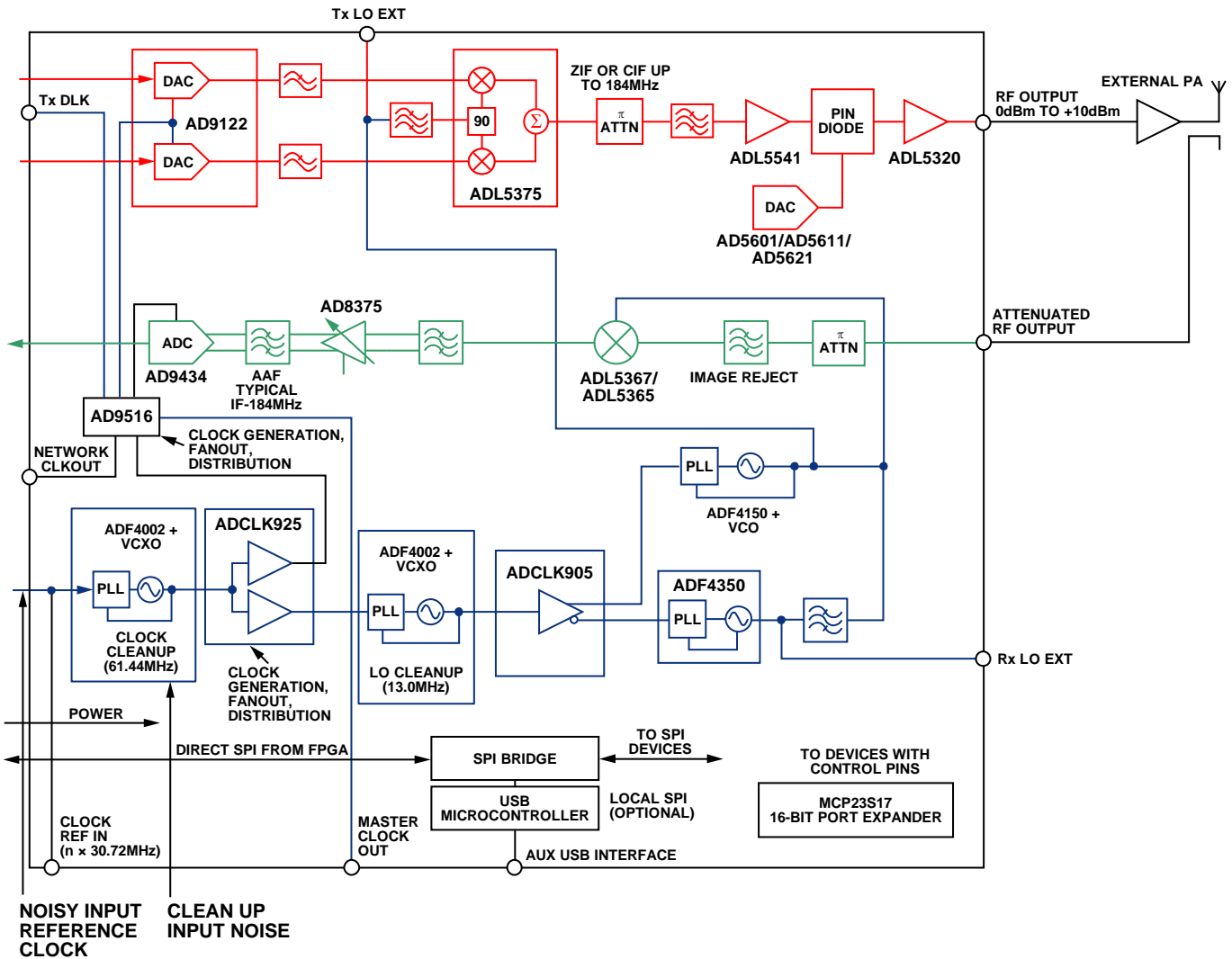


图14.

AD9523、AD9524和AD9523-1时钟发生器在单个器件内集成了抖动清除和时钟产生/分配功能。AD9524器件有7个输出，AD9523和AD9523-1则有15个输出。

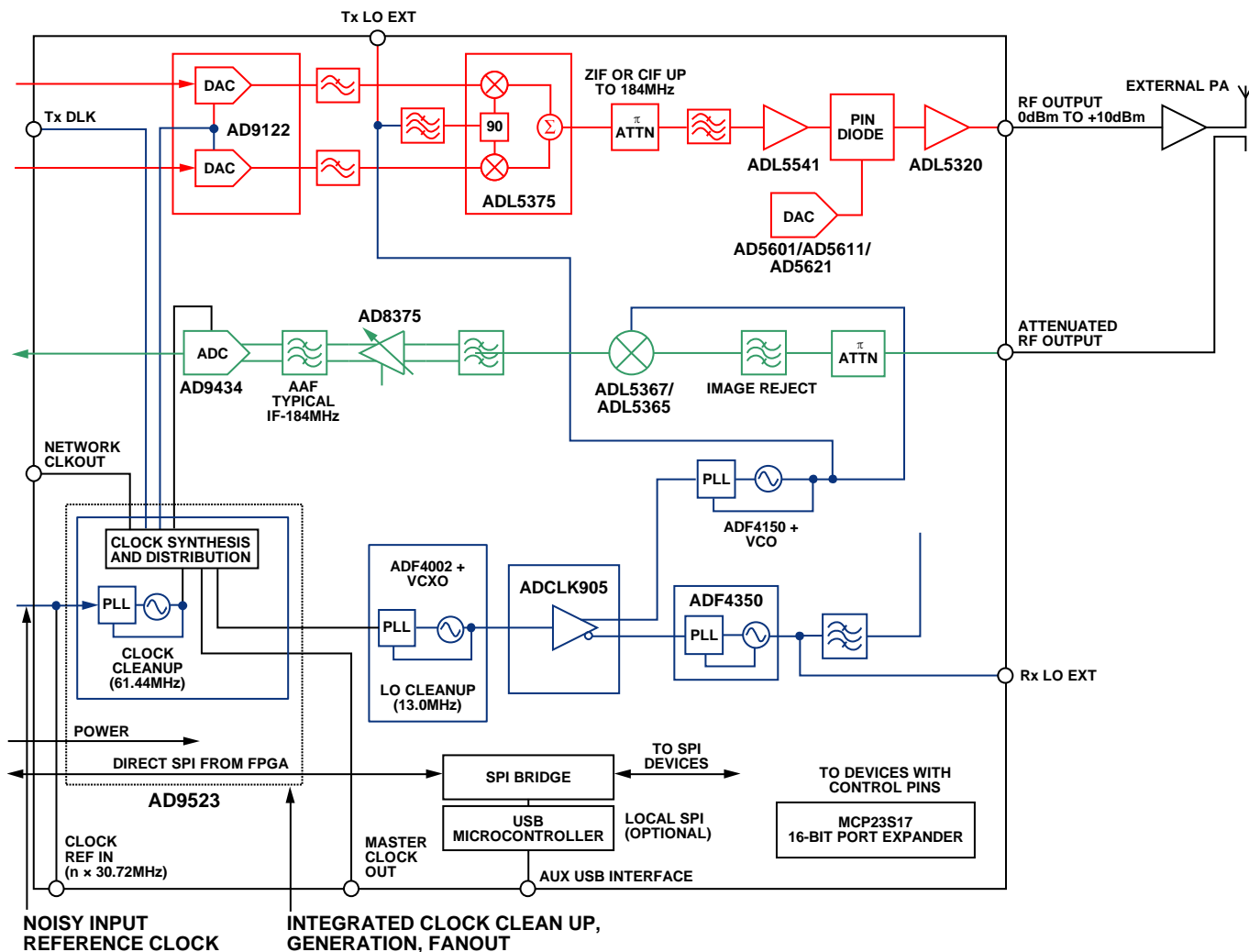


图15.

ADI公司AD9523、AD9524和AD9523-1的驱动器设计提供多模式输出，这意味着可以使用常见的100 Ω差分电阻，通过改变阻值来改变LVPECL、LVDS和HSTL信号格式。每一种信号格式都各有优缺点，如下表所示。所有的信号格式都有不同的电压摆幅。针对应用选择具有最佳摆幅的格式，但要记住，摆幅越低，功耗也越低。

10338-015

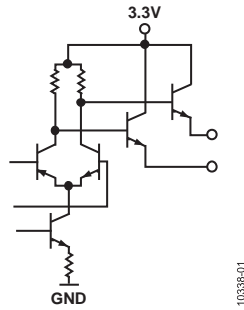


图16.

10338-01

表1. LVPECL信号格式的优缺点

优点	缺点
准差分 高压摆率 可接受近/远端 扇出功能 相对安静，不会轻易破坏其它信号	功耗高 需要双极性器件，CMOS工艺无法提供

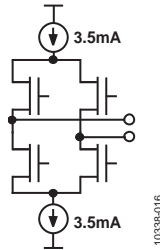


图17.

10338-016

表2. LVDS信号格式的优缺点

优点	缺点
真差分 某些版本可接受近/远端 安静，不会轻易破坏其它信号 接收器具有低功耗等级，噪声大于LVPECL	信号传输电压较低($\pm 0.4V$)，通常不会产生最高压摆 必须注意确保侵扰源信号同样耦合至差分LVDS线

表3. CML信号格式的优缺点

优点	缺点
真差分 高压摆率 特别适合要求 严苛的应用 安静	共模电压接近地或 V_{CC}