

锁相环(PLL)基本原理

锁相环基本结构

锁相环是一种反馈系统，其中电压控制振荡器(VCO)和相位比较器相互连接，使得振荡器可以相对于参考信号维持恒定的相位角度。锁相环可用来从固定的低频信号生成稳定的输出高频信号等。

图1A显示了PLL的基本模型。PLL可以借助拉普拉斯变换理论，利用正向增益项 $G(s)$ 和反馈项 $H(s)$ 来作为负反馈系统进行分析，如图1B所示。其适用负反馈系统的一般公式。

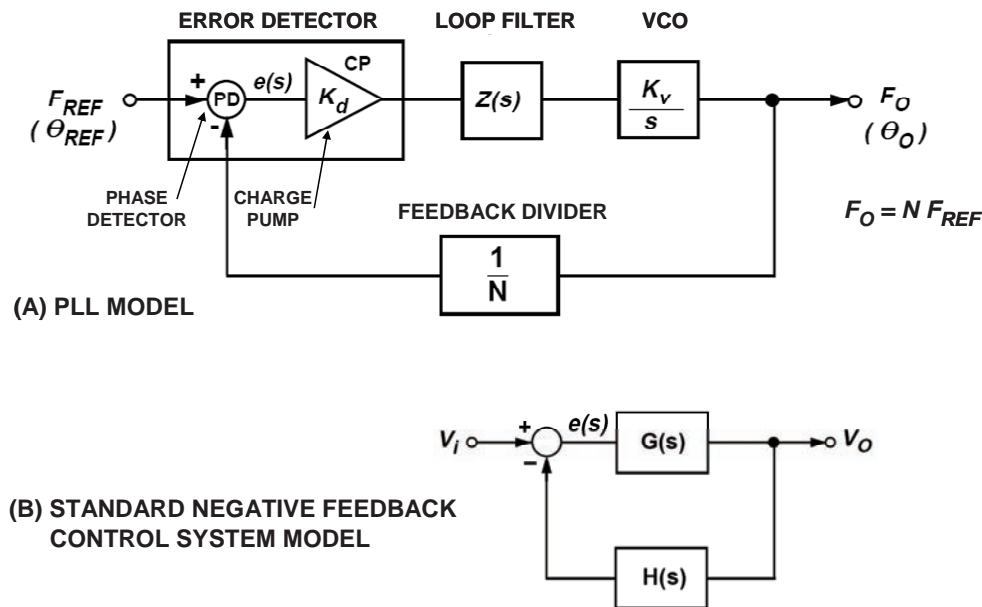


图1：锁相环(PLL)基本模型

PLL的基本模块为误差检波器(由鉴频鉴相器和电荷泵组成)、环路滤波器、VCO和反馈分频器。负反馈强制误差信号 $e(s)$ 在反馈分频器输出和基准频率处于锁相和锁频状态且 $F_o = N_{FREF}$ 的点处接近0。

根据图1，当系统使用PLL来生成高于输入的频率时，VCO会以角频率 ω_o 振荡。该信号的一部分会通过分频器以 $1/N$ 的比率回馈到误差检波器。这种经过分频的频率会馈入误差检波器的其中一个输入端。本例中，另一路输入为固定参考信号。误差检波器会比较两个输入端的信号。当这两个信号输入的相位和频率相等时，误差为常数，环路则处于“锁定”条件下。

鉴频鉴相器(PFD)

图2显示鉴频鉴相器(PFD)的常见实现方案，该类器件基本上都由两个D型触发器组成。一路Q输出使能正电流源，另一路Q输出则使能负电流源。假设本设计中D型触发器由正边沿触发，那么可能状态就如逻辑表中所示。

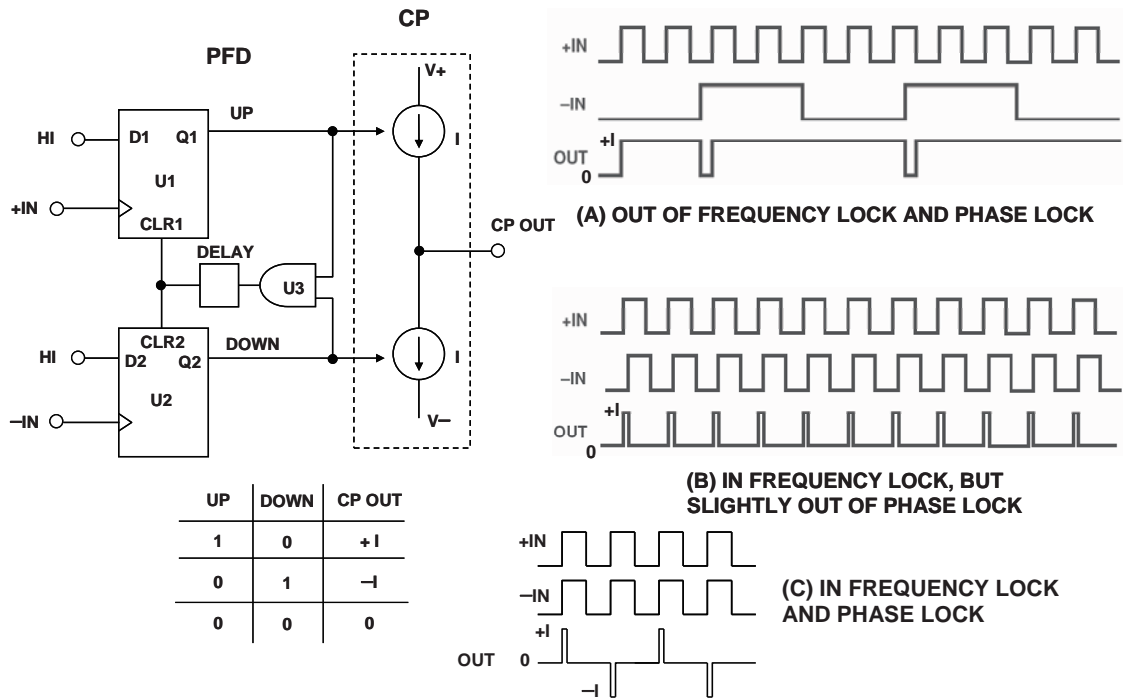


图2: 鉴频鉴相器(PFD)驱动电荷泵(CP)

现在考虑系统失锁且+IN处的频率远高于-IN处的频率时电路的性能表现，如图2A所示。由于+IN处的频率远高于-IN处的频率，因此UP输出多数时间处于高电平状态。+IN上的第一个上升沿会发送输出高电平，并且这种情况会一直持续到-IN上出现第一个上升沿。在实际的系统中，这就意味着输出及VCO的输入会被进一步拉高，进而造成-IN处的频率增加。这恰恰是期望达到的效果。如果+IN处的频率远低于-IN处的，则会出现相反效果。OUT处的输出多数时间处于低电平状况。这会在负方向上驱动VCO，并再次使得-IN处的频率更加接近+IN处的频率，从而达到锁定条件。

图2B显示了输入处于锁频和接近锁相条件时的波形。由于+IN领先于-IN，因此输出为一系列正电流脉冲。这些脉冲往往会驱动VCO，使得-IN信号变得与+IN信号相位对齐。发生这种情况时，如果U3和U1及U2的CLR输入端之间没有任何延迟元件，那么输出可能会进入高阻抗模式，从而既不会生成正电流脉冲，也不会生成负电流脉冲。这并不是一个很好的状况。

VCO会发生漂移，直到造成显著的相位误差并再次开始生成正电流脉冲或负电流脉冲。这种循环会持续相当长的一段时间，其影响是电荷泵的输出会被某个信号(PFD输入基准频率的次谐波)调制。由于这可能是一种低频信号，因此无法通过环路滤波器进行衰减，从而会导致VCO输出频谱中出现非常明显的杂散，该现象称为“间隙”或“死区”效应。

通过在U3的输出端和U1及U2的CLR输入端之间添加延迟元件，可以确保不会发生这种情况。添加延迟元件后，即使+IN和-IN相位完全对齐时，电荷泵输出端仍会生成电流脉冲，如图2C所示。该延迟的持续时间等于在U3输出端插入的延迟，称为反冲防回差脉冲宽度。

请注意，如果+IN频率小于-IN频率且/或+IN相位落后于-IN相位，那么电荷泵的输出将为一系列负电流脉冲，与图2中(A)和(B)所示条件相反。

预分频器

在传统的整数N分频频率合成器中，输出频率的分辨率由施加于鉴相器的基准频率决定。因此，举例来说，如果需要200 kHz间隔(如GSM电话中)，那么基准频率必须为200 kHz。但是，获取稳定的200 kHz频率源并不容易。一种合理的做法是采用基于晶振的良好高频源并对其进行分频。例如，从10 MHz频率基准开始并进行50分频，就可以得到所需的频率间隔。这种方法如图3A所示。

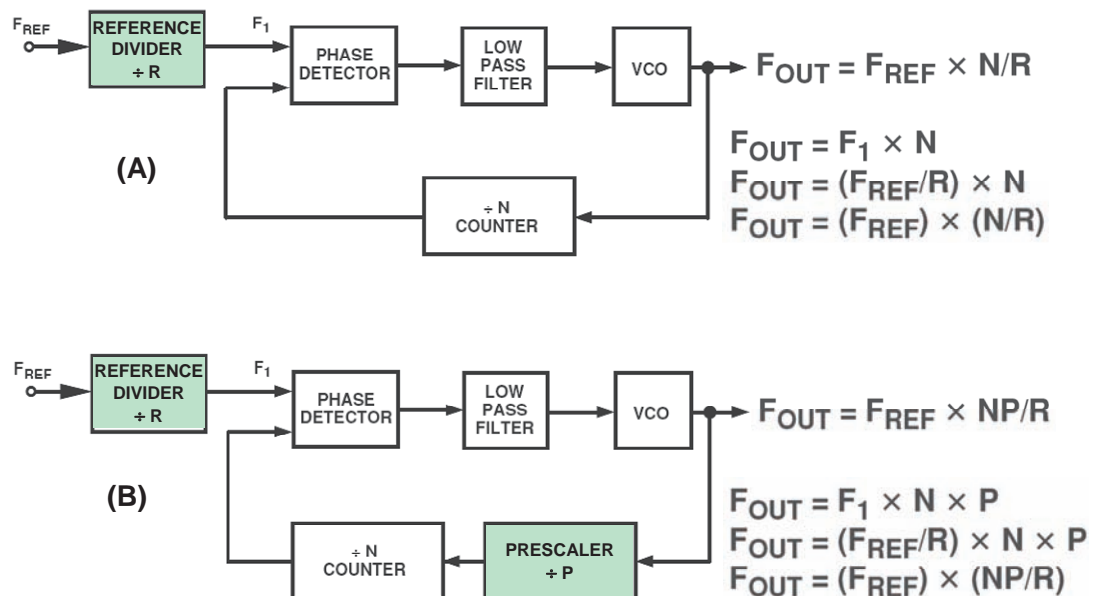


图3：向基本PLL中添加输入参考分频器和预分频器

“N计数器”也称为N分频器，是用于设置PLL中输入频率和输出频率之间关系的可编程元件。N计数器的复杂性逐年增长。除简单的N计数器之外，其发展为包括“预分频器”，后者可具有“双模”。这种结构已经发展成为下列情况下固有问题的一种解决方案：需要超高频输出时使用基本N分频结构来反馈至鉴相器。例如，我们假设需要一个具有10 Hz间隔的900 MHz输出。可以使用10 MHz基准频率并将R分频器设为1000。然后，反馈中的N值必须为90,000。这意味着，至少需要一个能够处理900 MHz输入频率的17位计数器。为处理此范围，需要考虑在可编程计数器之前加上一个固定计数器元件，以便将超高输入频率拉低至标准CMOS的工作频率范围内。这种计数器称为“预分频器”，如图3B所示。

不过，应注意使用图中所示的标准预分频器会将系统分辨率降至 $F_1 \times P$ 。该问题可以通过使用双模预分频器来解决；双模预分频器具有标准预分频器的各种优点，但不会造成分辨率损失。双模预分频器是一种可通过外部控制信号将分频比从一个值切换为另一个值的计数器，其用法如图4所示。

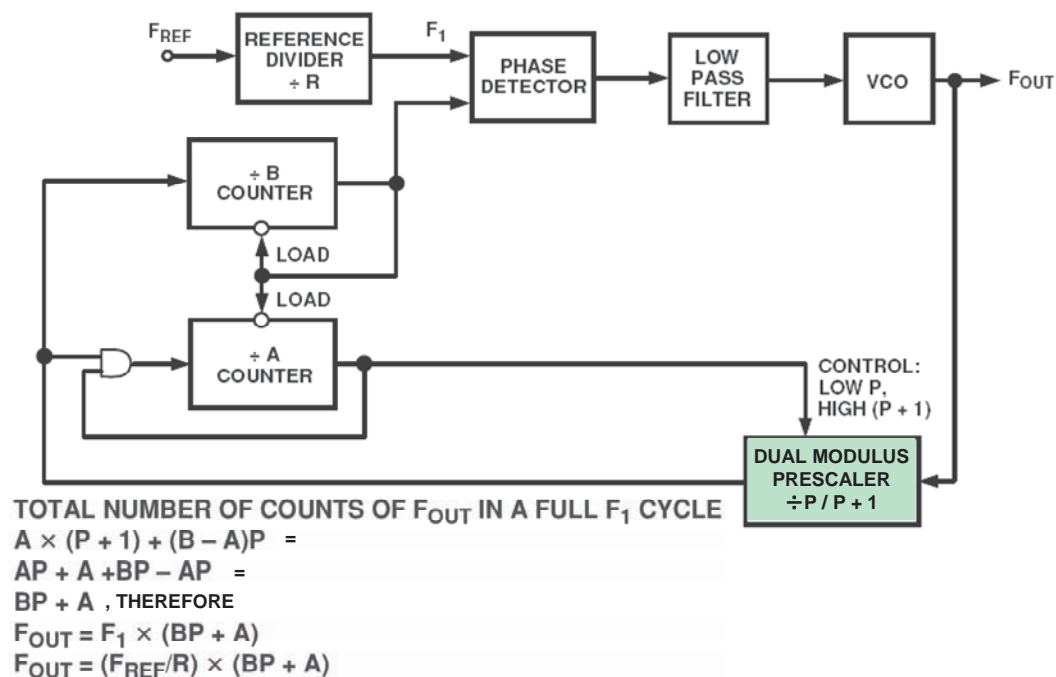


图4：向PLL中添加双模预分频器

通过使用带有A和B计数器的双模预分频器，仍可以保持 F_1 的分辨率。不过，必须满足下列条件：

1. 如果两个计数器未超时，其输出信号都为高电平。
2. 当B计数器超时，其输出变为低电平，并立即将两个计数器加载至其预设值。

3. 加载到B计数器的值必须始终大于加载到A计数器的值。

假设B计数器刚发生超时并且两个计数器均已经重新加载值A和B。我们来看看再次达到相同状态所需的VCO周期数。

只要A计数器未超时，预分频器即会以 $P + 1$ 进行分频。因此，每次预分频器计数达到 $(P + 1)$ 个VCO周期时，A和B计数器都会递减1。这意味着，A计数器会在 $((P + 1) \times A)$ 个VCO周期后超时。

然后，预分频器会切换至P分频。也可以说，此时B计数器还有 $(B - A)$ 个周期才会发生超时。所需时间为： $((B - A) \times P)$ 。

现在，系统会返回到刚开始的初始条件。

所需的VCO周期总数为：

$$\begin{aligned} N &= [A \times (P + 1)] + [(B - A) \times P] \\ &= AP + A + BP - AP \\ &= BP + A. \end{aligned}$$

因此， $F_{\text{OUT}} = (F_{\text{REF}}/R) \times (BP + A)$ ，如图4所示。

设计PLL时需要考虑很多规格。RF输入频率范围和通道间隔决定R和N计数器的值以及预分频器参数。

环路带宽决定锁频和锁相时间。由于PLL是一种负反馈系统，因此还必须考虑相位裕量和稳定性问题。

PLL输出的频谱纯度由相位噪声和基准相关杂散的水平给出。

这些参数中很多都是交互式的；例如，通过减小环路带宽值，可以降低相位噪声和基准杂散水平，但却会造成锁定时间延长和相位裕量减少。

由于涉及到很多考量，因此可以使用ADI公司的[ADIsimPLL™](#)等PLL设计程序来评估这些考量并根据所需规格调整各种参数。该程序不仅可以帮助完成理论设计，而且还可以辅助进行器件选型和确定元件值。

振荡器/PLL相位噪声

PLL是一种类型的振荡器，而在任何振荡器设计中，频率稳定性都至关重要。我们需要考虑长期和短期稳定性。长期频率稳定性是关于输出信号在较长时间(几小时、几天或几个月)内的变化情况。其通常以一定时间内的比率 $\Delta f/f$ 来规定，单位为百分比或dB。

短期稳定性则是关于几秒或更短时间内的变化情况。这些变化可能是随机的，也可能是周期性的。可以使用频谱分析仪来检查信号的短期稳定性。图5显示了一种典型频谱，其中随机和离散频率成分导致出现大范围的波裙和杂散波峰。

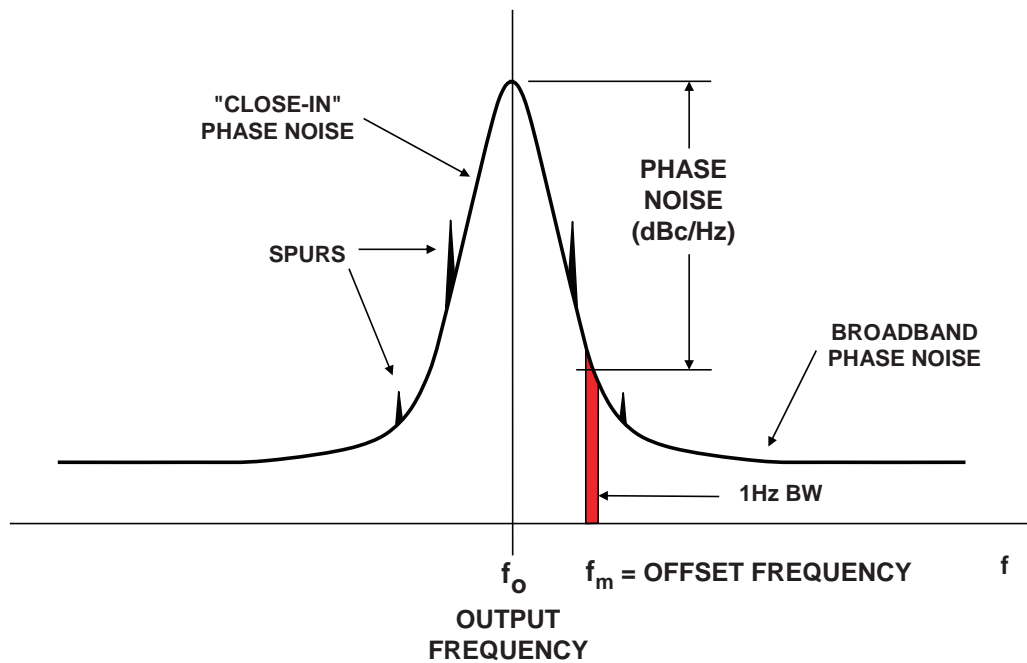


图5：振荡器相位噪声和杂散

信号源中的已知时钟频率、电力线干扰和混频器产品都可能引起离散杂散成分。随机噪声波动引起的扩张是相位噪声造成的。其可能是有源和无源器件中的热噪声、散粒噪声和/或闪烁噪声造成的。

振荡器的相位噪声频谱显示1 Hz带宽时噪声功率与频率成函数关系。相位噪声的定义为指定频率偏移 f_m 下1 Hz带宽时噪声与频率 f_0 下振荡器信号幅度的比率。

习惯的做法是以单边相位噪声来表征振荡器，如图6所示；图中绘制了相位噪声与频率偏移 f_m 的函数关系图，其中相位噪声单位为dBc/Hz且频率轴采用对数比例。请注意，实际曲线可以近似表示为数个区域，各区域的斜率为 $1/f^x$ ，其中 $x = 0$ 时对应于“白”相位噪声区域(斜率 = 0 dB/十倍频程)，而 $x = 1$ 时对应于“闪烁”相位噪声区域(斜率 = -20 dB/十倍频程)。此外还有 $x = 2, 3, 4$ 时的区域，且这些区域逐渐逼近载波频率。

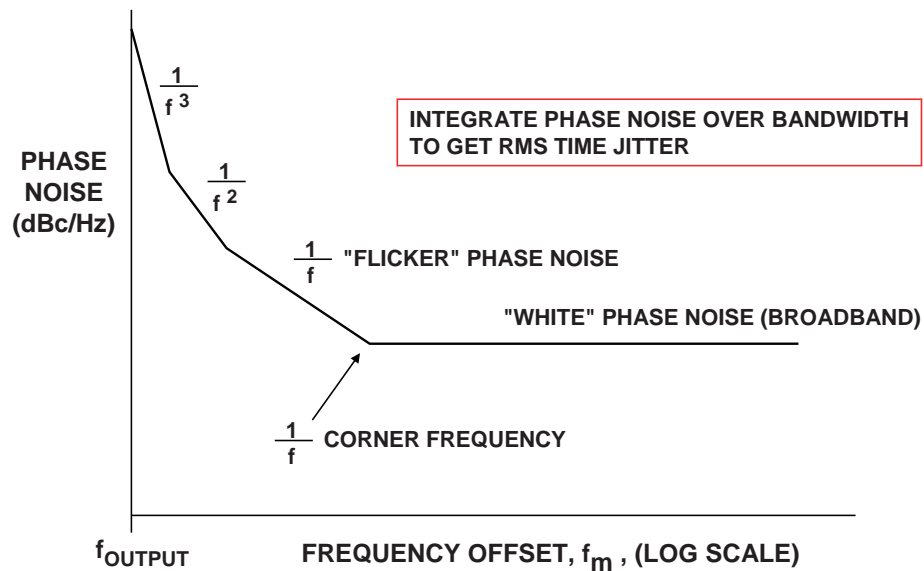


图6：相位噪声(单位为dBc/Hz)与相对于输出频率的频率偏移的关系

请注意，相位噪声曲线有些类似于放大器的输入电压噪声频谱密度。与放大器电压噪声一样，最好在振荡器中使用 $1/f$ 低转折频率。

在某些情况下，将相位噪声转换成时间抖动会很有用。这可以通过对所需频率范围内的相位噪声图进行基本积分处理来实现。(请参见[教程MT-008“将振荡器相位噪声转换为时间抖动”](#)。)使用PLL输出来驱动ADC采样时钟时，这种在相位噪声和时间抖动之间执行转换的能力特别有用。一旦时间抖动已知，就可以评估其对整体ADC SNR的影响。[ADIsim-PLL™](#)程序(稍后讨论)可以执行相位噪声和时间抖动之间的转换。

小数N分频锁相环

小数N分频PLL从上世纪七十年代开始就已投入使用。正如上文所述，整数N分频PLL的输出分辨率限制为PFD输入频率的步进(如图7A所示)，其中PFD输入为0.2 MHz。

小数N分频使PLL输出的分辨率可以降至PFD频率的一小部分(如图7B所示)，其中PFD输入频率为1 MHz。可以产生分辨率为数百Hz的输出频率，同时维持较高的PFD频率。因此，小数N分频的N值显著小于整数N分频的N值。

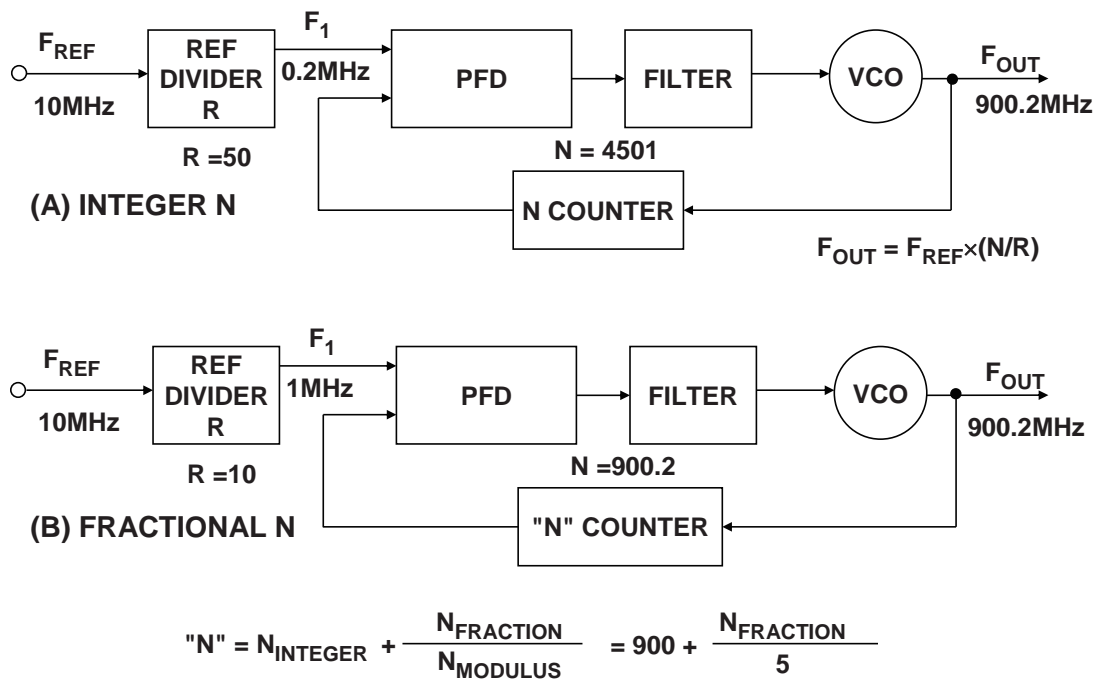


Figure 7: Integer-N Compared to Fractional-N Synthesizer

由于电荷泵处的噪声以 $20 \log N$ 的比率累加到输出上，因此相位噪声可以得到显著改善。对于GSM900系统，小数N分频[ADF4252](#)的相位噪声性能为 -103 dBc/Hz ；相比之下，整数N分频PLL [ADF4106](#)的相位噪声性能为 -93 dBc/Hz 。

小数N分频的另一个显著优势是可以改善锁定时间。当PFD频率设置为20 MHz、环路带宽为150 kHz时，频率合成器可以在不到30 μs 内跳跃30 MHz。目前的基站要求使用两个PLL模块，确保LO能满足传输的时序要求。利用小数-N分频的超快锁定时间，将来频率合成器的锁定时间特性将允许用一个小数-N分频PLL模块代替现行的两个“乒乓”式PLL。

小数N分频PLL的缺点是杂散水平较高。小数N分频900.2(见图7B)的组成是N分频器花80%的时间除以900，花20%的时间除以901。平均分频是正确的，但瞬时分频是错误的。因此，PFD和电荷泵会不断地试图校正瞬时相位误差。提供求平均值功能的 Σ - Δ 调制器会承受繁重的数字运算活动，从而在输出处产生杂散成分。数字噪声加上电荷泵的匹配不精确性，导致杂散水平高于大多数通信标准的容许水平。小数N分频器件只是在最近才对杂散性能进行了必要的改进，例如[ADF4252](#)，使设计人员得以考虑将其用于传统的整数-N分频市场。

使用ADIsimPLL™简化PLL设计

ADIsimPLL™软件是一个完整的PLL设计包，可从ADI公司网站下载。该软件具有用户友好的图形界面，并提供了完整而全面的指南供新手用户参考。

传统上，PLL频率合成器设计依靠发布的应用笔记来辅助设计PLL环路滤波器。因此，需要建立原型电路来确定锁定时间、相位噪声和基准杂散电平等重要性能参数。然后，在实验室内“调整”元件值并反复进行冗长测量来实现优化。

ADIsimPLL可以简化并改进传统的设计流程。设计人员首先从“全新PLL向导”开始构建PLL，方法是指定PLL的频率要求，选择整数N分频或小数N分频方案，然后从PLL芯片库(模型库或定制VCO)中选择并从多种拓扑结构选择环路滤波器。该程序可以设计环路滤波器并显示相位噪声、基准杂散、锁定时间以及锁定检测性能等关键参数。

ADIsimPLL其简单性和互动性如同使用电子表格。用户可以修改环路带宽、相位裕量、VCO灵敏度和元件值等全部设计参数，且仿真结果会实时更新。这使得用户可以轻松针对特定要求来优化设计。例如，通过改变带宽，用户可以实时观察权衡锁定时间和相位噪声，并具有基准测量精度。

ADIsimPLL包括精确的相位噪声模型，从而能可靠地预测频率合成器闭环相位噪声。用户报告仿真和测量之间具有出色的相关性。如果需要，设计人员可以直接在元件级别操作并观察改变个别元件值所产生的影响。

使用ADIsimPLL的基本设计流程归纳如下：

1. 选择基准频率、输出频率范围和通道间隔
2. 从列表中选择PLL芯片
3. 选择VCO
4. 选择环路滤波器配置
5. 选择环路滤波器带宽和相位裕量
6. 运行仿真
7. 评估时间和频域结果
8. 优化

ADIsimPLL适用于整数N分频或小数N分频PLL，但无法模拟小数N分频杂散。小数N分频器件的相位噪声预测假设器件在“最低相位噪声”模式下工作。

参考文献

1. Mike Curtin and Paul O'Brien, "Phase-Locked Loops for High-Frequency Receivers and Transmitters"
[Part 1, Analog Dialogue, 33-3, Analog Devices, 1999](#)
[Part 2, Analog Dialogue, 33-5, Analog Devices, 1999](#)
[Part 3, Analog Dialogue, 33-7, Analog Devices, 1999](#)
2. Roland E. Best, *Phase Locked Loops, 5th Edition*, McGraw-Hill, 2003, ISBN: 0071412018.
3. Floyd M. Gardner, *Phaselock Techniques, 2nd Edition*, John Wiley, 1979, ISBN: 0471042943.
4. Dean Banerjee, *PLL Performance, Simulation and Design, 3rd Edition*, Dean Banerjee Publications, 2003, ISBN: 0970820712 .
5. Bar-Giora Goldberg, *Digital Frequency Synthesis Demystified*, Newnes, 1999, ISBN: 1878707477.
6. Brendan Daly, "Comparing Integer-N and Fractional-N Synthesizers," *Microwaves and RF*, September 2001, pp. 210-215.
7. Adrian Fox, "[Ask The Applications Engineer-30 \(Discussion of PLLs\)](#)," *Analog Dialogue, 36-3, 2002*.
8. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.
9. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.
10. Walt Kester, "[Converting Oscillator Phase Noise to Time Jitter](#)," [Tutorial MT-008](#), Analog Devices
11. Design Tool: [ADIsimPLL](#), Analog Devices, Inc.
12. Analog Devices PLL Product Portfolio: <http://www.analog.com/pll>

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.