

高速电压反馈运算放大器

为了针对给定应用选择正确的高速运算放大器，需要了解各种运算放大器拓扑结构以及它们之间的权衡考虑。使用最为广泛的两种拓扑结构是电压反馈(VFB)和电流反馈(CFB)。以前的指南([MT-050](#)、[MT-051](#)、[MT-052](#))中已概要描述过这些拓扑结构，接下来，我们将更加详细地介绍这两种拓扑结构与频率相关的方面。

高速电压反馈(VFB)运算放大器拓扑结构

电压反馈(VFB)运算放大器的电路拓扑结构与电流反馈(CFB)运算放大器不同。VFB运算放大器无疑在低频应用中最受欢迎，但CFB运算放大器在高频下具有一定的优势。我们将在[指南MT-057](#)中详细讨论高速CFB运算放大器，这里先谈谈更加传统的VFB架构。

早期的IC电压反馈运算放大器基于“全NPN”工艺制成。这些工艺针对NPN晶体管而优化——“横向”PNP晶体的性能相对较弱。采用这种低质PNP的早期VFB运算放大器示例包括709、LM101和741。

横向PNP一般只用作电流源、电平转换器，或者其他非关键功能。下面的图1所示为基于这种工艺制成的一种典型VFB运算放大器的简化原理图。

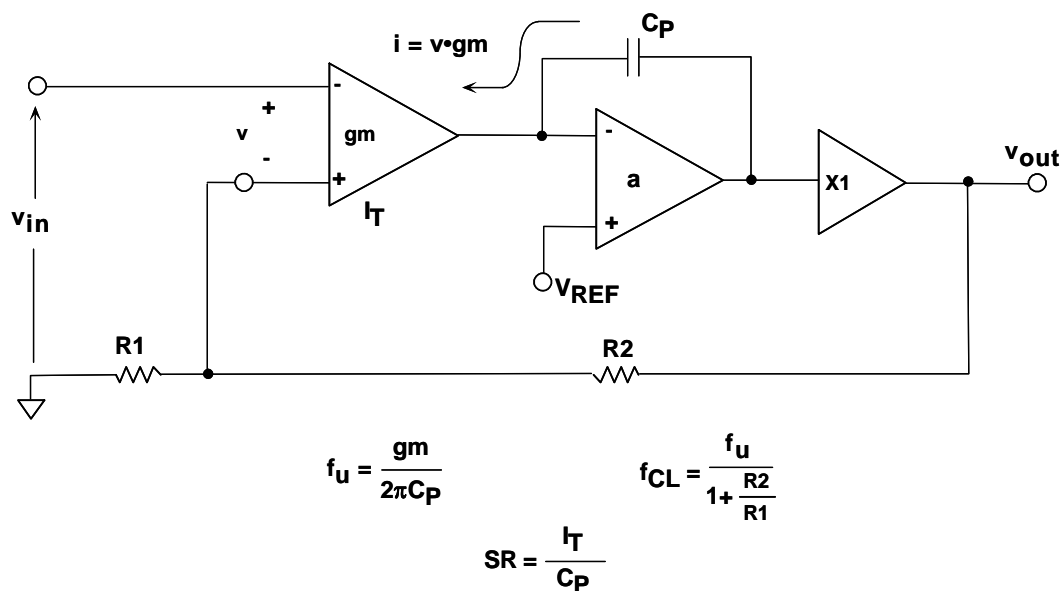


图1：基于“全NPN”IC工艺设计的电压反馈(VFB)运算放大器

输入级为一个差分对(有时称为长尾对),由双极性对(Q1, Q2)或FET对构成。该“ g_m ”(跨导)级将小信号差分输入电压 v 转换成一个电流 i ,其传递函数以电导率单位 $1/\Omega$ (或姆欧)测量。小信号发射极电阻 r_e 大约等于小信号 g_m 的倒数。

单个双极性晶体管的小信号 g_m 的计算公式来自以下等式:

$$g_m = \frac{1}{r_e} = \frac{q}{kT} (I_C) = \frac{q}{kT} \left(\frac{I_T}{2} \right), \text{ 或} \quad \text{等式1}$$

$$g_m \approx \left(\frac{1}{26\text{mV}} \right) \left(\frac{I_T}{2} \right) \quad \text{等式2}$$

其中, I_T 为差分对尾电流, I_C 为集电极静态偏置电流($I_C = I_T/2$), q 为电子电荷, k 为玻尔兹曼常数, T 为绝对温度。在 $+25^\circ\text{C}$ 下, $V_T = kT/q = 26 \text{ mV}$ (经常称为热电压 V_T)。

就如我们即将看到的那样,放大器单位增益带宽积 f_u 等于 $g_m/2\pi C_p$,其中,电容 C_p 用于设置主极点频率。为此,尾电流 I_T 与绝对温度成比例(PTAT)。该电流会跟踪 r_e 随温度的变化情况,从而使 g_m 不依赖于温度。使 C_p 在温度范围内保持不变是相对容易的。

g_m 级的Q2集电极输出驱动横向PNP晶体管的发射极(Q3)。需要注意的是, Q3并非用于放大信号,而是用来转换电平,即Q2集电极中的信号电流变化出现在Q3的集电极上。Q3的集电极电流会在高阻抗节点A上形成一个电压, C_p 设定放大器的主极点。发射极跟随器Q4提供低阻抗输出。

高阻抗节点A处的有效负载可通过与主极点电容 C_p 并联的电阻 R_T 表示。小信号输出电压 v_{out} 等于小信号电流 i 与 R_T 和 C_p 的并联阻抗之积。

下面的图2所示为单极放大器的简单模型以及对应的波特图。波特图是以对数-对数比例尺绘制的。

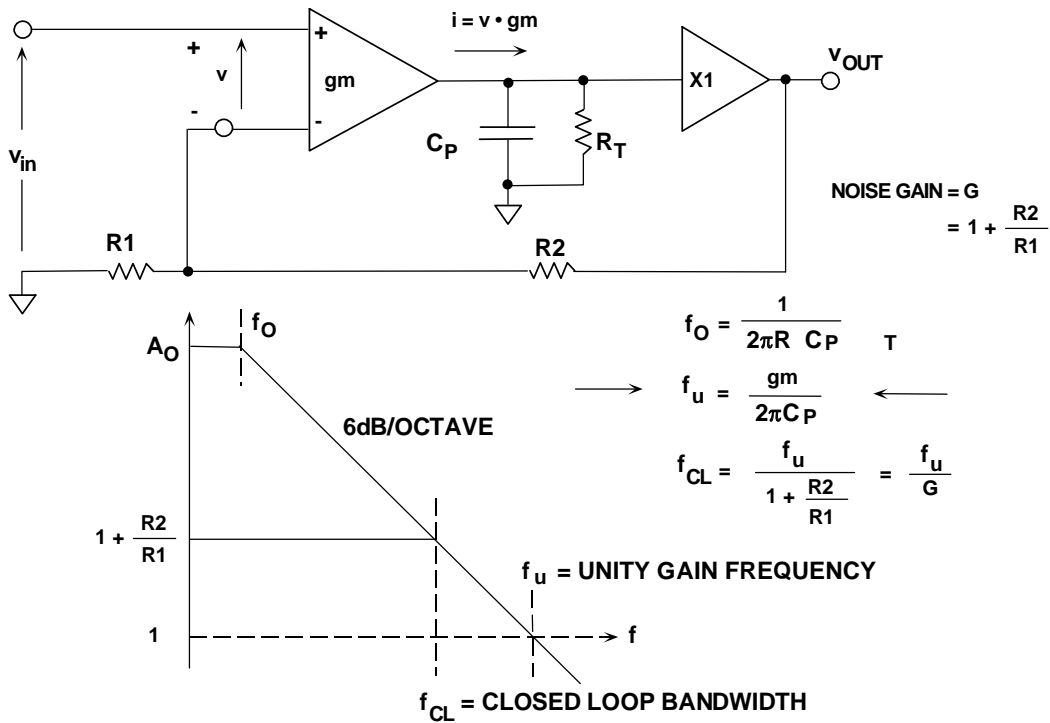


图2: VFB运算放大器的模型和波特图

低频断点 f_o 通过以下等式计算:

$$f_o = \frac{1}{2\pi R_T C_P} \quad \text{等式3}$$

注意, 高频响应完全取决于 g_m 和 C_p :

$$v_{out} = v \cdot \frac{g_m}{j\omega C_P} \quad \text{等式4}$$

单位增益带宽频率 f_u 发生于 $|v_{out}| = |v|$ 时。使 $\omega = 2\pi f_u$ 且 $|v_{out}| = |v|$, 等式4中的 f_u 可以求解。

$$f_u = \frac{g_m}{2\pi C_P} \quad \text{等式5}$$

我们可以使用反馈理论来推导电路信号输入电压 v_{in} 及其输出电压 v_{out} 之间的闭环关系:

$$\frac{v_{out}}{v_{in}} = \frac{1 + \frac{R2}{R1}}{1 + \frac{j\omega C_P}{g_m} \left(1 + \frac{R2}{R1}\right)}. \quad \text{等式6}$$

在运算放大器3 dB闭环带宽频率 f_{cl} 下，以下等式成立：

$$\frac{2\pi f_{cl} C_P}{g_m} \left(1 + \frac{R2}{R1}\right) = 1, \text{ 因此有} \quad \text{等式7}$$

$$f_{cl} = \frac{g_m}{2\pi C_P} \left(\frac{1}{1 + \frac{R2}{R1}} \right), \text{ 或} \quad \text{等式8}$$

$$f_{cl} = \frac{f_u}{1 + \frac{R2}{R1}}. \quad \text{等式9}$$

这显示了VFB运算放大器的基本属性：闭环带宽与闭环增益之积是一个常数，即VFB运算放大器在多数可用频率范围内将展现一个恒定不变的增益带宽积。

如前所述，有些VFB运算放大器(称为非完全补偿)在单位增益下并不稳定，但根据设计，其工作时会有定量(较高)的闭环增益。然而，即使对这些运算放大器来说，增益带宽积在整个稳定区域内仍然是相对恒定不变的。

现在，我们考虑以下典型示例： $I_T = 100 \mu\text{A}$, $C_P = 2 \text{ pF}$ 。我们发现：

$$g_m = \frac{I_T/2}{V_T} = \frac{50\mu\text{A}}{26\text{mV}} = \frac{1}{520\Omega} \quad \text{等式10}$$

$$f_u = \frac{g_m}{2\pi C_P} = \frac{1}{2\pi(520)(2 \cdot 10^{-12})} = 153\text{MHz}. \quad \text{等式11}$$

现在，我们必须考虑电路中的大信号响应。压摆率SR就是总的可用充电电流 $I_T/2$ ，再除以主极点电容 C_P 。对于现在考虑的示例：

$$I = C \frac{dv}{dt}, \frac{dv}{dt} = \text{SR}, \text{SR} = \frac{I}{C} \quad \text{等式12}$$

$$SR = \frac{I_T / 2}{C_P} = \frac{50\mu A}{2pF} = 25V / \mu s. \quad \text{等式13}$$

现在，可以通过以下公式计算运算放大器的全功率带宽(FPBW):

$$FPBW = \frac{SR}{2\pi A} = \frac{25V / \mu s}{2\pi \cdot 1V} = 4MHz, \quad \text{等式14}$$

其中，A是输出信号的峰值幅度。如果假设存在2 V峰峰值输出正弦波(这无疑是高速应用的一个合理假设)，则可得到仅为4 MHz的FPBW，即使小信号单位增益带宽积为153 MHz! 对于2 V峰峰值输出正弦波，失真发生的频率远远低于实际FPBW频率。我们必须将SR提高约40倍，以使FPBW等于153 MHz。唯一方法是将输入差分对的尾电流 I_T 提高相同的倍数。这意味着，要实现160 MHz的FPBW，则需要4 mA的偏置电流。我们的假设是， C_p 为一个2 pF的固定值电容，根据设计，不能降低该值。下面的图3对这些计算进行了总结。

- ◆ Assume that $I_T = 100\mu A$, $C_p = 2pF$

$$g_m = \frac{I_c}{V_T} = \frac{50\mu A}{26mV} = \frac{1}{520\Omega}$$

$$f_u = \frac{g_m}{2\pi C_p} = 153MHz$$

- ◆ Slew Rate = SR =

BUT FOR 2V PEAK-PEAK OUTPUT ($A = 1V$)

$$FPBW = \frac{SR}{2\pi A} = 4MHz$$

- ◆ Must increase I_T to 4mA to get $FPBW = 160MHz!!$
- ◆ Reduce g_m by adding emitter degeneration resistors

图3: VFB运算放大器的带宽和压摆率计算

实际上，运算放大器的FPBW应该大约为最大输出频率的5至10倍，以取得可以接受的失真性能(典型值为55-80 dBc @ 5-20 MHz，但实际系统要求存在较大差异)。

但需要注意的是，提高尾电流会导致 g_m 按比例增加，从而使 f_u 也按比例增加。为了防止 f_u 的大幅增加而可能导致的不稳定性，可以插入电阻并使其与发射极Q1和Q2串联，从而降低 g_m (这种技术称为发射极衰减，同时能够使 g_m 传递函数线性化，从而减少失真)。

从分析可以看出，常规双极性电压反馈运算放大器的一个主要低效问题是，如果不按比例增加静态电流，则无法实现高压摆率(设 C_p 固定不变，且其合理最小值为2或3 pF)。

当然，这并不是说，运用这种架构设计的高速运算放大器存在缺陷，只是说目前有电路设计技术能以低得多的静态电流实现与之相当的性能。这在便携式电池供电设备中是非常重要的，因为，其中每毫瓦特的功耗都是至关重要的。

基于互补双极性工艺设计的VFB运算放大器

随着拥有高品质PNP和NPN晶体管的互补双极性(CB)工艺的出现，如图4简化原理图所示VFB运算放大器配置逐渐流行起来。

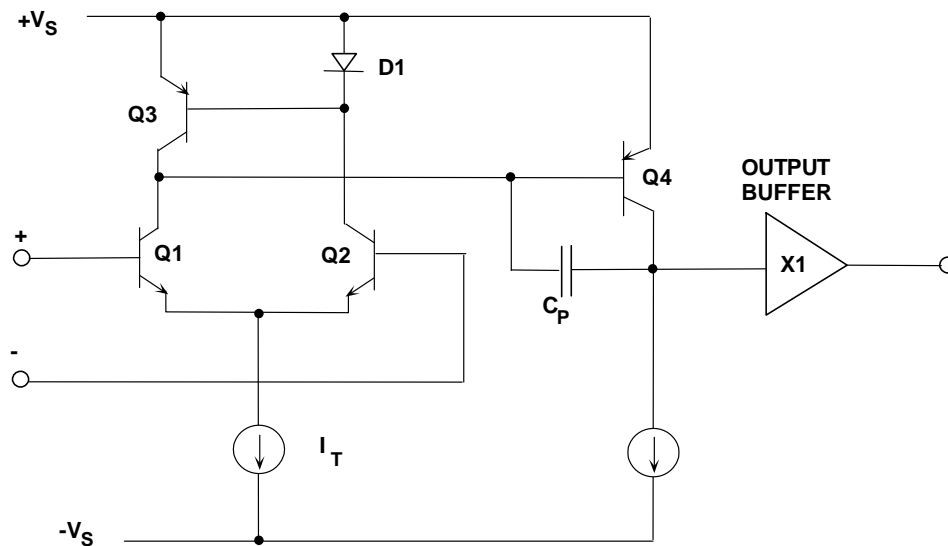


图4：采用两个增益级的VFB运算放大器

请注意，输入差分对(Q1, Q2)由一个电流镜(Q3和D1)加载。为简化起见，我们把D1表示为一个二极管，但它实际上是一个以二极管连接的PNP晶体管(与Q3匹配)，其基极和集电极是相连的。本节后面部分的许多电路图都会使用这种简化图示。共用发射极晶体管Q4提供第二电压增益级。

由于PNP晶体管是以互补双极性工艺制成的，因此，其质量非常出色，并与NPN相匹配，因而适用于电压增益。图4中放大器的主极点由 C_p 设定，增益级Q4与局部反馈电容 C_p 的组合通常称为密勒积分器。单位增益输出缓冲器通常是一个互补发射极跟随器。

下面的图5所示为该双级VFB运算放大器的一个模型。请注意，单位增益带宽频率 f_u 仍然取决于输入级 g_m 和主极点电容 C_p 。第二增益级会提高直流开环增益，但最大压摆率仍然受到输入级尾电流的限制： $SR = I_T/C_p$ 。

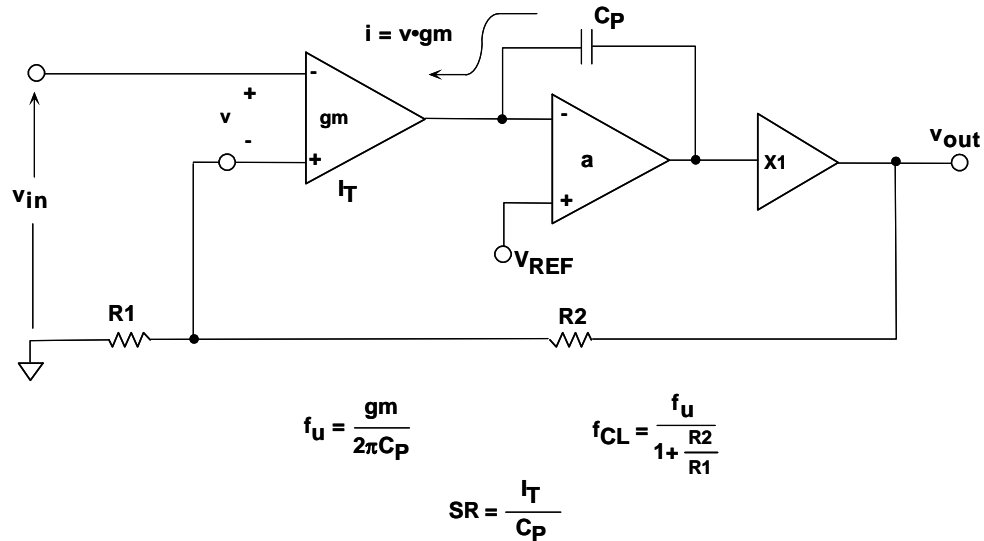


图5：双级VFB运算放大器模型

诸如此类双级放大器拓扑结构被IC工业广泛应用于VFB运算放大器之中，精密和高速放大器均是如此。

另一种流行的VFB运算放大器架构是折叠式共源共栅，如图6所示。有一个行业标准视频放大器系列([AD847](#))即是以这种架构为基础的。该电路同时利用了基于CB工艺的快速PNP。Q1和Q2集电极中的差分信号电流馈入PNP共源共栅晶体管对的发射极中(术语折叠式共源共栅即源于此)。Q3和Q4集电极以电流镜D1和Q5加载，电压增益则形成于Q4-Q5节点。这种单极架构在高阻抗节点采用结电容来实现补偿(C_{STRAY})。

一些变化设计将该节点引至一个外部引脚，从而可在需要时，增加额外的外部电容。

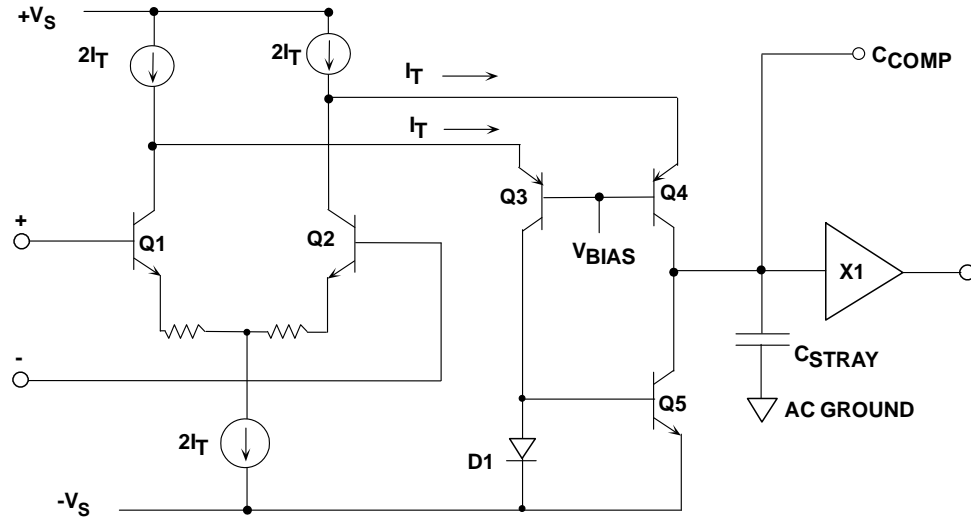


图6: [AD847](#)系列折叠式共源共栅晶体管的简化电路图

如果Q1和Q2中无发射极衰减电阻，且不采用额外的外部补偿电容，则该电路只能在高闭环增益下保持稳定。然而，该系列同时提供单位增益补偿版本，具有适量的发射极衰减。

基于CB工艺的JFET的上市，不但有助于实现低输入偏置电流，同时可以改善压摆率折衷，这种折衷是双极性输入级中 g_m 和 I_T 之间的无赖之举。图7所示为[AD845](#) 16 MHz运算放大器的简化原理图。JFET每mA尾电流的 g_m 比双极性晶体管要低得多。由于FET的 g_m 较低，因而可以增加输入尾电流(从而增加压摆率)，而无需增加 C_p 即可保持稳定。

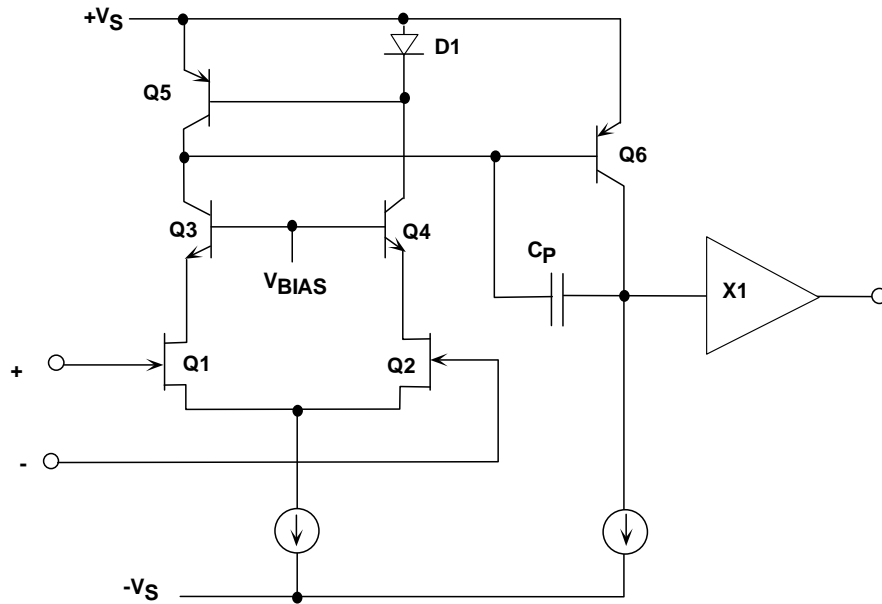


图7: [AD845](#) BiFET 16MHz运算放大器的简化电路图

JFET虽然看似性能不佳，但奇怪的是，这正是快速、高压摆率输入级所需要的特性。对于一个典型的JFET，双极性晶体管的 g_m 值约为 $I_s/1V$ (I_s 为源电流)，而不是 $I_c/26mV$ ，即FET g_m 约低40倍。如此，在JFET用作输入级时，对于给定 g_m ，可支持高得多尾电流(以及较高的压摆率)。

直到最近，运算放大器设计师还不得不在输入 g_m 级静态电流与压摆率和失真性能之间做出折衷。ADI公司的一种电路核心已获得专利，该核心可按需提供电流，以对主极点电容 C_p 进行充放电，同时支持小静态电流。额外的电流与快速摆动的输入信号成比例，并且会增加静态电流。基本核心单元的简化原理图如下面的图8所示。

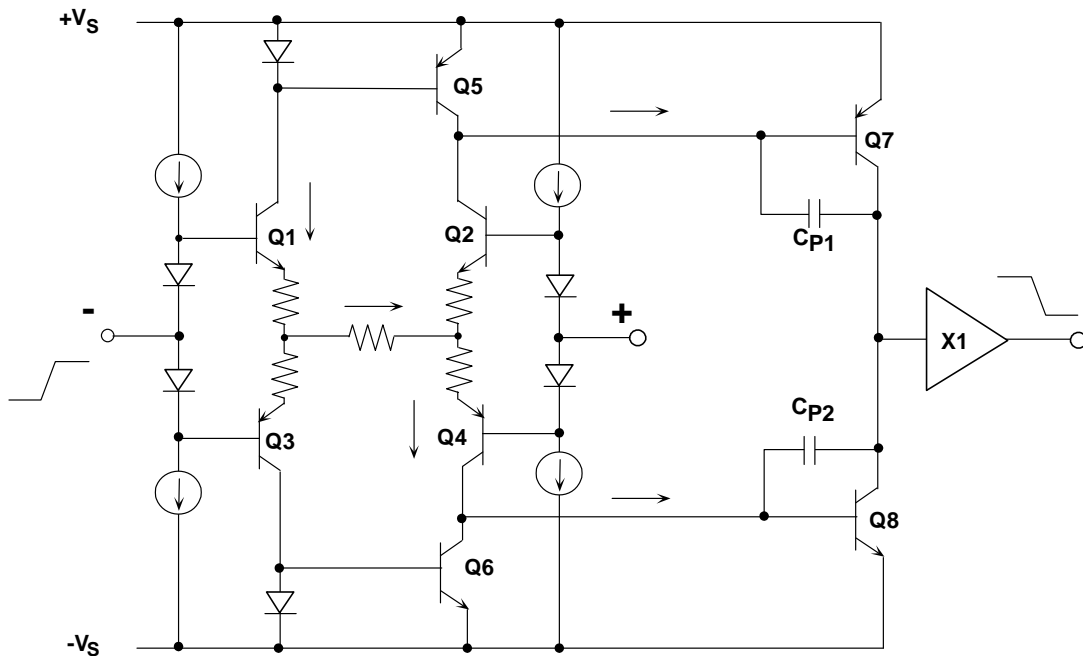


图8：支持按需电流的“四核”VFB g_m 级

四核(g_m 级)由晶体管Q1、Q2、Q3和Q4构成，其发射极相互连接，如图所示。现在考虑反相输入端上的一个正阶跃电压。该电压会在Q1中产生一个比例电流，后者由Q5映射至 C_{p1} 。通过Q1的电流也会流过Q4和 C_{p2} 。

在动态范围限值处，Q2和Q3会相应关闭。请注意， C_{p1} 和 C_{p2} 的充电和放电电流不受四核偏置电流的限制。但实际上，需要采用小型限流电阻，以形成一个“H”形的电阻网络，如图所示。Q7和Q8形成第二增益级(由Q5和Q6集电极差分驱动)，输出由一个单位增益互补发射极跟随器缓冲。

该四核配置已获得专利(参见参考文献1), 同时获得专利的有确立静态偏置电流的电路(图8中未显示)。“四核”也经常称为“H桥”核心。目前已发布采用这种专有配置的多种VFB运算放大器, 可在低静态电流水平下提供无与伦比的高频失真性能、带宽和压摆率。图9列出了采用这种架构的几种电压反馈运算放大器, 以便进行比较。

LISTED IN ORDER OF DECREASING SUPPLY CURRENT

| PART # | I_{SY} / AMP | BANDWIDTH | SLEWRATE |
|---------------|----------------|-----------|----------------|
| AD8045 (1) | 19mA | 1000MHz | 1350V/ μ s |
| ADA4899-1 (1) | 16.2mA | 600MHz | 310V/ μ s |
| AD8099 (1) | 16mA | 500MHz | 1600V/ μ s |
| AD8074 (3) | 10mA | 600MHz | 1600V/ μ s |
| AD8057 (1) | 7.5mA | 325MHz | 1150V/ μ s |
| AD8038 (1) | 1.5mA | 350MHz | 425V/ μ s |

Number in () indicates single, dual, triple, or quad

图9: 部分高速VFB运算放大器

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.