

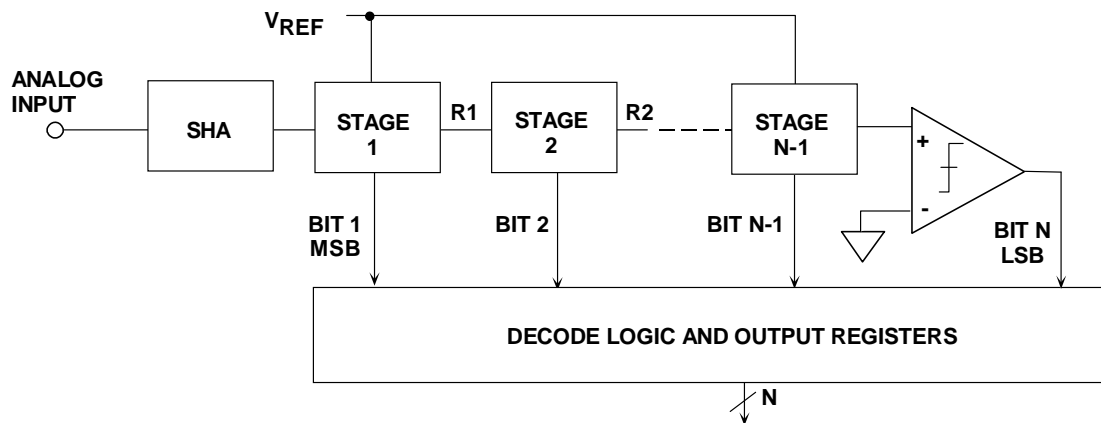
ADC架构VI：折叠型ADC

作者：Walt Kester

简介

“折叠”架构是各种串行或每级一位架构中的一种。有多种架构可以使用每位一级技术来执行模数转换，基本原理如图1所示。每级一位、无误差校正机制的多级流水线式分级ADC基本上就是一个每级一位转换器。实践中，此类流水线式转换器一般使用每级1.5位方法来提供误差校正功能(详见参考文献1)。

在每级一位ADC中，输入信号在整个转换周期中必须保持恒定。共有N级，每级都有一个“位”输出和一个“残余”输出。上一级的残余输出是下一级的输入。最后一位通过一个比较器检测，如图所示。



B. D. Smith, "An Unusual Electronic Analog-Digital Conversion Method,"
IRE Transactions on Instrumentation, June 1956, pp. 155-160.

图1：每级一位ADC的一般架构

每级一位架构可以与其它架构结合使用。例如，最后一级的残余输出可以通过一个Flash型转换器进一步数字化，从而提供更高的分辨率。

B. D. Smith于1956年发表的一篇文章是首次提到这种架构的文献之一(参考文献2)。但Smith指出，先前的工作已由R. P. Sallen在麻省理工学院完成(1949年论文)。Smith在文章中说明了实现模数转换所需的二进制和格雷(或折叠)传递函数。

二进制和折叠型每级一位(串行)ADC

图2所示为用于执行单个二进制位转换的基本级，它由一个2倍增益放大器、一个比较器和一个1位DAC(转换开关)组成。假设这是ADC的第一级。MSB就是输入的极性，通过比较器进行检测，比较器还控制1位DAC。1位DAC的输出与2倍增益放大器的输出相加，然后将由此产生的残余输出输入到下一级。为了更好地了解该电路的工作原理，图中显示了一个涵盖整个ADC范围($-V_R$ 至 $+V_R$)的线性斜坡输入电压的残余输出。注意，残余输出的极性决定了下一级的二进制位输出。

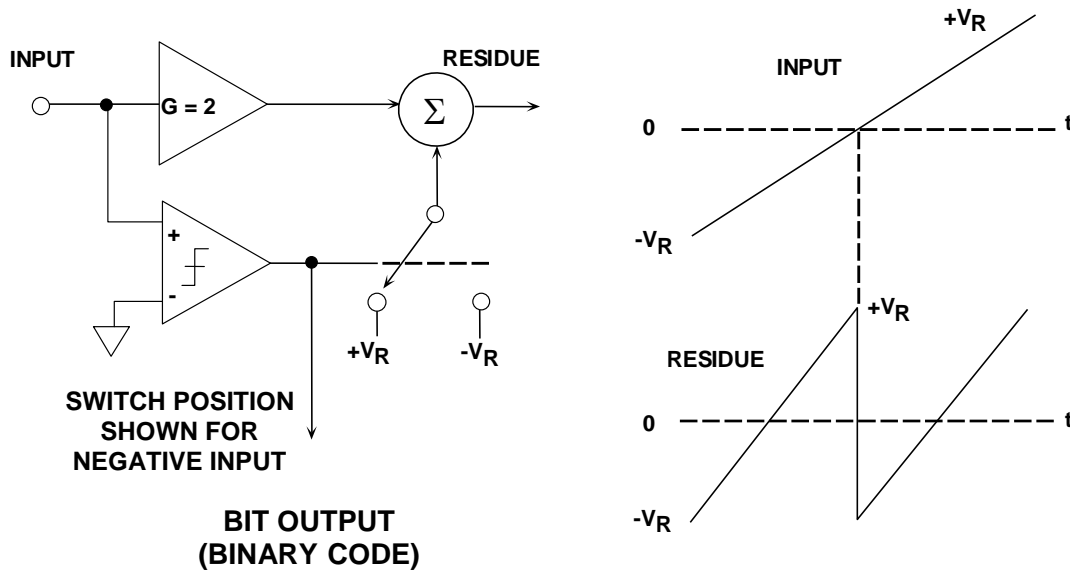


图2：二进制ADC的单级传递函数

图3所示为一个简化的3位串行二进制每级一位ADC，其残余输出如图4所示。同样，图中显示的是范围介于 $-V_R$ 和 $+V_R$ 之间的一个线性斜坡输入电压的情况。每个残余输出都有间断点，这些间断点对应于比较器改变状态并驱使DAC切换的点。这种架构的根本问题在于残余输出波形中的不连续性。为使这些瞬变穿过所有级并在最后一个比较器输入端建立，必须提供充足的建立时间。因此，这种架构不适合高速工作。然而，每级1.5位流水线式架构(见参考文献1)对高速应用的吸引力则大得多。

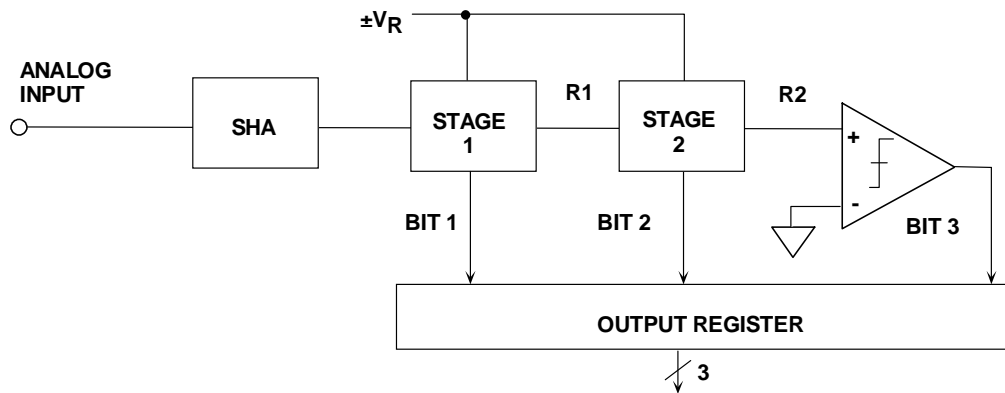


图3: 二进制输出的3位串行ADC

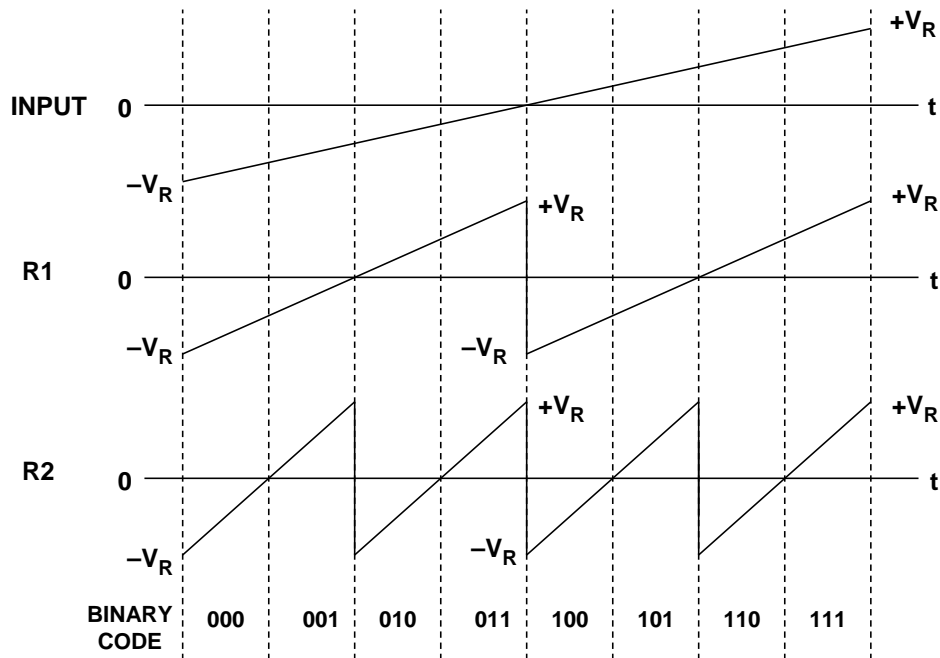


图4: 3位二进制纹波ADC的输入和残余波形

除二进制方法以外，B. D. Smith在论文中还描述了一种更理想的基于绝对值放大器(幅度放大器，或简称为MagAMPs™)的每级一位架构。这种方案常被称为串行格雷式(因为输出编码为格雷码)，或者根据其传递函数的形状而称为“折叠型”转换器。使用一个能够产生初始格雷码输出的传递函数来执行转换，可以最大程度地减少残余输出波形中的间断点，并且有望以远高于二进制方法的速度工作。

图5显示了基本折叠级的功能框图及其传递函数。假设折叠级的输入是范围介于 $-V_R$ 和 $+V_R$ 之间的一个线性斜坡电压。比较器检测输入信号的极性，并产生该级的格雷位输出。它还确定该级的总增益是+2还是-2。基准电压 V_R 与开关输出相加，产生的残余信号输入到下一级。残余信号的极性决定了下一级的格雷位。图5同时给出了折叠级的传递函数。

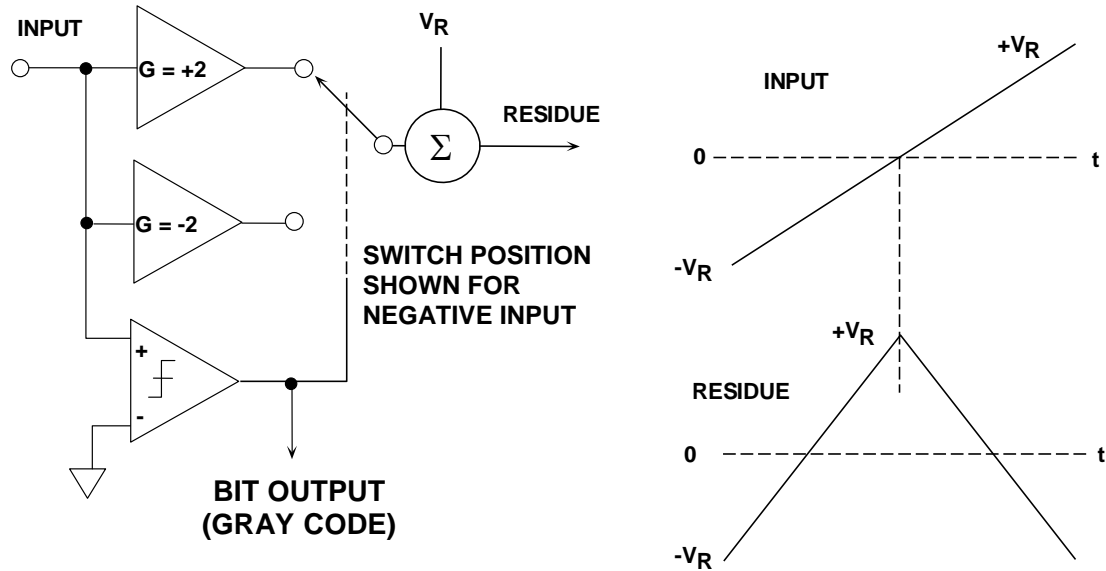


图5：折叠级功能等效电路

图6所示为一个3位MagAMP折叠型ADC，其对应的残余波形如图7所示。如同二进制每位ADC，上一级的残余输出信号的极性决定了下一级的格雷位的值。第一级的输入极性决定了格雷MSB，R1输出的极性决定了格雷位2，R2输出的极性决定了格雷位3。注意，与二进制纹波ADC不同，任何折叠级残余输出波形中都不存在突变，因此实现高速工作是切实可行的。

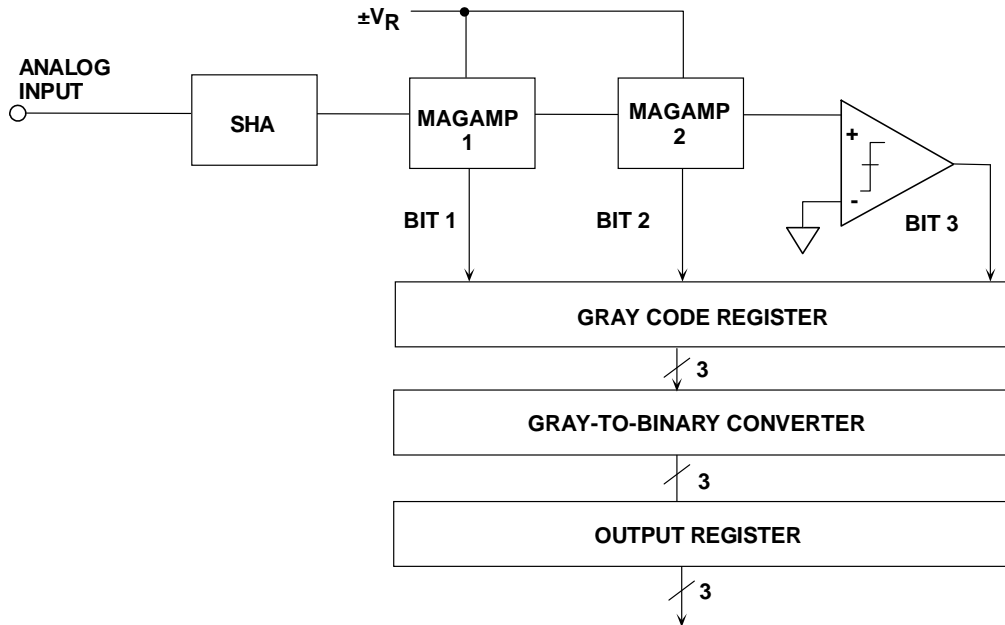


图6: 3位折叠型ADC框图

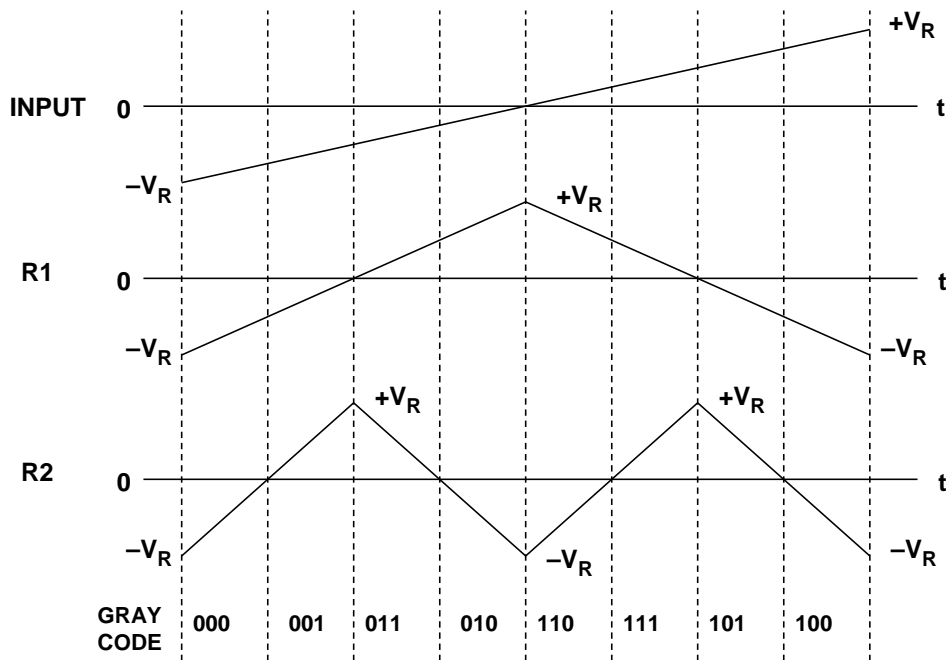
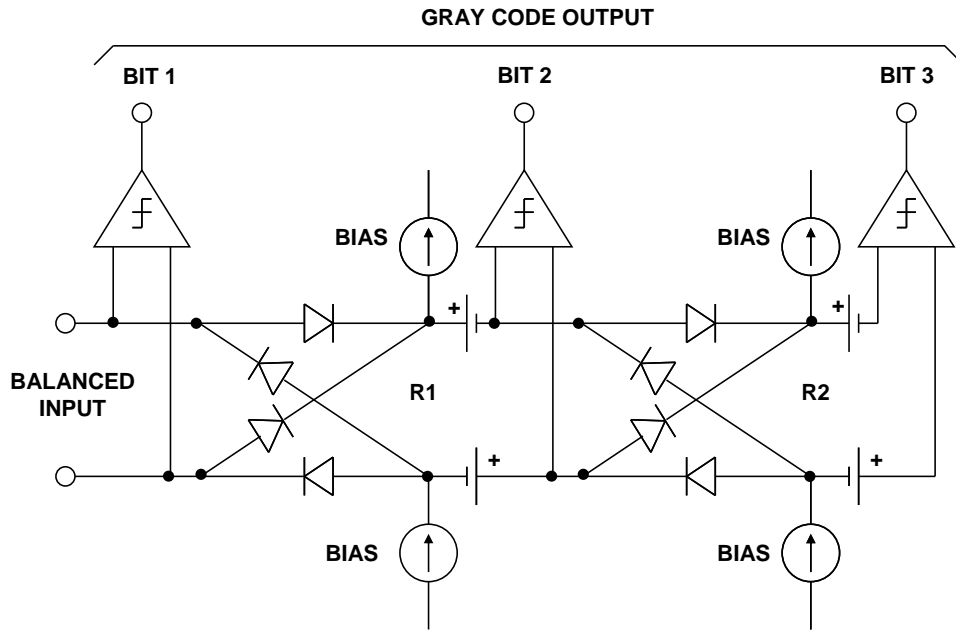


图7: 3位折叠型ADC的输入和残余波形

让这种架构以高速工作的关键在于折叠级。贝尔电话实验室的N. E. Chasek在1960申请的专利中(参考文献3)描述了一种利用巢式二极管桥产生折叠传递函数的电路。该电路利用固态器件, 但每级需要不同的基准电压(见图8)。当多级级联以形成更高分辨率的转换器时, Chasek的电路还会遭受裕量和增益损失, 如图9所示。为使折叠型ADC以高分辨率工作, 真正需要的是近乎理想的电压或电流整流。



Adapted from: N. E. Chasek, "Pulse Code Modulation Encoder,"
U.S. Patent 3,035,258, Filed November 14, 1960, Issued May 15, 1962

图8: 基于N. E. Chasek设计的3位折叠型ADC

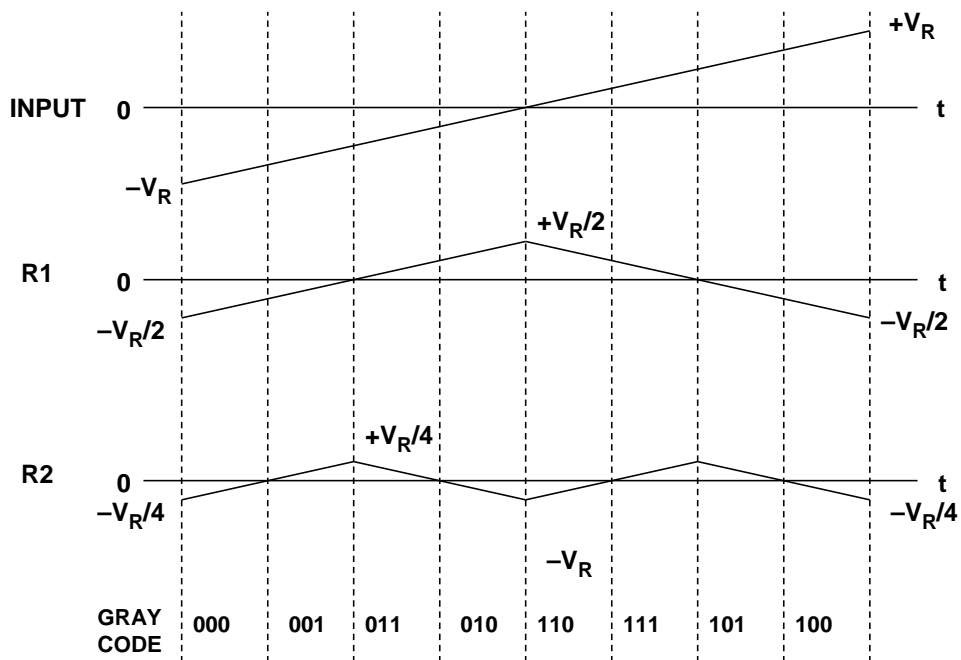
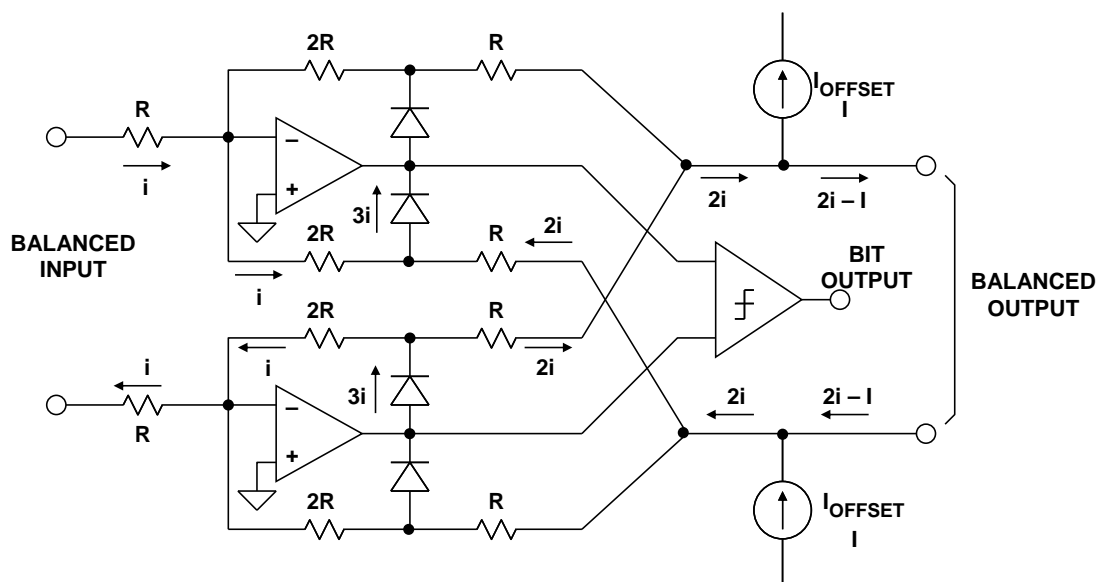


图9: Chasek折叠型ADC的单端波形

贝尔电话实验室的F. D. Waldhaur在1962年申请的著名专利(参考文献4)中解决了Chasek巢式二极管桥电路的问题。图10显示了Waldhaur用于实现折叠传递函数的完善方案，它使用固态运算放大器，反馈环路中含有二极管。2倍增益运算放大器允许各级使用相同的基准电压，并利用近乎完美的整流电路使各残余输出保持相同的信号电平。



Extracted from: F. D. Waldhauer, "Analog-to-digital Converter,"
U.S. Patent 3,187,325, Filed July 2, 1962, Issued June 1, 1965

图10：采用整流放大器的F. D. Waldhaur经典折叠级

J. O. Edson和H. H. Henning在1965年《贝尔系统技术杂志》的一篇文章中详细描述了此类ADC的工作原理和性能(参考文献5)。实验研究使用一个9位6 MSPS ADC，在224 Mbps PCM终端上进行。这些终端既要处理数据，又要处理语音信号。语音频带的目标是对整个600信道、2.4 MHz FDM频段进行数字化，因而要求的最低采样速率约为6 MSPS。

值得注意的是，实验终端还要处理视频，这就要求更高的采样速率(约为12 MSPS)。针对这一要求，需要使用贝尔实验室的最新(也是最后)一代电子束编码器(参见指南MT-020)才能满足ADC要求，因为基于Waldhaur申请专利的固态编码器在较高采样速率下精度不足。

第一款采用Waldhaur格雷码架构的商用ADC是Computer Labs, Inc.于1966年推出的8位10 MSPS的HS-810。该仪器全部采用分立晶体管电路(无集成电路)，安装在19"机架中(如图11所示)，用于早期实验性数字雷达接收机应用。这款8位10 MSPS转换器自带线性电源，功耗近150瓦，每台售价约为10,000美元。该公司还利用同样的技术生产了9位5 MSPS和10位3 MSPS产品。虽然Computer Labs的下一代设计利用了模块式运算放大器(Computer Labs OA-125和FS-125)，Fairchild μ A710/711比较器、以及7400 TTL逻辑等IC，但第一代ADC全部采用分立器件。

Computer Labs生产的这些早期高速ADC主要用于Raytheon、General Electric、MIT Lincoln Labs等公司的雷达接收机开发相关的研发项目。



19" RACK-MOUNTED, 150W, \$10,000.00

INSTALLATION OF 12 ADCs
IN EXPERIMENTAL DIGITAL
RADAR RECEIVER

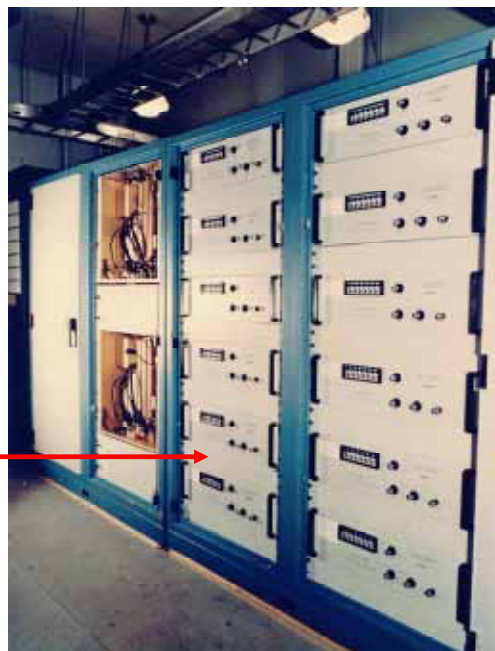


图11: Computer Labs, Inc.于1966年推出的8位10 MSPS ADC HS-810

在1970年代初，有些仪表和模块式ADC使用折叠格雷码架构，如HS-810等，但在1980年代，商用高速ADC主要使用Flash或误差校正分级架构。然而，在1970年代末和整个1980年代，随着IC工艺的进步，业界对折叠架构的兴趣不减，许多实验性设计出现在这一时期的各种杂志中(参考文献6至10)。

ADI公司于1980年代中期首先开发出高速完全互补双极性(CB)工艺；1994年，Frank Murden和Carl Moreland大幅改进了格雷码MagAMP™ ADC所用的电流舵架构，并申请了专利(参考文献11至15)。该技术首先应用于构建ADI公司于1995年推出的12位41-MSPS ADC [AD9042](#)的模块内核，其后的技术改进和更高速度CB工艺——XFCB的成功开发(参考文献16和17)，将内核技术扩展到14位：1999年推出14位65-MSPS ADC [AD6644](#)，2001年推出14位80 MSPS ADC [AD6645](#)，2003年推出AD6645的105 MSPS版本。虽然这些ADC使用误差校正流水线式分级架构，但内部构建模块核心ADC采用的是MagAMP™架构。

现代IC电路设计利用电流舵开环增益技术实现传递函数，以便能够更高速工作。全差分级（包括SHA）也能提供高速、低失真特性，并实现8位精度的折叠级，而无需使用薄膜电阻激光调整。

图12所示为一个全差分2倍增益MagAMP折叠级示例(见参考文献11、12、14)。差分输入信号施加于退化射极差分对Q1、Q2和比较器。差分输入电压被转换成差分电流，流入Q1、Q2的集电极。如果+IN大于-IN，则晶体管Q3、Q6导通，Q4、Q6断开。因此，差分信号电流通过Q3、Q6的集电极流入电平转换晶体管Q7、Q8和输出负载电阻，在+OUT与-OUT之间产生一个差分输出电压。该电路的整体差分电压增益为2。

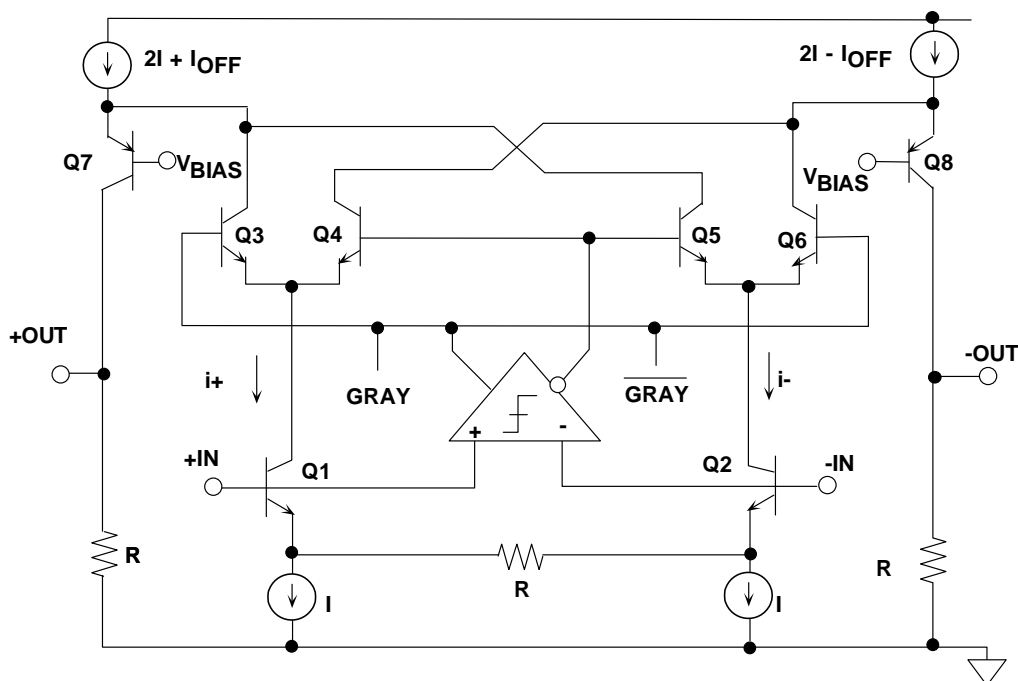


图12: 现代电流舵MagAMP™级

如果+IN小于-IN(负差分输入电压)，则比较器更改状态，Q4、Q5导通，Q3、Q6断开。差分信号电流从Q5流到Q7，从Q4流到Q8，从而在差分输出端保持与正差分输入电压相同的相对极性。所需的偏移电压通过如下方式产生：在Q7的射极电流中增加一个电流 I_{OFF} ，并且在Q8的射极电流中减去电流 I_{OFF} 。

该级的差分残余输出电压驱动下一级的输入，比较器输出代表该级的格雷码输出。

MagAMP架构的功耗更低，可以达到以前Flash型转换器的采样速率。例如，图13所示为1997年首次推出的8位200 MSPS ADC [AD9054A](#)，该器件采用高速互补双极性工艺制造，功耗为500 mW。前5位(格雷码)从5个差分MagAMP级产生。第五MagAMP级的差分残余输出驱动一个3位Flash型转换器，而不是单个比较器。

五个MagAMP的格雷码输出和3位Flash转换器的二进制码输出经过锁存，全部被转换成二进制格式，然后再次锁存于输出数据寄存器中。由于数据速率较高，该器件提供一个解复用输出选项。

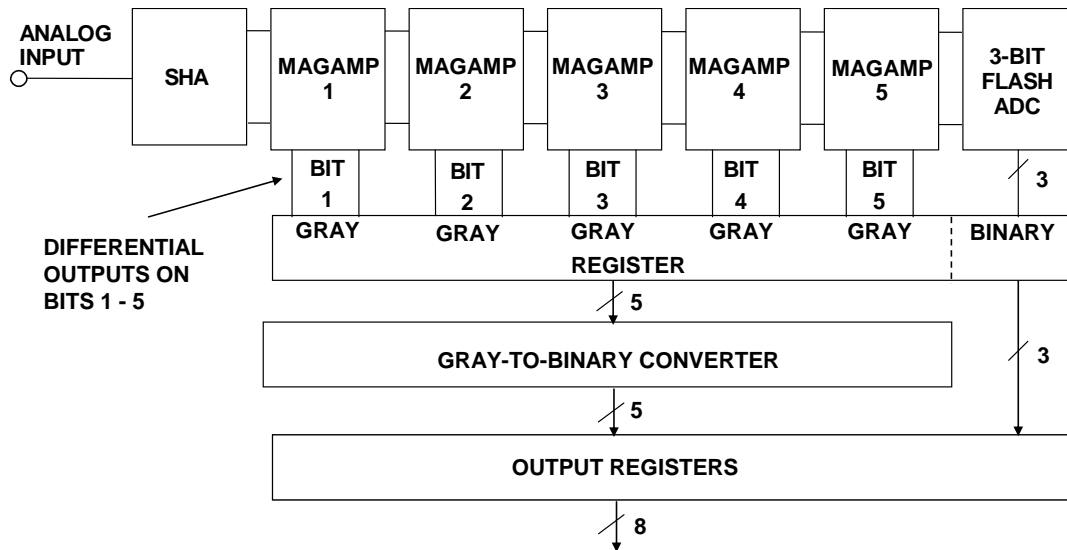


图13: 1997年推出的8位200 MSPS ADC [AD9054A](#)

8位高速领域的最新产品采用CMOS工艺和流水线式分级架构，例如8位250 MSPS [AD9480](#) (LVDS输出)和[AD9481](#)(解复用CMOS输出)，其功耗分别为700 mW和600 mW。

结束语

虽然Flash和流水线式分级架构最初用于贝尔实验室和Computer Labs于1960年代推出的开创性仪表ADC中，但它们目前已占据了高速ADC市场的主导地位。虽然有许多IC采用了折叠架构设计，但这种架构从未像流水线式分级ADC那样受到青睐。尽管如此，仍有必要知道这种架构的存在，因为将来随着IC工艺的发展，它可能会重新受到赏识。

参考文献

1. Walt Kester, [*Analog-Digital Conversion*](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3. Also available as [*The Data Conversion Handbook*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.
2. B. D. Smith, "An Unusual Electronic Analog-Digital Conversion Method," *IRE Transactions on Instrumentation*, June 1956, pp. 155-160. (possibly the first published description of the binary-coded and Gray-coded bit-per-stage ADC architectures. Smith mentions similar work partially covered in R. P. Sallen's 1949 thesis at M.I.T.).
3. N. E. Chasek, "Pulse Code Modulation Encoder," *U.S. Patent 3,035,258*, filed November 14, 1960, issued May 15, 1962. (an early patent showing a diode-based circuit for realizing the Gray code folding transfer function).
4. F. D. Waldhauer, "Analog-to-Digital Converter," *U.S. Patent 3,187,325*, filed July 2, 1962, issued June 1, 1965. (a classic patent using op amps with diode switches in the feedback loops to implement the Gray code folding transfer function).
5. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224Mb/s PCM Terminal," *Bell System Technical Journal*, Vol. 44, pp. 1887-1940, Nov. 1965. (a further description of a 9-bit ADC based on Waldhauer's folding stage).
6. Udo Fiedler and Dieter Seitzer, "A High-Speed 8 Bit A/D Converter Based on a Gray-Code Multiple Folding Circuit," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 3, June 1979, pp. 547-551. (an early monolithic folding ADC).
7. Rudy J. van de Plassche and Rob E. J. van de Grift, "A High-Speed 7 Bit A/D Converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 6, December 1979, pp. 938-943. (a monolithic folding ADC).
8. Rob. E. J. van de Grift and Rudy J. van de Plassche, "A Monolithic 8-bit Video A/D Converter," *IEEE Journal of Solid State Circuits*, Vol. SC-19, No. 3, June 1984, pp. 374-378. (a monolithic folding ADC).
9. Rob. E. J. van de Grift, Ivo W. J. M. Rutten and Martien van der Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Techniques," *IEEE Journal of Solid State Circuits*, Vol. SC-22, No. 6, December 1987, pp. 944-953. (another monolithic folding ADC).
10. Rudy van de Plassche, *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer Academic Publishers, 1994, pp. 148-187. (a good textbook on ADCs and DACs with a section on folding ADCs indicated by the referenced page numbers).
11. Carl Moreland, "An 8-bit 150 MSPS Serial ADC," *1995 ISSCC Digest of Technical Papers*, Vol. 38, p. 272. (a description of an 8-bit ADC with 5 folding stages followed by a 3-bit flash converter).
12. Carl Moreland, *An Analog-to-Digital Converter Using Serial-Ripple Architecture*, Masters' Thesis, Florida State University College of Engineering, Department of Electrical Engineering, 1995. (Moreland's early work on folding ADCs).
13. Frank Murden, "Analog to Digital Converter Using Complementary Differential Emitter Pairs," *U.S. Patent 5,550,492*, filed December 1, 1994, issued August 27, 1996. (a description of an ADC based on the MagAMP folding stage).
14. Carl W. Moreland, "Analog to Digital Converter Having a Magnitude Amplifier with an Improved Differential Input Amplifier," *U.S. Patent 5,554,943*, filed December 1, 1994, issued September 10, 1996. (a description of an 8-bit ADC with 5 folding stages followed by a 3-bit flash converter).

15. Frank Murden and Carl W. Moreland, "N-bit Analog-to-Digital Converter with N-1 Magnitude Amplifiers and N Comparators," *U.S. Patent 5,684,419*, filed December 1, 1994, issued November 4, 1997. (*another patent on the MagAMP folding architecture applied to an ADC*).
16. Carl Moreland, Frank Murden, Michael Elliott, Joe Young, Mike Hensley, and Russell Stop, "A 14-bit 100-Msample/s Subranging ADC," *IEEE Journal of Solid State Circuits*, Vol. 35, No. 12, December 2000, pp. 1791-1798. (*describes the architecture used in the 14-bit AD6645 ADC*).
17. Frank Murden and Michael R. Elliott, "Linearizing Structures and Methods for Adjustable-Gain Folding Amplifiers," *U.S. Patent 6,172,636B1*, filed July 13, 1999, issued January 9, 2001. (*describes methods for trimming the folding amplifiers in an ADC*).

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.