

## DAC接口基本原理

作者: Walt Kester

### 简介

本教程概述与内置基准电压源、模拟输出、数字输入和时钟驱动器的DAC接口电路相关的一些重要问题。由于ADC也需要基准电压源和时钟，因此本教程中与这些主题相关的大多数概念同样适用于ADC。

### DAC基准电压

越来越多的人简单地将DAC视作具有数字输入和一个模拟输出的器件。但模拟输出取决于是否存在称为基准电压源的模拟输入，且基准电压源的精度几乎始终是DAC绝对精度的限制因素。在匹配基准电压源和数据转换器时，基准电压源向导([Voltage Reference Wizard](#))等设计工具非常有用。如需获取这些工具及其它，请访问ADI公司网站的设计中心([Design Center](#))部分。

有些ADC和DAC内置基准电压源，而有些则没有。有些ADC使用电源作为基准电压源。不幸的是，与ADC/DAC基准电压源相关的标准是少之又少。有些情况下，内置基准电压源的转换器通常可以通过以更为精密和稳定的外部基准电压源覆盖或替换内部基准电压源来提高直流精度。其它情况下，通过使用外部低噪声基准电压源，也可以改善高分辨率ADC的无噪声码分辨率。

各种各样的ADC和DAC以各种各样的方式支持使用外部基准电压源来替代内部基准电压源。图1所示为一些常见配置(但显然并不是全部)。图1A所示为需要外部基准电压源的转换器。通常建议在ADC/DAC REF IN引脚附近添加合适的去耦电容。基准电压源数据手册中通常指定了合适的电容值。另外，基准电压源在使用必要的容性负载时保持稳定是非常重要的(详见下文)。

图1B所示为内置基准电压源的转换器，其中基准电压源也引出到器件上的某个引脚。这样，只要负载不超过额定值，就可以在电路中的其它位置上使用该器件。另外，还要在转换器引脚附近放置电容。如果内置基准电压源可以通过引脚输出来供外部使用，ADC或DAC数据手册上通常会指定其精度、稳定性和温度系数。

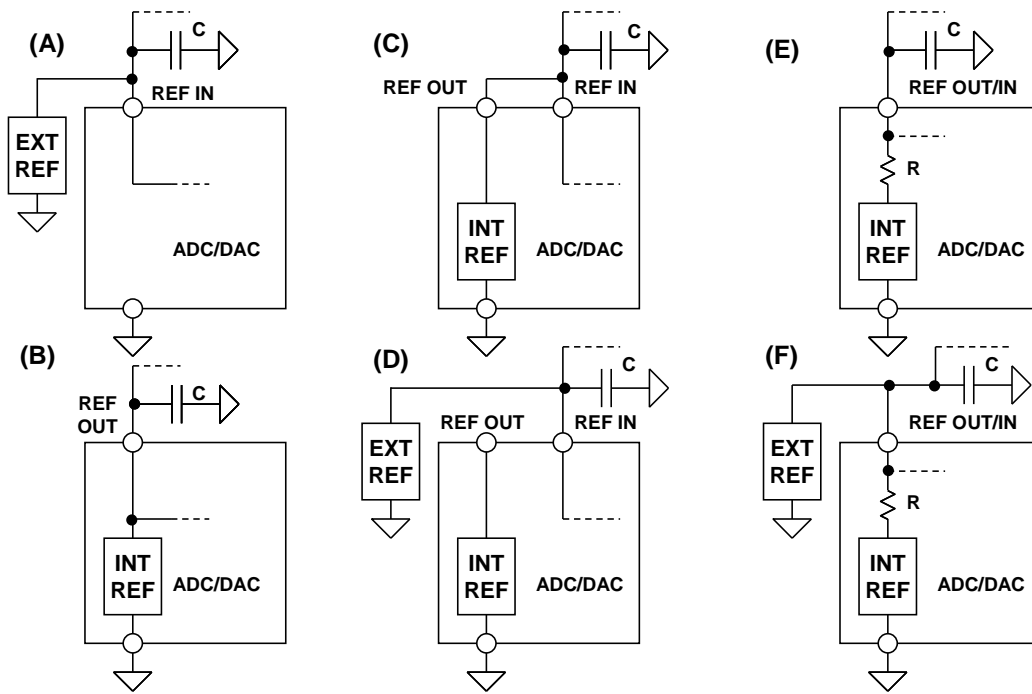


图1：一些常见的ADC/DAC基准电压源选项

如果是要在电路中的其它位置上使用基准输出，则必须严格遵守与扇出和负载相关的数据手册规格。此外，必须小心地进行基准输出布线，从而最大程度地减少噪声拾取。很多情况下，应直接在REF OUT引脚处连接合适的运算放大器缓冲器，然后再扇出至电路的各种其它部分。

图1C所示为采用内部或外部基准电压源但需要额外封装引脚的转换器。如果使用的是内部基准电压源(如图1C)，REF OUT只需外部连接到REF IN并根据需要进行去耦。如果使用的是外部基准电压源(如图1D)，REF OUT保持悬空，且外部基准电压源经过去耦后施加于REF IN引脚。这种配置相当灵活，可使用相同的基准电压源来驱动类似的ADC或DAC，从而实现器件之间的良好跟踪性能。

图1E所示为使用单个封装引脚以外部基准电压源来覆盖驱动内部基准电压源的配置。电阻R的值通常为数kΩ，因此允许通过将低阻抗外部基准电压源连接到REF OUT/IN引脚来覆盖驱动内部基准电压源。图1F显示的是如何连接外部基准电压源来覆盖内部基准电压源。

图1所示的配置并不是ADC和DAC基准电压源的唯一配置；欲了解有关选项、扇出和去耦等的详细信息，请查阅相关的数据手册。

虽然基准电压源元件本身可以是带隙型、嵌入式齐纳型或XFET™型，但实际上所有基准电压源都具有某种类型的输出缓冲器运算放大器。运算放大器将基准电压源元件与输出端隔离开来并还提供驱动功能。不过，这种运算放大器必须遵守与运算放大器稳定性相关的一般通则，而这就是基准电压源去耦话题与本文讨论相关的原因所在。

注意，ADC或DAC的基准电压输入与ADC的模拟输入相似，因为内部转换过程可以在该引脚处注入瞬态电流。这就要求进行充分去耦来稳定基准电压。添加此类去耦功能可能导致某些类型的基准电压源中出现不稳定，具体取决于输出运算放大器设计。当然，基准电压源数据手册可能并不会给出输出运算放大器的任何详细信息，而这在一定程度上让设计人员陷入两难境地，担心是否能够保持稳定且不会产生瞬态误差。很多情况下，ADC或DAC数据手册将会推荐合适的外部基准电压源和建设的去耦网络。

设计良好的基准电压源可以在采用重容性去耦时保持稳定。不幸的是，有些基准电压源并不能做到这点，并且电容越大，瞬态响铃振荡量实际上会增加。由于转换器几乎都需要一定的本地去耦，因此此类基准电压源在数据转换器应用中实际上毫无用处。

基准电压源和数据转换器之间可以添加合适的运算放大器缓冲器。不过，有很多品质良好的基准电压源可以在使用输出电容时保持稳定。数据转换器应用中应当选择这种类型的基准电压源，而不是进一步提高运算放大器的复杂性和成本。

### DAC模拟输出考虑因素

DAC的模拟输出可能是电压或电流。两者情况下，可能都需要知道输出阻抗。如果对电压输出进行了缓冲，则输出阻抗将很低。而电流输出和未缓冲的电压输出将存在较高阻抗，并还可能具有电抗性分量以及纯粹的电阻性分量。在有些DAC架构的输出结构中，输出阻抗与DAC上的数字码字成函数关系，这点应会在数据手册中明确注明。

理论上，电流输出应当连接到电阻为零欧姆的地电位。在实际应用中，该输出将采用非零阻抗和电压。“顺从性”标题下只是定义了该输出可耐受的电压偏差大小，端接电流输出DAC时应当注意到此项技术规格。

适合视频、RF或IF应用的大多数高速DAC具有电流输出，旨在直接驱动源和负载端接电缆。例如，20-mA电流输出DAC可以在25- $\Omega$ 负载(相当于50- $\Omega$ 源和负载端接电缆的直流电阻)上产生0.5 V的电压。大多数情况下，单电源高速CMOS DAC具有至少+1 V的正输出顺从电压和数百毫伏的负输出顺从电压。

很多情况下(如TxDAC®系列),同时支持真正电流输出和互补电流输出。差分输出可以直接驱动变压器的初级绕组,并且通过将输出绕组的一侧接地,可以在次级绕组处产生单端信号。与简单地从DAC电流输出之一直接获取输出信号并将其它输出接地相比,这种方法通常可以在高频率下获得更佳失真性能。

现代电流输出DAC通常具有数个差分输出,以便实现高共模抑制并减少偶数阶失真产物。常见的满量程输出电压范围为2 mA至30 mA。

在许多应用中,需要将DAC的差分输出转换成适合驱动同轴线路的单端信号。只要无需低频响应,那么通过RF变压器便可轻松地实现这点。图2所示为这种方法的典型示例。DAC的高阻抗电流输出与50 Ω电阻差分端接,从而将变压器的源阻抗定义为50 Ω。

所得到的差分电压驱动1:1 RF变压器的初级绕组,从而在次级绕组的输出端产生单端电压。50 Ω LC滤波器的输出与50 Ω负载电阻 $R_{LOAD}$ 相匹配,进而最终产生1 V<sub>p-p</sub>的输出电压。

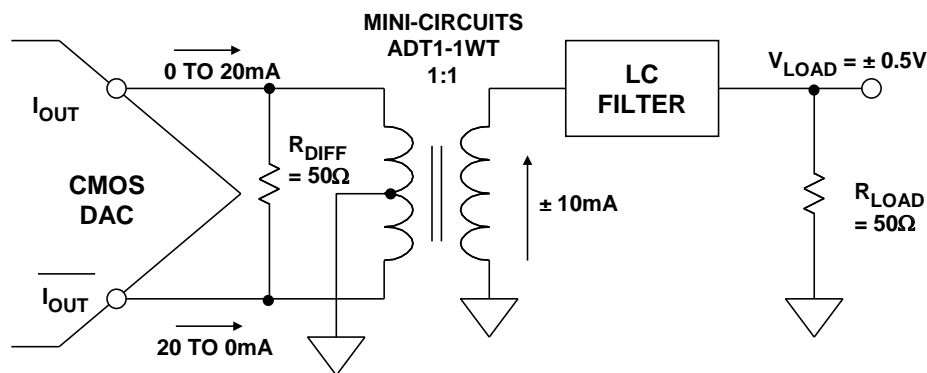


图2: 差分变压器耦合

变压器不仅用于将差分输出转换成单端信号,而且还将DAC的输出与LC滤波器的抗性负载隔离开来,因而可以改善整体失真性能。

需要低至DC的频率响应时,可以连接运算放大器作为差分转单端转换器来获取单端输出。在图3中,运算放大器AD8055用于实现高带宽和低失真。电流输出DAC驱动平衡的25 Ω阻性负载,从而在各输出端产生0至+0.5 V的错相电压。这项技术用于代替直接I/V转换,从而防止高压摆率DAC电流导致放大器过载和引入失真。必须小心地处理使DAC输出电压位于其顺从电压额定值范围之内。

AD8055的增益配置为2，以最终产生2 V p-p且以地电压为基准的单端输出电压。注意，由于输出信号摆幅高于/低于地，因此需要采用双电源运算放大器。

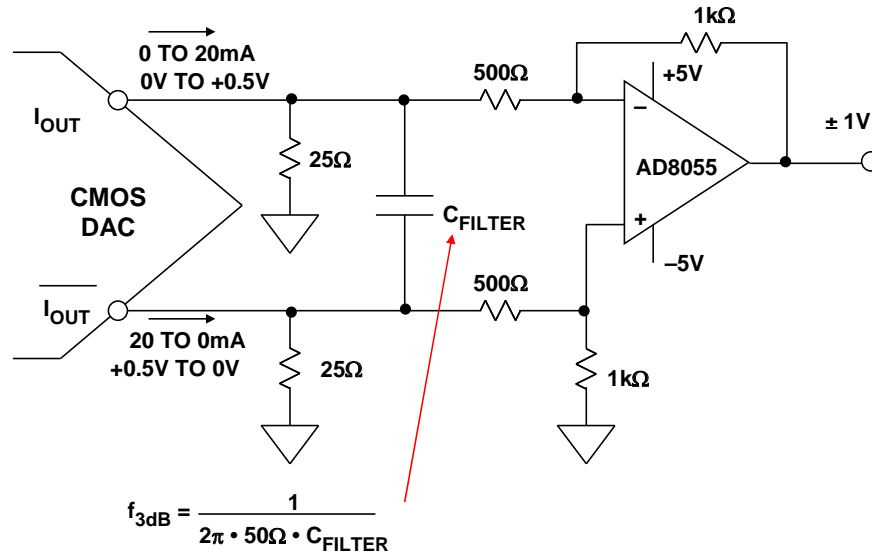


图3：采用双电源运算放大器时的差分直流耦合输出

$C_{FILTER}$  电容构成具有50 Ω等效差分输出阻抗的差分滤波器。此滤波器可减少运算放大器的任何压摆率型失真，而该滤波器的最佳截止频率是凭经验来确定的，旨在获得最佳整体失真性能。

只要运算放大器的共模电压设为中间电源电压(+2.5 V)，则图3中的电路经过改良后可以采用单电源供电。具体如图4所示，其中使用的是运算放大器AD8061。输出电压为2 Vp-p且以共模电压+2.5 V为中心。此共模电压可以使用电阻分压器从+5 V电源产生，或直接从+2.5 V基准电压源产生。如果使用+5 V电源来提供共模电压，则必须进行深度去耦，以免放大电源噪声。

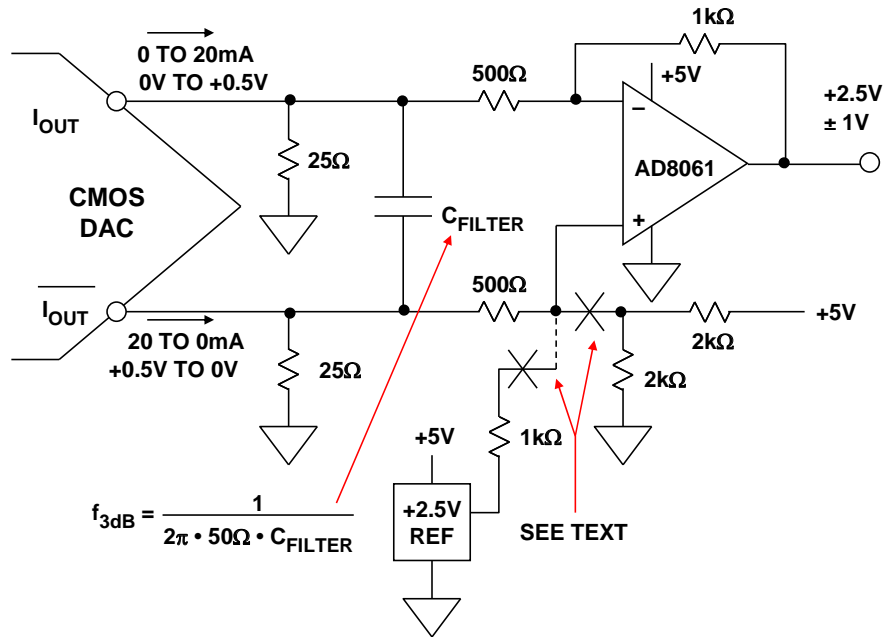


图4：采用单电源运算放大器时的差分直流耦合输出

### 单端电流电压转换

通过使用单个运算放大器作为I/V转换器，便可轻松执行单端电流电压转换，如图5所示。[AD768](#)的10 mA满量程DAC电流输出可以在200 Ω RF电阻上产生0至+2 V的输出电压。

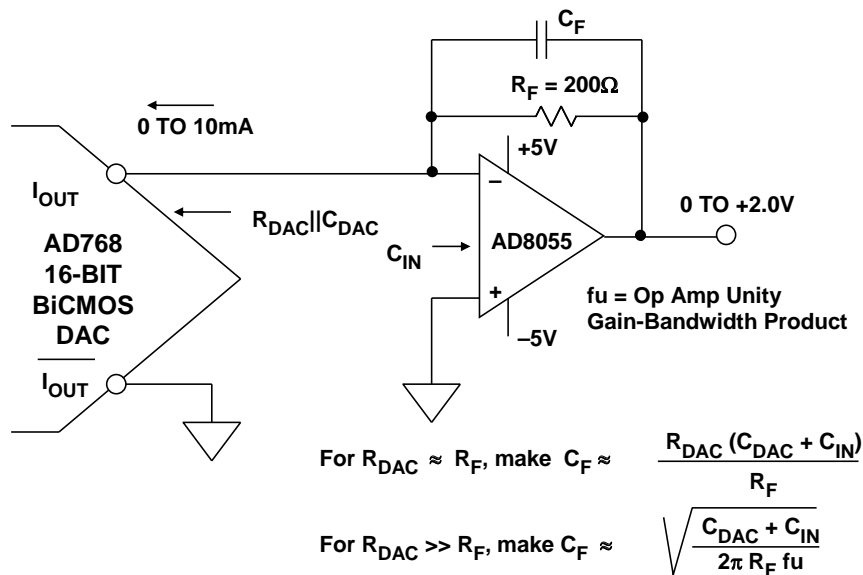


图5：适用于16位精密DAC [AD768](#)的单端I/V运算放大器接口

通过驱动AD8055运算放大器的虚拟地，可以最大程度地减少因DAC输出阻抗中的非线性而导致的任何失真。实际上，这种类型的DAC大多数都使用I/V转换器进行过工厂调整。

但是应注意，与差分工作模式相比，以这种方式使用DAC的单端输出时，共模抑制性能将下降，且2阶失真产物将增加。

CF反馈电容应当进行优化，以在电路中实现最佳脉冲响应。图中给出的等式仅供参考。

基于R-2R的电流输出DAC的输出阻抗与码字有关，因此其输出必须驱动运算放大器的虚拟地，以便维持线性。16/14位DAC AD5545/AD5555都是此种架构的很好范例。图6所示为一种合适的接口电路，其中ADR03用作2.5 V基准电压源，而AD8628斩波稳定运算放大器用作输出I/V转换器。

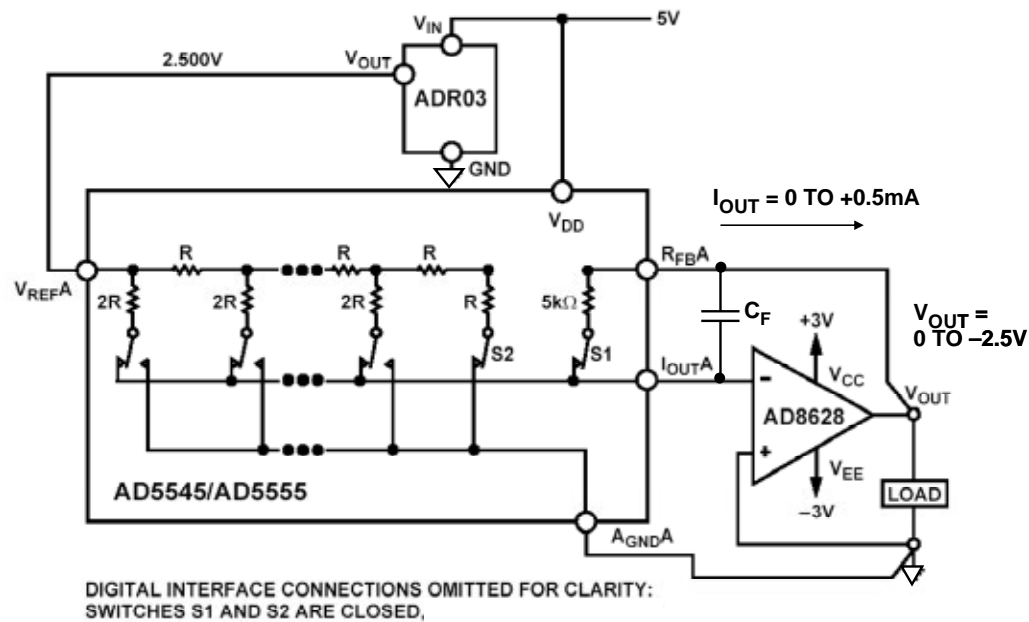


图6: AD5545/AD5555双通道16/14位R-2R电流输出DAC接口

外部2.5 V基准电压源决定满量程输出电流0.5 mA。注意，5 kΩ反馈电阻包含在DAC内，且无需外部电阻，即可增加温度稳定性。因此，运算放大器的满量程输出电压为-2.5 V。CF反馈电容补偿DAC输出阻抗，因此应当选择来优化脉冲响应，起点通常为20 pF。

## 差分电流转差分电压转换

如果要求从电流输出DAC获得缓冲差分电压输出，则可以使用AD813x系列差分放大器，如图7所示。

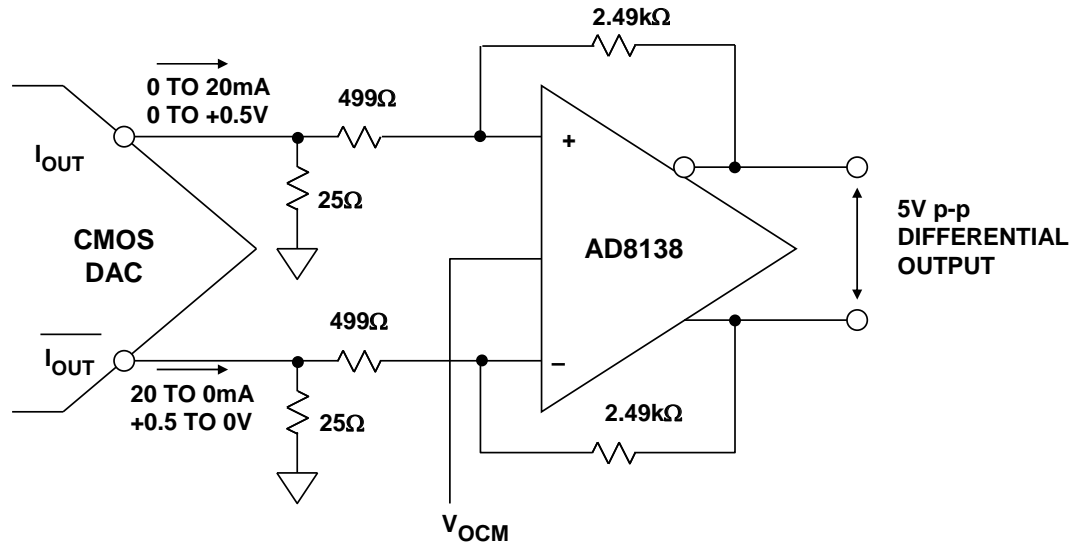


图7：使用差分放大器AD8138来对高速DAC进行缓冲

DAC输出电流首先流过25 Ω电阻而转换成电压。接着，使用AD8138将电压放大5倍。这项技术用于代替直接I/V转换，从而防止高压摆率DAC电流导致放大器过载和引入失真。必须小心地处理使DAC输出电压位于其顺从电压额定值范围之内。

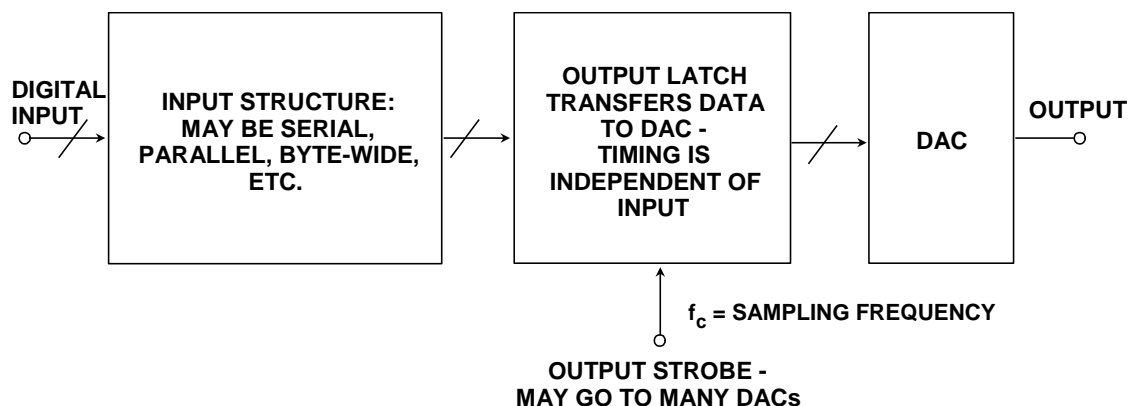
AD8138的V<sub>OCM</sub>输入可用于设置AD8138规格范围内的最终输出共模电压。通过添加一对75 Ω串联输出电阻，将允许驱动传输线路。

## DAC数据输入考虑因素

最早的单芯片DAC几乎不包含逻辑电路，且数字输入必须维持并行数据，才能维持数字输出。而今，几乎所有DAC都会被锁存，且只需向其中写入数据，而不用去维持。有些器件甚至具有非易失性锁存器并可在关断时记住设置。

DAC输入结构存在无数变化形式，本文将不一一介绍，但几乎所有都称为“双缓冲”。栓缓冲DAC具有两组锁存器。数据最初锁存在第一级中，然后传输到第二级，如图8所示。这种配置非常有用，具体有以下几种原因。





**图8：双缓冲DAC允许复杂输入结构和同步更新**

首先，其允许以多种不同方式将数据输入DAC。如果DAC没有锁存器或具有一个锁存器，则必须以并行方式同时加载所有位，否则其加载期间的输出可能会与其实内容或目标内容完全不同。然而，双缓冲DAC可以加载并行数据、串行数据、4位或8位字或任何其它内容，并且在新数据加载完成且DAC收到更新指令之前，输出不会受到影响。

双缓冲DAC的另一项优势在于，通过以并行方式驱动所有开关并以DAC输出数据速率更新单个锁存器，可以最大程度地减少各个开关之间的时间偏斜。这样可以最大程度地减少毛刺脉冲并改善失真性能。

双缓冲结构的第三项优势是可以同步更新多个DAC。数据依次载入各DAC的第一级，当一切就绪之后，即会同时更新所有DAC的输出缓冲器。在许多DAC应用中，数个DAC的输出必须同时变化，而通过双缓冲结构可以非常轻松地实现这点。

早期的单芯片高分辨率DAC大多数具有并行或字节宽数据端口，并且往往连接到并行数据总线和地址解码器，然后作为极小的只写存储器由微控制器进行寻址。（有些并行DAC并不是只能写入内容，而且还可以进行读取；这点对于一些应用来说非常方便，但并不是非常常见。）DAC连接到数据总线时，总线的逻辑噪声容易容性耦合到模拟输出，因此而今许多DAC采用串行数据结构。这类结构更不容易受到上述噪声的影响（因为涉及到的噪声引脚更少）且使用的引脚更少，因此占用的电路板空间也更少；在与现代微控制器（大多数具有串行数据端口）搭配使用时，这类结构通常更为方便。此类串行DAC有些（但并非全部）具有数据输出和数据输入，因此数个DAC可以串联连接，而数据则通过单个数据端口逐个输入所有这些器件。这种配置通常称为“菊花链”。

串行DAC支持语音频带和语音频率更新速率。例如，以192 kSPS速率更新的24位数字音频要求串行端口传输速率至少达到 $24 \times 192 \text{ kSPS} = 46.08 \text{ MSPS}$ ，而CMOS逻辑可以轻松处理该速率。不过，涉及到更新速率时，由于所需的串行数据传输速率过高，因此必须采用并行DAC。

当并行数据速率超过约100 MSPS时，由于不太可能会产生CMOS逻辑电平以上的瞬变干扰，因此通常使用低电平电流模式差分逻辑(PECL、较低级别的PECL或LVDS等)(见图9)。这样可帮助最大程度地减少因码相关毛刺而产生的失真。例如，[AD9734/AD9735/AD9736](#) DAC系列采用1.2 GSPS并接受LVDS输入逻辑电平。片上包含特殊电路，以确保输入数据相对于DAC时钟具有正确时序。

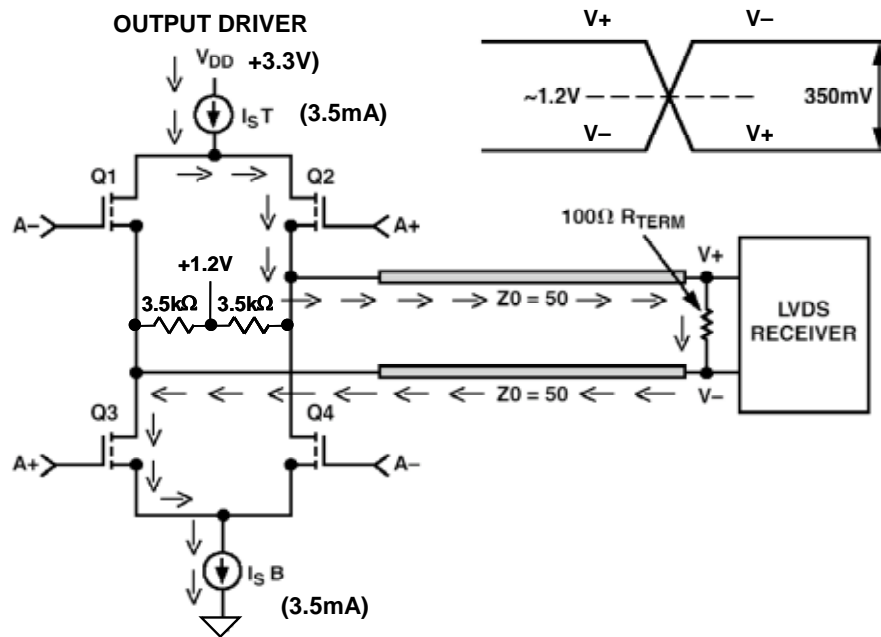


图9: LVDS驱动器

### DAC时钟考虑因素

如“教程MT-007”中所述，ADC宽带孔径抖动 $t_j$ 、转换器SNR和满量程正弦波模拟输入频率 $f_i$ 之间的关系如下：

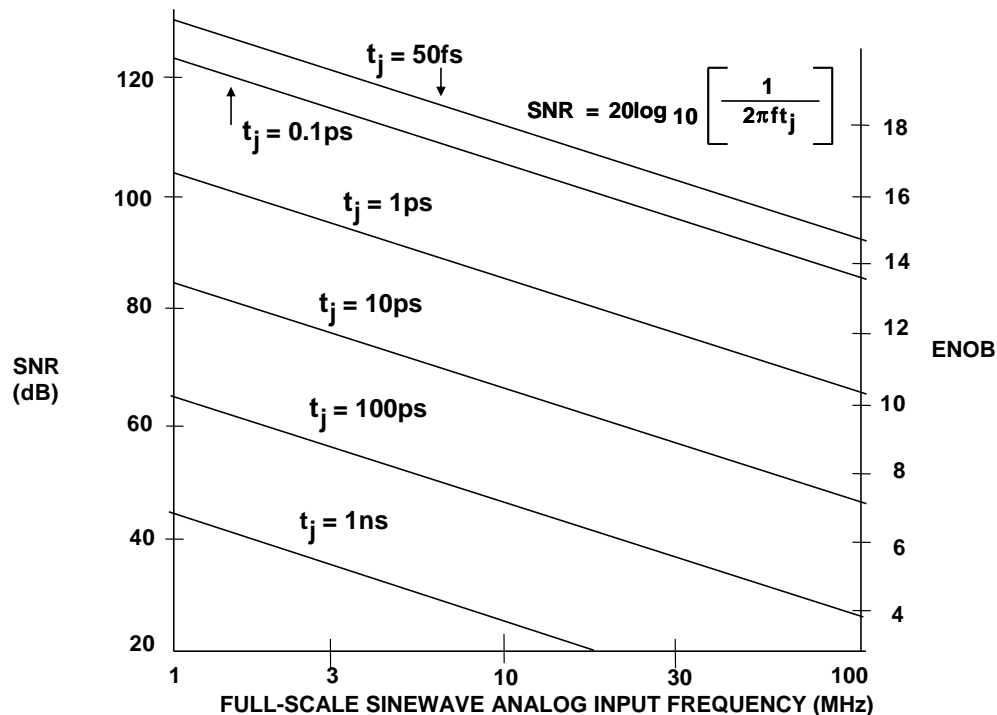
$$\text{SNR} = 20 \log \left[ \frac{1}{2\pi f_i t_j} \right] \quad \text{等式 1}$$

这种关系同样适用于重构DAC。该等式假定使用的是理想ADC/DAC，其中唯一误差源是时钟抖动。SNR测量的带宽为奈奎斯特带宽DC至 $f_c/2$ ，其中 $f_c$ 是DAC更新速率。注意，等式1还假定采用的是满量程正弦波输出。因抖动而产生的误差与输出信号的压摆率成比例，即正弦波幅度越小且压摆率相应越小，所产生的SNR值就越大(相对于满量程)。

应注意，等式1中的 $t_j$ 是采样时钟抖动 $t_{jc}$ 和ADC内部孔径抖动 $t_{ja}$ 两者相加；这两个术语并不相关，因此是在方和根(rss)基础上相加的：

$$t_j = \sqrt{t_{jc}^2 + t_{ja}^2} \quad \text{等式 2}$$

另一方面，高速重构DAC并未内置采样保持放大器，因此没有内部孔径抖动规格。虽然DAC存在内部时钟抖动分量，但由于主要抖动源是外部时钟抖动，通常并不测量或指定该分量。



**图10：抖动引起的理论SNR和ENOB与满量程正弦波模拟输出频率之间的关系**

图10绘制出了等式1的曲线图并以图形形式显示了各种满量程模拟输出频率抖动如何导致SNR下降(注意，此处假定 $t_j$ 包含所有抖动源，包括内部DAC抖动)。例如，如果70 MHz IF输出频率需要维持12位SNR (74 dB)，时钟抖动必须小于0.45 ps(见等式1)。

如“教程MT-001”中所述，有效位数(ENOB)和信纳比(SINAD)之间存在非常有用的关系，具体如下：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76 \text{ dB}}{6.02 \text{ dB}} \quad \text{等式 3}$$

出于讨论目的，假定DAC并无失真，因此SINAD = SNR；等式3变为：

$$\text{ENOB} = \frac{\text{SNR} - 1.76 \text{ dB}}{6.02 \text{ dB}} \quad \text{等式 4}$$

图10左侧垂直轴上的SNR值已经使用等式4转换成右侧垂直轴上的ENOB值。

为了显示这些抖动值的重要性，请考虑与一组逻辑门相关的均方根(RMS)抖动典型值，如图11所示。74LS00、74HCT00和74ACT00的值都是采用参考文献1第5章所述的方法以高性能ADC(孔径抖动小于0.2-ps rms)测得的，其中抖动是从因多个相同门串联而导致的FFT SNR降低计算得出的。然后，通过除以串联门总数的平方根，便可计算出单个门所造成的抖动。制造商给出了MC100EL16和NBSG16的抖动数据。

◆ 74LS00	4.94 ps *
◆ 74HCT00	2.20 ps *
◆ 74ACT00	0.99 ps *
◆ MC100EL16 PECL	0.7 ps **
◆ NBSG16, Reduced Swing ECL (0.4V)	0.2 ps **

- \* Calculated values based on degradation in ADC SNR
- \*\* Manufacturers' specification

**图11：典型逻辑门的均方根(RMS)抖动**

图12显示的是与图10相同的数据，但其中针对各种分辨率要求绘制出与模拟输出频率成函数关系的最大允许抖动。根据最大输出频率和ENOB中所需分辨率来选择采样时钟发生器类型，应以此图片作为大概准则。具有标准VCO的PLL方法就是产生采样时钟的一种不错方式，其中均方根(RMS)抖动要求大约为1 ps或以上。不过，亚皮秒抖动要求采用基于VCXO的PLL或专用低噪声晶体振荡器。“教程MT-008”介绍了如何将振荡器相位噪声转换成抖动。

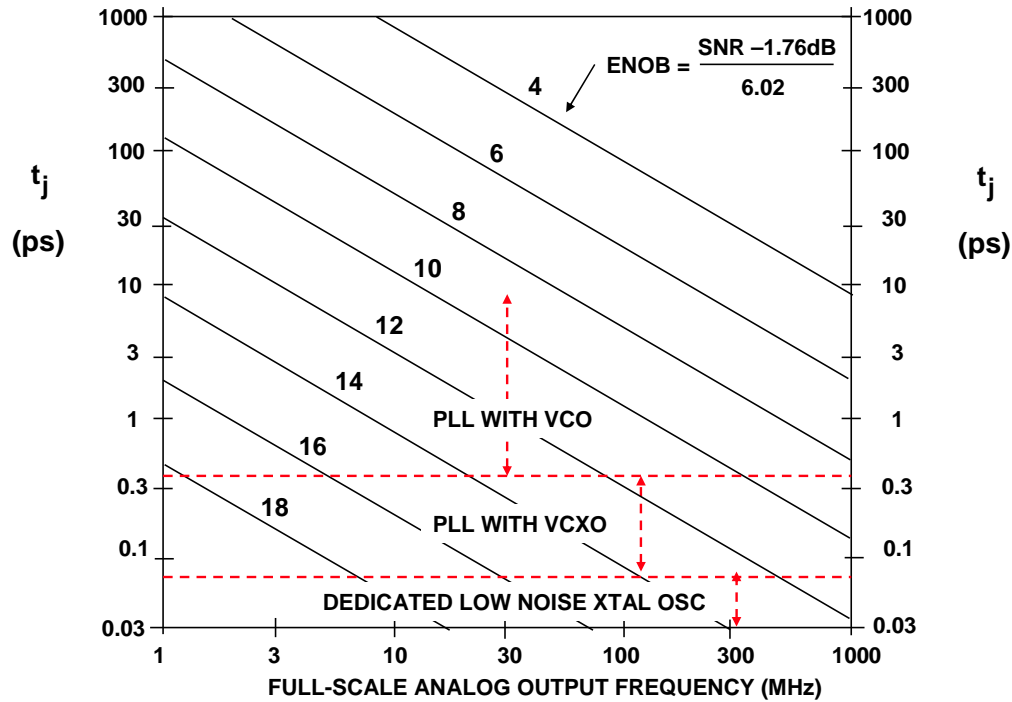


图12: 振荡器要求与分辨率和模拟输出频率之间的关系

这部分介绍了假设抖动仅由内部DAC抖动和外部时钟抖动组成时SNR上的抖动效应。不过，无论DAC或采样时钟振荡器的规格如何，不当的布局、接地和去耦技术可造成额外的时钟抖动，进而显著降低动态性能。

若将采样时钟信号与具有噪声的数字信号并行布线，肯定会因杂散耦合而导致性能下降。实际上，若将来自并行输出ADC的高速数据耦合到采样时钟，不仅会导致噪声增加，而且还可能造成额外的谐波失真，因为数字输出瞬态电流包含的能量与信号有关。欲了解这些及其它关键硬件设计技术的进一步讨论，请参阅参考文献1的第9章。

**参考文献**

1. Walt Kester, [\*Analog-Digital Conversion\*](#), Analog Devices, 2004, ISBN 0-916550-27-3. Also available as [\*The Data Conversion Handbook\*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.