

## 过采样插值DAC

作者：Walt Kester

### 简介

过采样和数字滤波有助于降低对ADC前置的抗混叠滤波器的要求。重构DAC可以通过类似的方式运用过采样和插值原理。例如，数字音频CD播放器常常采用过采样，其中来自CD的基本数据更新速率为44.1 kSPS。早期CD播放器使用传统的二进制DAC，并将“0”插入并行数据中，从而将有效更新速率提高到基本吞吐速率的4倍、8倍或16倍。4×、8×或16×数据流通过一个数字插值滤波器，产生额外的数据点。高过采样速率将镜像频率移动到更高位置，从而可以使用较为简单、成本更低、过渡带更宽的滤波器。此外，由于存在处理增益，信号带宽内的SNR也会提高。Σ-Δ型DAC架构使用高得多的过采样速率，将这一原理扩展到极致，因而在现代CD播放器中颇受欢迎。

同样的过采样和插值原理也可用于通信领域的高速DAC，以便降低对输出滤波器的要求，并利用处理增益提高SNR。

### 重构DAC的输出频谱

重构DAC的输出可以表示为一系列矩形脉冲，其宽度等于时钟速率的倒数，如图1所示。

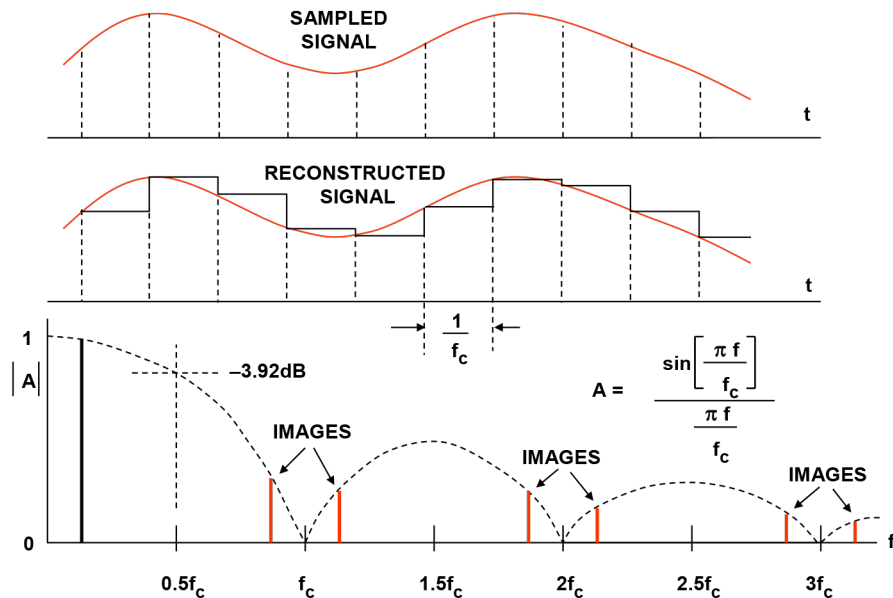


图1：显示镜像和 $\sin(x)/x$ 滚降的无滤波DAC输出

请注意，在奈奎斯特频率 $f_c/2$ ，重构信号幅度降低3.92 dB。如果需要，可以使用一个反 $\sin(x)/x$ 滤波器来补偿此效应。基波信号的镜像作为采样函数的结果出现，并且也通过 $\sin(x)/x$ 函数衰减。

## 过采样插值DAC

过采样/插值DAC的基本原理如图2所示。N位输入数据字以速率 $f_c$ 接收。数字插值滤波器以等于过采样频率 $Kf_c$ 的时钟速率工作，并插入额外的数据点。对输出频谱的影响如图2所示。在奈奎斯特采样频率下(A)，对模拟抗镜像滤波器的要求可能相当高。通过过采样和插值，可以大大降低对该滤波器的要求，如(B)所示。此外，量化噪声分布在比原始信号带宽更宽的区域内，因而信噪比也会有所提高。原始采样速率加倍时( $K = 2$ )，SNR提高3 dB； $K = 4$ 时，SNR提高6 dB。早期CD播放器利用了这一点，一般能将数字滤波器中的算法精确到N位以上。如今，CD播放器中的多数DAC都是 $\Sigma$ - $\Delta$ 型。

关于过采样/插值DAC原理的最早期文献有Ritchie、Candy和Ninke于1974发表的论文（参考文献1），以及Mussman和Korte于1981年（申请日期）申请的专利（参考文献2）。

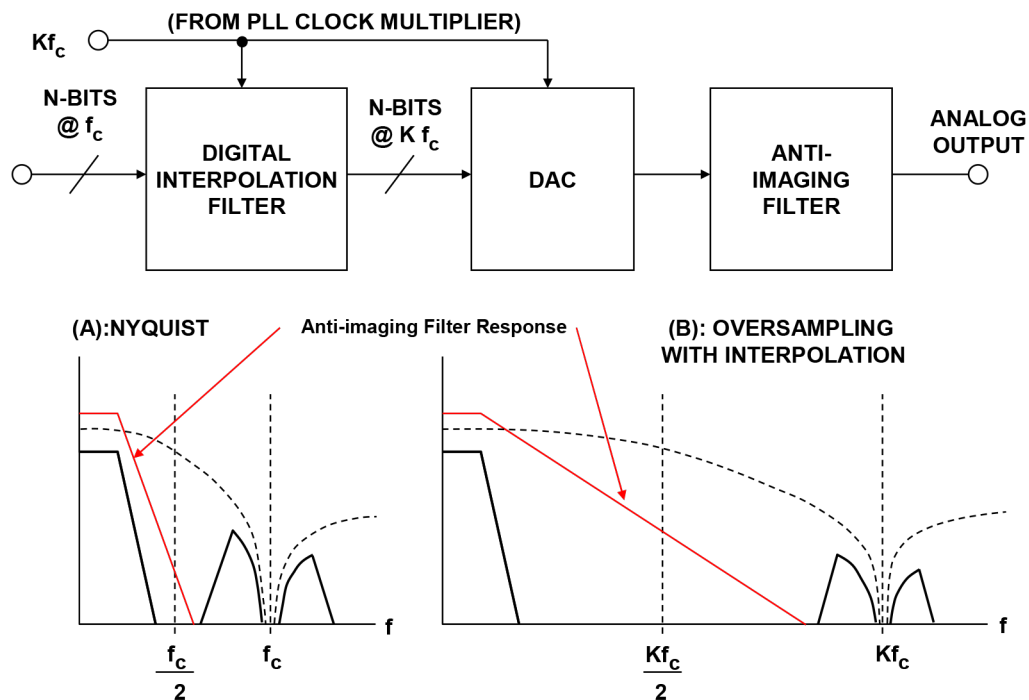
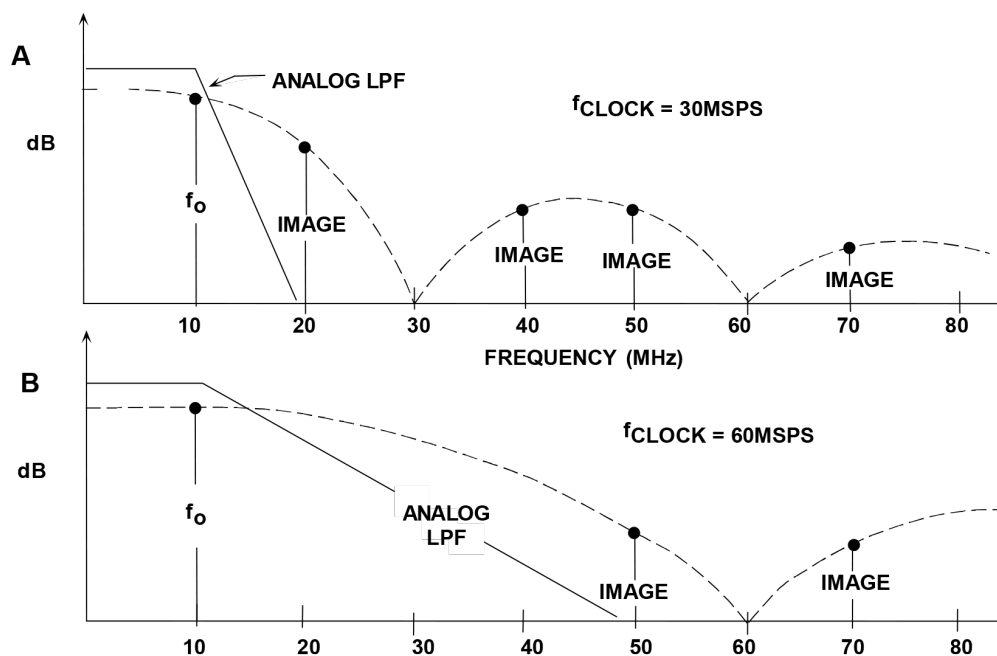


图2：过采样插值DAC

下例使用一些实际的数值来说明过采样原理。假设以30 MSPS的输入字速率驱动一个传统DAC（参见图3A），DAC输出频率为10 MHz。在 $30 - 10 = 20$  MHz时的镜像频率成分必须通过模拟抗混叠滤波器进行衰减，滤波器的过渡带始于10 MHz，止于20 MHz。假设必须将镜像频率衰减60 dB，则在10 MHz到20 MHz（一个倍频程）的过渡带内，滤波器必须从10 MHz的通带转折频率变为60 dB的阻带衰减。滤波器每个极点提供大约6 dB/倍频程的衰减。因此，为了提供所需的衰减，至少需要10个极点。过渡带越窄，则滤波器越复杂。



**图3:  $f_o = 10 \text{ MHz}$ 时的模拟滤波器要求:  
(A)  $f_c = 30 \text{ MSPS}$ , (B)  $f_c = 60 \text{ MSPS}$**

假设我们将DAC更新速率提高到60 MSPS，并在各原始数据采样点之间插入“0”。现在，并行数据流为60 MSPS，但我们必须确定零值数据点的值，这通过将添加0的60 MSPS数据流经由数字插值滤波器处理来实现，由滤波器计算额外的数据点。2×过采样频率下的数字滤波器响应曲线如图3B所示。模拟抗混叠滤波器过渡区现在是10 MHz到50 MHz（第一镜像出现在 $2f_c - f_o = 60 - 10 = 50 \text{ MHz}$ ）。该过渡区稍大于2个倍频程，说明5或6极点滤波器即足够。

[AD9773/AD9775/AD9777](#) (12-/14-/16-bit) 系列发射DAC (TxDAC<sup>®</sup>) 是2×、4×或8×可选过采样插值双通道DAC，图4为其简化框图。这些器件能够处理最高达160 MSPS的12/14/16位输入字速率，最大输出字速率为400 MSPS。假设输出频率为50 MHz，输入更新速率为160 MHz，过采样比为2，则镜像频率出现在 $320 \text{ MHz} - 50 \text{ MHz} = 270 \text{ MHz}$ ，因此模拟滤波器的过渡带为50 MHz至270 MHz。如果没有2倍过采样，则镜像频率出现在 $160 \text{ MHz} - 50 \text{ MHz} = 110 \text{ MHz}$ ，滤波器过渡带为50 MHz至110 MHz。

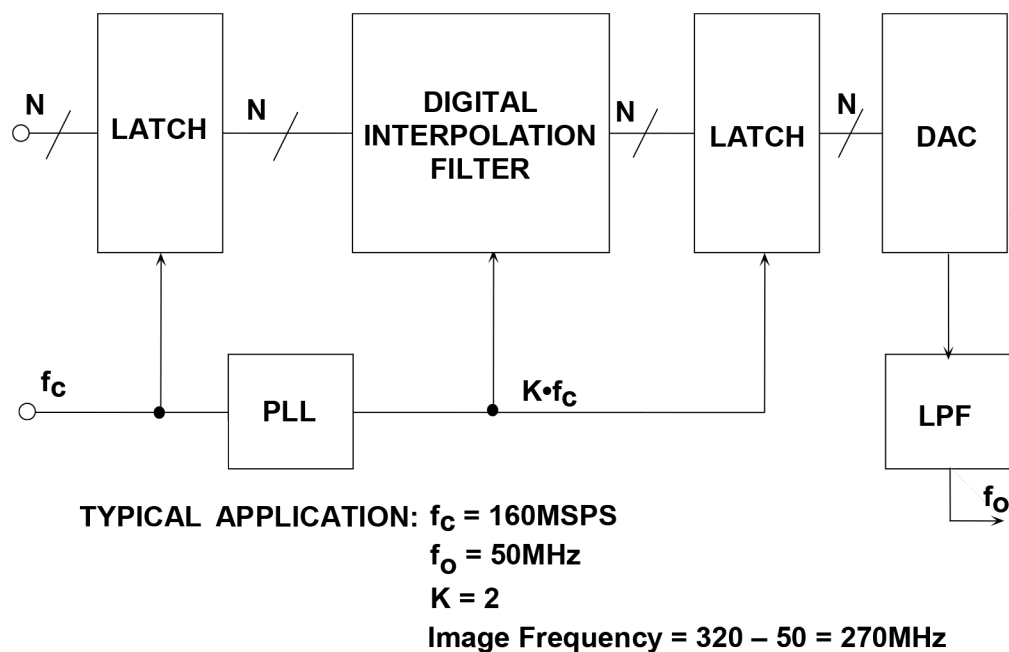


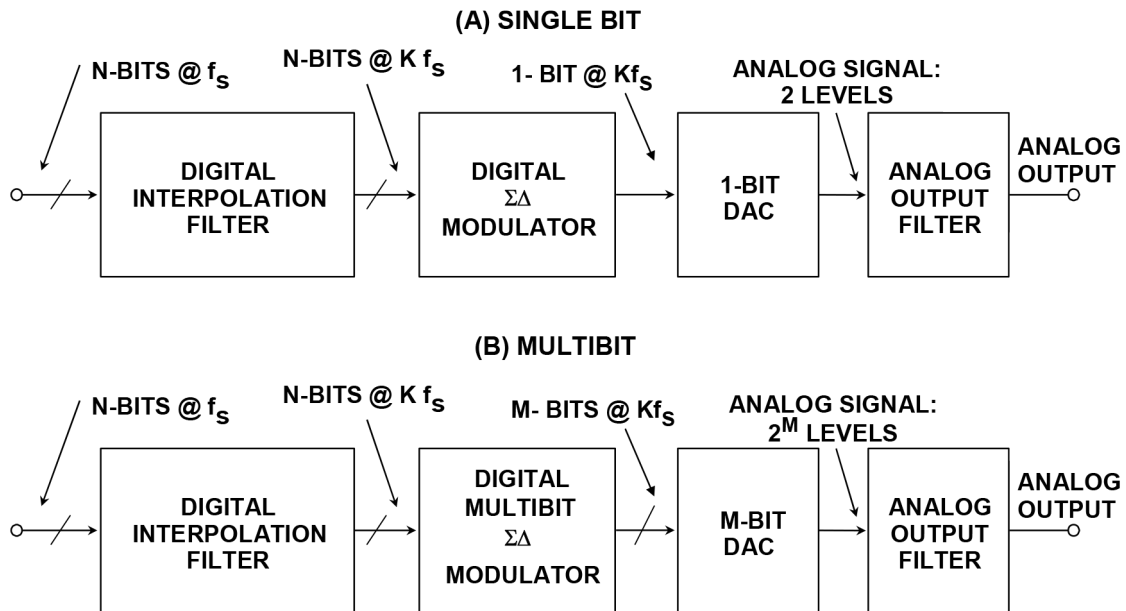
图4：过采样插值TxDAC®的简化框图

还应注意，过采样插值DAC支持较低的输入时钟频率和输入数据速率，因而它在系统内产生噪声的可能性要低得多。

### Σ-Δ型DAC

Σ-Δ型DAC的工作原理与Σ-Δ型ADC非常相似，但在Σ-Δ型DAC中，噪声整形功能是利用数字调制器实现的，而不是利用模拟调制器。

与Σ-Δ型ADC不同，Σ-Δ型DAC大多是数字式（参见图5A）。它由一个“插值滤波器”（一个数字电路，以低速率接受数据，以高速率插入0，然后应用数字滤波器算法并以高速率输出数据）、一个Σ-Δ型调制器（它对信号是低通滤波器，对量化噪声则是高通滤波器，并将由此产生的数据转换为高速位流）和一个1位DAC组成，该DAC的输出在等值正负基准电压之间切换。输出在外部模拟低通滤波器(LPF)中滤波。由于过采样频率很高，该LPF的复杂度远低于传统奈奎斯特采样频率下的情况。

图5:  $\Sigma$ - $\Delta$ 型DAC

$\Sigma$ - $\Delta$ 型DAC可以使用多位，这就是图5B所示的“多位”架构，其原理与之前讨论的插值DAC相似，不过增加了 $\Sigma$ - $\Delta$ 型数字调制器。

过去，由于n位内部DAC的精度要求（它虽然只有n位，但必须具有最终位数N位的线性度），多位DAC难以设计。然而，AD195x系列音频DAC利用专有“数据加扰”技术（称为“数据定向加扰”）解决了这一问题，在所有音频规格方面都能提供出色的性能。

图6所示为AD1955多位 $\Sigma$ - $\Delta$ 型音频DAC。AD1955同样使用数据定向加扰技术，支持各种DVD音频格式，并具有非常灵活的串行端口。THD + N典型值为110 dB。

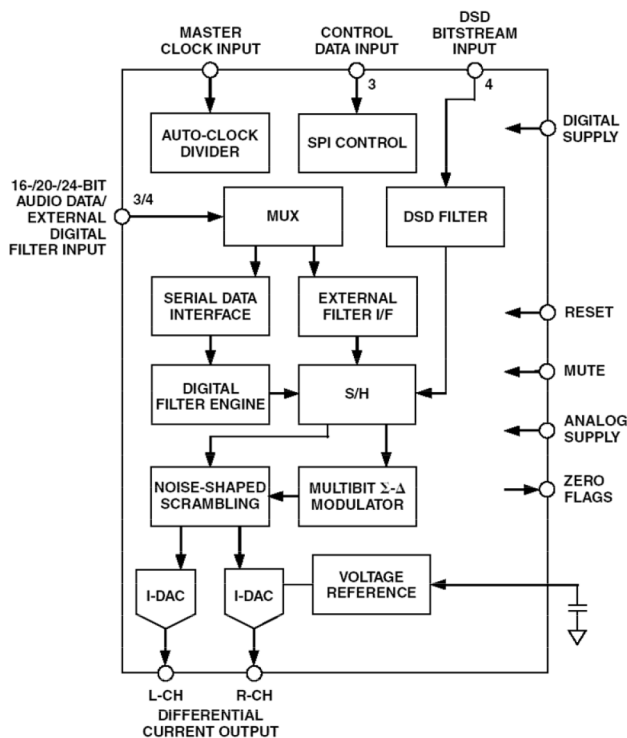


图6：AD1955多位 $\Sigma$ - $\Delta$ 型音频DAC

## 总结

在现代数据采样系统中，过采样结合数字滤波是强有力的工具。我们已经看到，同样的基本原理既适用于ADC，也适用于重构DAC。主要优点是对抗混叠/抗镜像滤波器的要求得以降低，另一个优点是SNR因处理增益而提高。

$\Sigma$ - $\Delta$ 型ADC和DAC架构是过采样原理的终端扩展，同时也是大多数语音频带和音频信号处理数据转换器应用的首选架构。

**参考文献：**

1. G. R. Ritchie, J. C. Candy, and W. H. Ninke, "Interpolative Digital-to-Analog Converters," *IEEE Transactions on Communications*, Vol. COM-22, November 1974, pp. 1797-1806. (最早的关于过采样插值DAC的论文之一)。
2. H. G. Musmann and W. W. Korte, "Generalized Interpolative Method for Digital/Analog Conversion of PCM Signals," *U.S. Patent 4,467,316*, filed June 3, 1981, issued August 21, 1984. (关于插值DAC的描述)。
3. Robert W. Adams and Tom W. Kwan, "Data-directed Scrambler for Multi-bit Noise-shaping D/A Converters," *U.S. Patent 5,404,142*, filed August 5, 1993, issued April 4, 1995. (描述采用“数据加扰”技术的分段音频DAC)。
4. Y. Matsuya, et. al., "A 16-Bit Oversampling A/D Conversion Technology Using Triple-Integration Noise Shaping," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 6, December 1987, pp. 921-929.
5. Y. Matsuya, et. al., "A 17-Bit Oversampling D/A Conversion Technology Using Multistage Noise Shaping," *IEEE Journal of Solid-State Circuits*, Vol. 24, No. 4, August 1989, pp. 969-975.
6. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3.另见[The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.

© 2009 Analog Devices, Inc 保留所有权利。对于客户产品设计、客户产品的使用或应用，以及因ADI公司协助而可能导致的任何侵权，ADI公司概不负责。所有商标和标志均属各自所有人所有。ADI公司应用与开发工具工程师提供的信息准确可靠，但ADI公司对其技术指南所提供内容的技术准确性和时效性不承担责任。