技术文章

一文看懂：ADI教你如何用LTspice在原理图定稿前解决模拟电路问题

电子发烧友网报道（文/黄山明）在模拟与混合信号电路开发中，代价最高的问题往往不在器件选型，而在那些直到硬件焊接完成、上电测试才暴露的性能缺陷。运放驱动容性负载时相位裕量不足引发振荡、精密信号链的积分噪声侵占转换器有效分辨率、电源环路补偿要到打样之后才能验证稳定性，这类失效模式在原理图上不留痕迹，却会在实验室中消耗数周调试时间。

那么如何在原理图定稿之前通过仿真发现并解决上述问题呢？可以使用LTspice来解决，LTspice是ADI旗下免费的SPICE类仿真软件，不限制节点数量与仿真时长，模型库超过30000个，其中5000余个为ADI产品模型与示例电路。通过有效的使用LTspice，就能方便解决以上问题。

2024年发布的LTspice 24带来了一些新的改进，包括仿真速度更快、运行一致性更好；FRA增强，新增4端子探针并优化环路稳定性分析；元件库管理与模型更新机制改进，模型覆盖持续扩大；同时带来UI、波形查看器和大量底层修复，使仿真在设计流程中的覆盖面进一步扩展。

六种分析类型与两条指令主线

模拟电路的潜在问题可以归纳为多个维度，静态偏置是否正确、直流小信号传递特性如何、参数扫描下的鲁棒性怎样、时域大信号行为是否可控、频域响应是否达标、噪声预算是否充足。LTspice提供六种分析类型与之对应，分别是DC op pnt、DC Transfer、DC Sweep、Transient、AC和Noise。依据设计问题选择正确的分析类型，是整个验证流程的第一步。

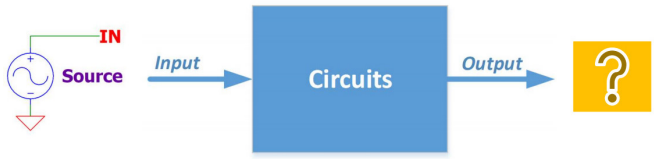


图1. LTspice电路分析的基本方法

DC op pnt是所有后续分析的基石。仿真器首先求解电路中所有节点的直流电压与支路电流，任何小信号分析的结论都建立在工作点收敛且合理的前提之上。如果偏置落在器件的截止区或过驱动区边缘，后续交流与噪声结果均不具备参考意义。工作点分析还能直接给出各节点的静态误差，例如精密基准缓冲器的输出偏差，这是评估直流精度的第一道检查。

DC Transfer通过.TF指令计算电路在直流工作点处的小信号增益、输入阻抗与输出阻抗。它不需要设置交流激励源，仿真器自动对指定输入输出端口做线性化求解。对于需要确认闭环输出阻抗或输入偏置电流影响的场景，.TF比手动搭建测试电路更高效。

值得注意的是，闭环输出阻抗还有一种更直观的测量方法，例如在图2中，在输出端注入幅度为1的交流恒流源，运行AC分析后输出电压的幅度即等于阻抗值，将Y轴设为对数坐标可直接读取阻抗随频率的变化曲线。这种方法揭示了一个经典特征：运放闭环输出阻抗在高频段趋近于一个电感，这是由环路增益滚降导致反馈校正能力下降所致，在评估缓冲器驱动容性负载能力时尤为关键。

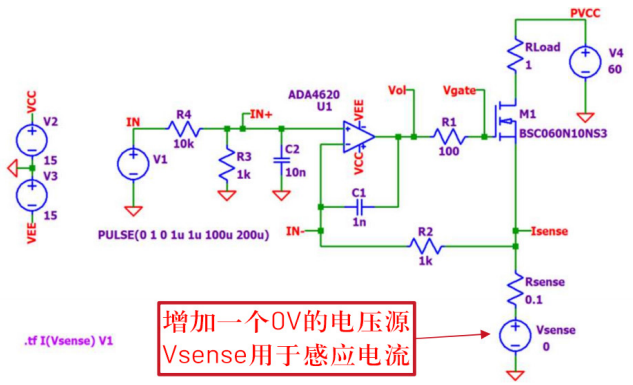


图2. 闭环输出阻抗测量电路

DC Sweep用于观察电路响应随某个直流参数的连续变化。它可以扫描电源电压、输入信号或任意全局参数，配合.step指令还能实现多维参数组合扫描。工作点随电源电压和温度的漂移范围可以通过这种方式量化检查：前者通过直流扫描完成，后者通过.temp或.step指令实现，与直流扫描是两条独立路径。这是精密信号链设计的必要检查项，能够在投板前确认电路在整个工况范围内的偏置鲁棒性。

Transient覆盖大信号时域行为。线性化假设无法反映压摆率限制、输出削波、启动冲击与容性负载引起的振铃等非线性特征，瞬态仿真通过数值积分给出时域波形，可直接测量过冲幅度、建立时间与浪涌电流。在评估前端缓冲电路能否满足转换器采集窗口时，建立时间是关键指标；在验证电源启动序列时，浪涌电流决定了输入电容与保护器件的选型。

Transient是最贴近实际电路行为的仿真类型，也是发现稳定性问题的首要手段。为此，还单独演示了通过Riso隔离电阻消除容性负载振铃的技巧，即在运放输出端与容性负载之间串联一个小阻值电阻，利用其与负载电容形成的零点抵消防大器输出极点引入的相位滞后，这是处理容性负载不稳定问题的另一条实用路径。

AC在工作点处对电路线性化，求解传递函数的极零点分布并绘制波特图。工程师由此直接读取交越频率、相位裕量、增益裕量与-3dB带宽。对于电压反馈型环路，行业普遍接受的稳定判据是相位裕量不低于45至60度。还引入了另一种更贴合环路增益曲线的判据：Rate of Closure，即开环增益Aol曲线与反馈系数倒数1/Beta曲线在交越频率处的斜率差。

需要注意的是，AC分析要求电路在工作点附近可线性化，开关变换器不满足该条件，开关动作使系统本质上呈非线性时变特征，直接套用AC分析会在开关频率附近产生系统性偏差。

LTspice 24新增的Transient Frequency Response功能正是为解决这一问题而设，它通过在时域注入扫频激励并对多个开关周期做平均处理来提取环路特性，属于FRA范畴，具体参数设置可参阅LTspice 24使用指南。

Noise回答精度上限问题。仿真器依据三种物理机制计算输出噪声谱密度，以图3为例，包括电阻热噪声、半导体PN结的散粒噪声以及器件的1/f闪烁噪声。放大器的总输出噪声由电压噪声源与电流噪声源共同贡献，电流噪声流过反馈网络等效阻抗后转化为电压噪声，再乘以Noise Gain叠加到输出端。

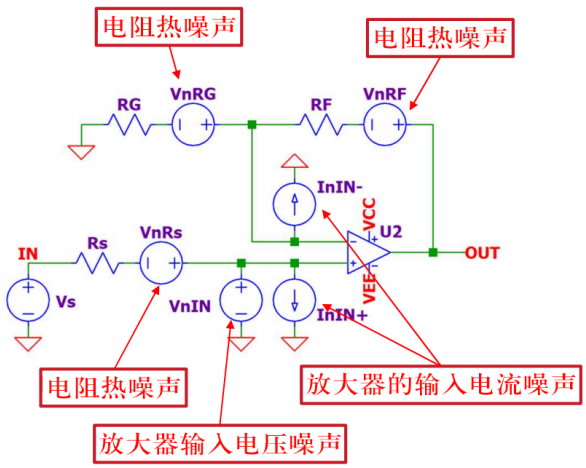


图3. 放大器输出噪声源

将该结果与信号幅值及转换器输入量程对比，就能在设计阶段判断前端噪声是否侵占后端有效分辨率。噪声分析还支持分频带积分，例如分别查看0.1Hz至10Hz的低频闪烁噪声与0.1Hz至10kHz的宽带噪声，这对精密直流信号链的噪声预算分配至关重要。

贯穿这六种分析类型的有两条指令主线。第一条是激励源的配置逻辑：同一个电压源的不同属性分别服务于不同分析，DC value决定直流工作点，AC amplitude与相位决定交流分析的激励强度与参考相位，Transient函数（如PULSE、SINE、EXP）决定瞬态分析的时域波形。混淆这些属性是最常见的仿真错误之一，例如忘记设置AC amplitude导致AC分析无激励，或误将瞬态脉冲幅度当作直流偏置。

第二条是自动化三件套：.param定义全局参数，.step对参数做批量扫描，.meas从仿真结果中自动提取指标。.meas支持两类语法，FIND AT用于提取特定时刻或频率点的值，FROM/TO用于计算区间内的平均值、最大值、最小值或积分。

三者联用可将重复的手动仿真变成全自动的参数扫描与指标提取流程，例如用.step遍历补偿电容的所有候选值，再用.meas自动记录每个取值对应的建立时间与过冲幅度，一次性完成优化空间的探索。

一个电压基准Buffer的完整验证与收敛排查

ADI以一个完整的单位增益缓冲器设计案例串联了上述分析方法与设计决策。设计目标是为ADR4533B精密电压基准设计缓冲级，采用ADA4528-1零漂移运放与2N2222晶体管构成复合输出级，要求单位增益、约60mA输出电流能力、驱动10μF容性负载、+5V单电源供电、信号带宽低于1kHz，同时缓冲器自身的噪声与温漂需远低于ADR4533B基准本身，以确保缓冲级不成为系统精度瓶颈。

以图4为例，这个案例覆盖了从发现问题到解决问题再到全面验证的完整闭环，是理解六种分析如何协同工作的最佳载体。

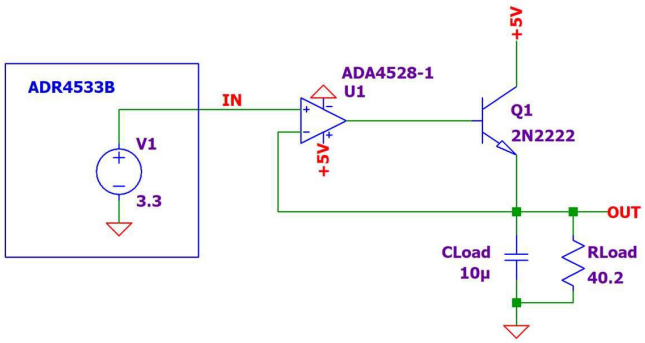


图4. ADR4533B电压基准缓冲器

第一步用Transient暴露问题。对缓冲器施加阶跃输入，输出波形出现明显的振荡与过冲，表明环路在容性负载条件下不稳定。这一步确认了问题的存在，但无法直接给出补偿方向。

第二步用AC分析定位根因。如图5所示，运行AC前，若采用1A交流电流源法测量高阻抗节点，或反馈网络在低频呈现GΩ级以上阻抗，建议加.option gfarad=0以消除LTspice默认按1e-12·C给每个电容并联的漏电导（Rpar=1e12/C）；对浮空节点可再加.option gfloat=0。标准AoI/1/β/Loop Gain注入法不强制需要，但在高精度高阻提取时推荐关闭。

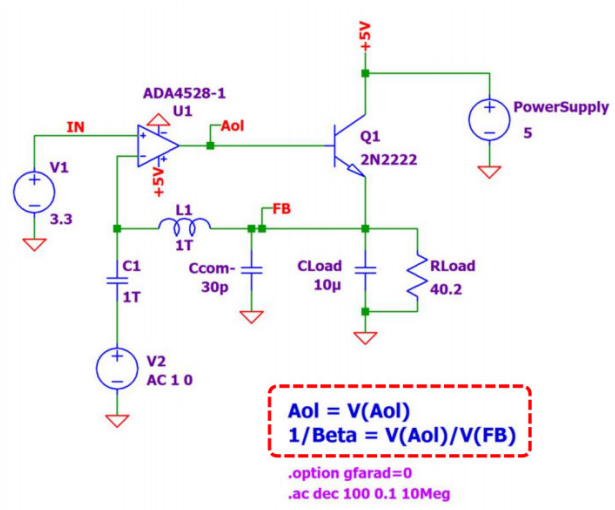


图5. 缓冲器环路稳定性分析电路

观察AoI与1/Beta在交越频率附近的闭合速率，确认为40dB/Dec，与瞬态振荡现象一致，判定为相位裕量不足。Loop Gain曲线也显示在交越频率处相位接近-180°，进一步印证不稳定。

第三步实施补偿。在反馈路径中加入R1与C1构成的超前-滞后补偿网络，调整极点与零点位置使AoI与1/Beta的闭合速率降至20dB/Dec。同时在输入端加入R3与C2构成的低通滤波器，滤除高频干扰并减少运放输入端的差分电压应力。补偿参数的选取基于对AoI曲线拐点与1/Beta曲线转折频率的分析，而非盲目试错。

第四步复测验证。例如图6所示，可以在Transient Analysis中考察负载瞬态响应。重新运行Transient，阶跃响应无过冲、无振铃，建立过程平滑。AC分析确认Rate of Closure已降至20dB/Dec，Loop Gain在交越频率处保留充足的相位裕量。至此稳定性问题已解决。

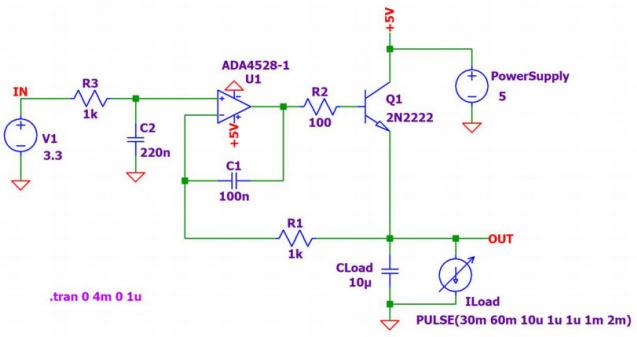


图6. 缓冲器负载瞬态响应仿真电路

第五步全面验证其余指标。运行DC op pnt复核输出端的直流误差，确认在ADR4533B初始精度与ADA4528-1失调电压叠加后仍满足系统要求。AC分析测得-3dB带宽为757Hz，满足低于1kHz的设计约束。

Noise分析分三个频带积分：0.1Hz至10kHz总噪声为631nVrms，0.1Hz至10Hz低频噪声为26.4nVrms，0.1Hz至1kHz为254nVrms。将这些数值与ADR4533B自身的噪声指标及后端ADC的LSB大小对比，确认缓冲器噪声远低于基准本身，不会成为精度瓶颈。

最后还需提醒一点，以上噪声结果仅包含缓冲器自身贡献，实际系统中电源噪声会通过PSRR耦合到输出端，需结合ADR4533B与ADA4528-1的PSRR曲线及实际电源纹波频谱做额外评估，这是仿真无法完全替代的系统级考量。

当仿真遇到收敛问题时，ADI给出了三层排查框架，强调从电路结构入手而非直接调整容差。第一层是电路结构检查：确认没有浮动节点，所有节点都有到地的直流通路，必要时给高阻节点接100MΩ电阻到地或使用受控源E提供偏置；避免电压源直接并联与电流源直接串联；确保所有有源元件都有正确的偏置供电。

第二层是仿真器设置：ITL1默认100可调至500，ITL2默认50可调至200，ITL4默认10可调至40，ITL6控制源步进的迭代上限，工作点难以求解时可增大该值以强化源步进搜索，设为零则禁用；积分方法可在trapezoidal、modifiedtrap与Gear之间切换，Gear方法对刚性系统更稳定但可能引入数值阻尼；求解器内核有Normal与Alternate两种，Alternate舍入误差更小、精度约高千倍但速度约减半。

第三层才是容差调整：Gmin默认1pS，Abstol默认1pA，Reltol默认0.001，Chgtol默认1e-14，Vntol默认1μV，Trtol默认为2，Sstol默认0.001。对此，ADI提醒，仿真48V输出的开关电源时，真的需要pA和μV级别的精度吗。过度收紧容差不仅拖慢仿真，还可能因数值条件恶化反而导致收敛失败，合理的做法是根据实际信号的幅度量级设定匹配的精度要求。

当仿真结果与预期不符或与实测存在系统性偏差时，问题可能出在模型本身。运放宏模型对开环增益的额外极点、开环输出阻抗的频变特性以及PSRR、CMRR的频率依赖性覆盖有限，这些参数在较高频段直接影响稳定性判断。噪声结果取决于宏模型中1/f转折频率与电流噪声建模的完整性，第三方模型常在这两方面简化。

对此，ADI提供了明确的反馈路径，通过EngineerZone的LTspice论坛提交模型问题，或在Help文档与OpenExamples中查找官方推荐的替代模型与测试电路。理解模型的适用边界，比追求更高的仿真精度更重要。

总结

本文试图回答的核心问题是，模拟设计的风险应当在原理图阶段通过仿真管理，而不是等PCB打样后在实验台上调试。可复用的做法可归纳为三条准则。

其一，先跑DC op pnt确认工作点收敛且合理，这是所有后续分析可信的前提，工作点异常时不应继续推进。其二，按分析类型正确配置激励源与判据，瞬态看时域波形，AC看RateofClosure或相位裕量，Noise看分频带积分结果，避免用错误的分析类型回答错误的问题。其三，用.param、.step与.meas把重复仿真变成自动流程，将人工试错转化为系统性的参数空间探索。

同时需要保持的工程清醒是，仿真只是设计的第一步，仿真结论的可信度始终受限于宏模型精度与线性化假设的适用边界，实际电路还需要考虑电源噪声、热耦合、器件离散性与PCB寄生等仿真框架之外的因素。成熟的做法是让仿真承担方向判断与参数初选，让实测完成最终确认，在关键指标上交叉验证。

LTspice的5000余个ADI模型与示例电路构成选型验证的起点，Help文档与OpenExamples是最系统的学习资源，把上述分析逻辑与排查框架归纳成自己的仿真检查清单，则是缩短设计周期的实际路径。

访问ADI在线支持社区，与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

ez.analog.com/cn

ADI EngineerZone™
中文技术论坛

ANALOG DEVICES
超越一切可能™

analog.com/cn

如需了解区域总部、销售和分销商，或联系客户服务和技术支持，请访问analog.com/cn/contact。

©2026 Analog Devices, Inc. 保留所有权利。商标和注册商标属各自所有人所有。