

### **$\Sigma$ - $\Delta$ 型ADC有哪些优缺点?**

利用 $\Sigma$ - $\Delta$ 技术实现高分辨率的代价是速度：硬件必须以远大于最高信号带宽的过采样速率工作，因而需要非常复杂的数字电路。由于这一限制， $\Sigma$ - $\Delta$ 型转换器传统上用于高分辨率、极低频率应用，最近才开始出现在语音、音频和中等速度(100 kHz至1 MHz)应用中。

数字滤波级导致从采样周期开始到第一个有效数字输出之间有很长的延时；同样，其后在数字输出与对应的采样时间之间也有明显的迟滞。这些特性会缩短多路复用系统中的吞吐时间，因为从一个通道切换到另一个通道之后，数字滤波器需要许多时钟周期才能建立。

$\Sigma$ - $\Delta$ 型转换器中的多数电路都是数字电路，因此这些转换器可以采用各种IC工艺制造。这意味着，其性能不会随时间和温度的变化而发生显著漂移。这些转换器本身具有单调性(即数字输出的变化始终与模拟输入的变化斜率相同)，这在闭环控制系统中尤为重要，因为如果误判所测量变量的变化方向，系统可能会变得不稳定。此外，这些转换器本身还具有线性度，几乎没有差分非线性度。调制器中的模数转换具有高输入采样速率和低精度特性，因此无需外部采样保持电路(这些器件本身具有自采样保持功能)。对模拟抗混叠滤波器的要求极低，大多数情况下，只需要一个简单的单极点RC滤波器，因为目标带宽明显低于约在调制器频率出现的第一镜像。相比之下，使用其它(非过采样)技术的中高分辨率应用所要求的滤波器则非常复杂，难以设计，并且尺寸较大、成本高昂。

### **主要应用有哪些?**

这些器件提供完整的模拟前端，适合低频测量应用，包括便携式仪器、过程控制、智能发射器、电子秤、基于传感器的应用、温度和压力测量系统。例如，在压力和温度测量系统中，系统设计人员面对的任务是测量压力传感器、RTD(电阻式温度检测器)或热电偶所产生的小信号，并将其解析至16位或更高的分辨率。主要设计任务包括：对传感器的输出信号进行信号调理，处理信号以达到所需的分辨率和精度，以及确保便携式应用的功耗足够低。该系列 $\Sigma$ - $\Delta$ 型转换器为全集成式解决方案，在单芯片上整合了必需的信号调理、滤波和模数转换器，可以直接与传感器进行接口，而无需前端信号调理。AD7705/6/7提供16位分辨率，功耗典型值为1 mW，因而是便携式数据采集应用的理想选择。

### **传统的模拟前端解决方案是什么? $\Sigma$ - $\Delta$ 解决方案如何克服其不足?**

测量传感器信号的传统方法是使用高分辨率模数转换器(ADC)作为测量过程的核心元件。一般使用积分ADC或电压频率转换器(VFC)，为低输入带宽信号提供高分辨率。该ADC周围必须有大量模拟信号调理电路，以提升传感器输出信号，从而可利用这些转换器的全部动态范围来实现所需的性能。系统能否准确测量小信号，常常是由信号调理电路的性能决定的，而不是高分辨率转换器。设计增益级时，必须考虑多种因素。首先最关键的因素是噪声，包括测量环境中的噪声和构成高增益级的器件中的噪声。电路设计环境中的噪声通常源于干线频率噪声和电源噪声。其它需要关注的事项包括增益级的共模抑制能力，因为传感器输出可能具有较高DC信号，所以必须将差分输入信号转换为单端输出。放大器失调和漂移性能会严重损害电路性能，因而不得使用昂贵的斩波稳定放大器。这些系统很难导入可编程性能，校准主要利用系统微控制器进行，这就需要外部存储器来存储校准系数。

随着近来设计技术的发展，可以将开关电容与 $\Sigma$ - $\Delta$ 技术相结合，从而可以实现低成本、低功耗、高精度、集成式解决方案。这种架构可以解决数据采集应用中低功耗设计的实际问题。集成解决方案带给系统设计人员的好处包括能够在片内集成直接与传感器接口的信号调理电路，它大大减少了模拟电路设计工作，并降低了布局复杂度。与分立解决方案相比，集成解决方案还能更好地控制规格特性和误差预算。 $\Sigma$ - $\Delta$ 型转换器可提供足够的动态范围，允许直接与传感器对接，因而无需在ADC之前放置高增益信号调理级。

**数据手册中提到: 如果输入端与地之间的外部电容较大, 可能会影响非缓冲模式下的测量精度。能否解释为什么会这样? 它只影响交流输入信号还是也会影响直流输入信号?**

如果在非缓冲模式下使用ADC, 则输入端的较大RC常数会与内部采样电容交互作用, 使采样电容无法得到充电电流。这将在ADC中引起增益误差。解决办法是使用缓冲模式, 或者确保遵守数据手册中给出的最大RC值要求。

基准输入也是非缓冲型, 因此与在非缓冲模式下使用模拟输入一样, 基准输入端的RC载荷必须足够低, 以免将误差引入转换过程。

**当AD7705/06/07采用的主时钟频率与数据手册中的额定值不同时, 数据更新速率是多少?**

输出数据速率根据下式确定:

$$\text{更新速率} = \text{Fclk}/128/\text{code}$$

其中Fclk为主时钟频率, code为载入滤波器寄存器的十进制数。

AD7705/06/07为用户提供了有限个数的更新速率。这些更新速率利用时钟寄存器中的CLK、FS1和FS0位进行解码。下表显示两种情况下的实际更新速率: 一种是Fclk=2.4576 MHz且CLK=1, 另一种是Fclk=1 MHz且CLK=0。

CLK	FS1	FS0	CODE	更新速率(Hz)
0	0	0	391	19.98
0	0	1	312	25.04
0	1	0	78	100.2
0	1	1	39	200.3
1	0	0	384	50
1	0	1	320	60
1	1	0	77	249.4
1	1	1	38	505.3

这些器件可以采用规定范围内的任何时钟频率。选择数据手册中的时钟频率时, 建议选择易于实现50 Hz和60 Hz的陷波频率, 且容易获得的小型低成本振荡器。利用以上公式和表中的码字可以确定任意时钟频率对应的更新速率。

**主时钟频率最低可以是多少? 以降低的时钟频率工作时, 可以达到怎样的性能?**

AD7705/06/07可以采用最低400 kHz的主时钟频率工作。输出数据速率与主时钟频率成比例。例如, 当主时钟频率为1 MHz且CLK = F1 = F0 = 0时, 器件的输出数据速率为20 Hz。陷波频率为输出数据速率的整数倍, 即20 Hz、40 Hz、60 Hz等。如果主时钟频率减半, 输出数据速率也将降低一倍, 变为10 Hz。此时, 陷波频率为10 Hz、20 Hz、30 Hz等。因此, 当输出数据速率为10 Hz时, 可实现50 Hz/60 Hz同时抑制。

输入频率较低时, 噪声以内部器件噪声而不是量化噪声为主, 因此噪声在相当程度上与主时钟频率无关。借用上例, 采用数据手册表中的数值, 即增益为1、主时钟频率为1 MHz、5 V电源时, 均方根噪声为4.1  $\mu$ V。如果主时钟频率降至500 kHz, 则在增益为1、采用5 V电源时, 噪声仍为4.1  $\mu$ V。在两种时钟速度下, 峰峰分辨率均为16位。

许多用户使用较低的主时钟频率, 如此便可以用较小的低成本陶瓷谐振器来产生时钟。谐振器的缺点是精度不高, 频率误差较大, 而且随温度漂移。频率漂移将引起陷波频率漂移, 导致杂散信号可能会通过, 从而产生更高的噪声。

### 关于这些产品，需考虑采用什么ESD保护建议方案吗？

这些转换器采用标准CMOS工艺制造，因此，像所有其它CMOS器件一样，所有标准做法和保护方案均适用于这些器件。所有输入端均具有ESD保护二极管，用来保护器件免遭搬运和生产过程中可能造成的ESD损害。这些ESD保护二极管的作用是将任何引脚上的电压箝位在与电源电压相差0.5 V的范围内。虽然能承载相当高的电流，但只能维持很短的时间，因此可以保护IC免受持续时间较短的大脉冲影响(总能量仍然很低)。所有引脚上的门锁电流典型值均为100 mA。

这些保护二极管能承受的最大直流电流为10 mA。因此，任何输入端上可以施加的最大电流为10 mA。如果因为过压，可能有超过10 mA的电流施加于引脚上，则需要提供外部保护。可以应用的保护方案包括在电源线路上使用Transzorb二极管，在数字输入线路上使用串联电阻，以及在模拟输入端使用电阻和二极管。例如，外部保护可以是与输入引脚串联的一个电阻，用来将流入引脚的电流限制在10 mA以下。如果引脚上的最大过压为5 V，则在每条线路上串联一个1 k $\Omega$ 电阻可将电流限制在5 mA。

关于这一问题，有许多应用笔记和研讨会资料等可供参考。下面是ADI公司网站上提供的资源：

1) AN-202：IC放大器用户指南：去耦、接地以及随机应变

[http://www.analog.com/UploadedFiles/Application\\_Notes/135208865AN-202.pdf](http://www.analog.com/UploadedFiles/Application_Notes/135208865AN-202.pdf)

2) AN-311：如何切实有效地保护CMOS电路不受电源过压影响

[http://www.analog.com/UploadedFiles/Application\\_Notes/52614692AN311.pdf](http://www.analog.com/UploadedFiles/Application_Notes/52614692AN311.pdf)

3) AN-397：标准线性集成电路的电导致的损坏

[http://www.analog.com/UploadedFiles/Application\\_Notes/262799190AN-397.pdf](http://www.analog.com/UploadedFiles/Application_Notes/262799190AN-397.pdf)

4) 过压对模拟IC的影响

[http://www.analog.com/UploadedFiles/Associated\\_Docs/334653243Section7.pdf](http://www.analog.com/UploadedFiles/Associated_Docs/334653243Section7.pdf)

### 这些器件对传导和辐射电磁噪声敏感吗？

任何 $\Sigma$ - $\Delta$ 型ADC都易受到进入输入端、电源引脚或基准电压源中传导射频(RF)的影响。原因是杂散RF信号及其谐波可能会被 $\Sigma$ - $\Delta$ 调制器求平均值，而表现为直流失调电压或本底噪声增加。辐射RF更复杂一点，但也可能发生类似的问题，而且在某些情况下，需要对系统中的 $\Sigma$ - $\Delta$ 型ADC进行屏蔽，使之不受系统内局部产生的较大RF场的影响。

所需的保护程度取决于本地场的强度。设计EMC兼容性时，并不存在一成不变的规则，因为每个系统都不相同，但仍有一些通用指导原则可以遵循。考虑输入端、基准电压源和电源引脚，确保每条线路均根据所需的最大频率进行适当的滤波。电源上使用去耦电容，尽量靠近IC；可能的话，在模拟电源与数字电源之间连接一个小电感；以及基准电压源和输入端上的滤波等等，这些也很重要。采用实心低阻抗接地层，将模拟地与数字地分离，以及让地平面位于整个IC下方等等，都是很好的常用做法。评估板可以作为很好的起点。

有时候，如果器件的工作环境中存在高电磁场，例如靠近电源、继电器或RF发射机等，则需要为ADC提供法拉第屏蔽，但这只是特例。

作为器件制造商，ADI公司通常不执行EMC测试，因为EMC是一个系统级特性，而不是一个器件特性。确保电路中的敏感器件不受杂散信号影响，是PCB设计人员的责任。我们并没有无懈可击的EMC设计可提供给客户，但是，如果客户使用评估板并遵循关于布局、接地和去耦的标准做法，则有可能不需要付出太大努力便可设计出达到甚至超过CE认证要求的系统。我们所有研讨会书籍的最后一章都专门介绍硬件设计技术，讨论接地、去耦、寄生热电偶和良好的PCB设计等问题。

[http://www.analog.com/UploadedFiles/Associated\\_Docs/116618369Fsect10.PDF](http://www.analog.com/UploadedFiles/Associated_Docs/116618369Fsect10.PDF)

### 评估板无法通过打印机端口实现连接，需检查哪些方面？

在评估板生产过程中，所有评估板都会经过全面测试，因此应当能够毫无问题地通过PC打印机端口直接连接。上电后，尝试从其中一个寄存器读取默认值，以确保已经与评估板建立通信。例如，在评估AD7705时，请在上电复位之后读取校准寄存器。零电平寄存器应当输出字1F4000H，满量程寄存器应当输出字5761ABH。

如果接口不工作，可能是评估板软件在Windows NT上的运行发生问题，因为该操作系统可能会限制软件访问打印机端口等硬件。该软件肯定可以在Windows 95和Windows 98上运行，但不能在Windows 2000上运行。另外，可以考虑将PC打印机端口配置为只允许输出的端口。评估板所用的输入线路为专用输入线路，无法重新配置。如果其它软件(例如扫描仪配置软件)重新配置了其它线路，则这些线路可能会发生问题。

下面的快速调试方法也有助于找出问题的原因。

使用示波器探头检查器件的SCLK引脚。将探头与打印机端口连接器的引脚5相连，然后加载软件，点击“设置校准系数”按钮。这样，软件会向ADC写入数据，然后尝试回读校准数据。反复进入退出，以重复读/写操作。SCLK引脚上应当出现一串时钟脉冲。

如果没有出现SCLK脉冲，则可能是打印机端口已被设置为输入端口，任何写入操作都会被忽略。为解决这一问题，请将端口设置为AT/单向模式。此项设置必须在BIOS软件中完成。编辑BIOS的方法取决于PC，一般是在PC启动时按一些组合键(通常是DEL或CTRL + ALT + ENTER)。

如果SCLK脉冲存在，但回读的数据显示为全1或全0，则可能是评估板或打印机端口有问题。这可以通过以下办法来检查：从边缘连接器到ADC跟踪SCLK信号，并从器件到边缘连接器跟踪SDATA信号。

### 使用评估板时还会遇到其它哪些问题？

如果可以配置ADC，但无法从ADC中读取转换结果，请确保ADC已脱离同步模式(FSYNC = 0)。器件上电时，FSYNC位设置为1，使数字滤波器处于已知状态，并防止DRDY变为低电平。在尝试执行读操作时，软件等待DRDY变换状态，如果经过指定时间后未看到状态变化，就会超时并返回错误信息。当然，如果FSYNC位设置为1，DRDY就不会变换状态。

为确保达到额定性能，请将输入连在一起，并将其与共模范围内的共模电压相连(例如将两路输入均与基准电压相连)，选择所需的增益、更新速率、滤波器带宽、单极性/双极性，然后执行内部校准。使用评估软件执行1000次转换，并利用噪声分析功能计算峰峰值分辨率。将转换的结果与数据手册中的预期结果相比较。

### 驱动光隔离器时可能会有什么问题吗？

如果需要，数字输出的吸电流能力可达到800  $\mu$ A以上。这些ADC的各路数字输出最高可吸收5 mA的电流，同时仍能提供良好的逻辑低电压。请注意，在这些负载条件下，器件不会表现出数据手册所描述的时序特征。为避免高电流导致可靠性问题，电流应以每路输出5 mA为限，或者总计不超过10 mA。

为此，ADC与二极管之间应放置一个串联电阻，以限制最大电流。重要的是光隔离器与该串联电阻的总电阻。

对于3.3 V电源，500  $\Omega$ 电阻可以将电流限制在5 mA， $V_{ol}$ 约为120 mV。对于5 V电源，850  $\Omega$ 电阻可以将电流限制在5 mA， $V_{ol}$ 约为100 mV。当DOUT引脚为三态时，它不会通过光隔离器汲取任何电流。但是，当DRDY为低电平时，它会通过DRDY吸收5 mA电流。

### AD7705与AD7715引脚兼容吗？可以自动检测插口中是哪一种器件吗？

AD7715可以接在AD7705插口中使用，并且可以获得单通道结果。寄存器配置会略有不同，因此用户必须检测插口中是哪一种器件，然后运行适当的软件程序。确定插口中是哪一种ADC的最有效方法，是在上电时从SETUP寄存器中读取默认

值。对于AD7715，此寄存器的默认值为0x28，AD7705则为0x01。由此可以立即判断插口中是哪一种器件。用户确定插口中是哪一种器件之后，应当为它指定唯一识别符，然后运行所需的例行程序，对它进行正确编程。当用户与接口中断通信，需要使用正确的例行程序对器件重新编程时，该唯一识别符会很有用。

**ADI公司提供AD7705/AD7706/AD7707与微控制器接口的C语言代码吗?**

数据手册中提供了AD7705/AD7706/AD7707与68HC11接口的C语言代码示例。但是，ADI公司一般不提供ADC与微控制器接口的C语言代码。代码示例仅作为编程指南提供给编程人员。大多数客户都会根据自己的微控制器和特定用途重新编写代码。数据手册对ADC与各种数字信号处理器和微控制器的接口做了一般说明。客户可以借助数据手册所提供的代码示例和说明，针对特定的数字信号处理器或微控制器编写代码。