

产品特性

- 集成小数N分频PLL的接收混频器
- RF输入频率范围：300 MHz至2500 MHz
- 内部LO频率范围：750 MHz至1160 MHz
- 输入P1dB：14.5 dBm
- 输入IP3：31 dBm
- 通过外部引脚优化IIP3
- SSB噪声系数
 - IP3SET引脚断开：13.5 dB
 - IP3SET引脚接3.3 V电压：14.6 dB
- 电压转换增益：6.7 dB
- 200 Ω IF输出匹配阻抗
- IF 3 dB带宽：500 MHz
- 可通过三线式SPI接口进行编程
- 40引脚、6 mm × 6 mm LFCSP封装

应用

蜂窝基站

概述

ADRF6601是一款高动态范围有源混频器，集成锁相环(PLL)和压控振荡器(VCO)。PLL/频率合成器利用小数N分频PLL产生 f_{LO} 输入，供给混频器。参考输入可以进行分频或倍频，然后施加于PLL鉴频鉴相器(PFD)。

PLL支持12 MHz至160 MHz范围内的输入参考频率。PFD输出控制一个电荷泵，其输出驱动一个片外环路滤波器。

然后，环路滤波器输出施加于一个集成式VCO。VCO输出($2 \times f_{LO}$)再施加于一个LO分频器和一个可编程PLL分频器。可编程PLL分频器由一个 Σ - Δ 调制器(SDM)进行控制。SDM的模数可以在1至2047范围内编程。

有源混频器可将单端50 Ω RF输入转换成200 Ω 差分IF输出。IF输出的工作频率最高可达500 MHz。

ADRF6601采用先进的硅锗BiCMOS工艺制造，提供40引脚、裸露焊盘、符合RoHS标准的6 mm x 6 mm LFCSP封装。额定温度范围为-40°C至+85°C。

表1.

产品型号	内部LO范围	± 3 dB RF _{IN} 巴伦范围	± 1 dB RF _{IN} 巴伦范围
ADRF6601	750 MHz 1160 MHz	300 MHz 2500 MHz	450 MHz 1600 MHz
ADRF6602	1550 MHz 2150 MHz	1000 MHz 3100 MHz	1350 MHz 2750 MHz
ADRF6603	2100 MHz 2600 MHz	1100 MHz 3200 MHz	1450 MHz 2850 MHz
ADRF6604	2500 MHz 2900 MHz	1200 MHz 3600 MHz	1600 MHz 3200 MHz

功能框图

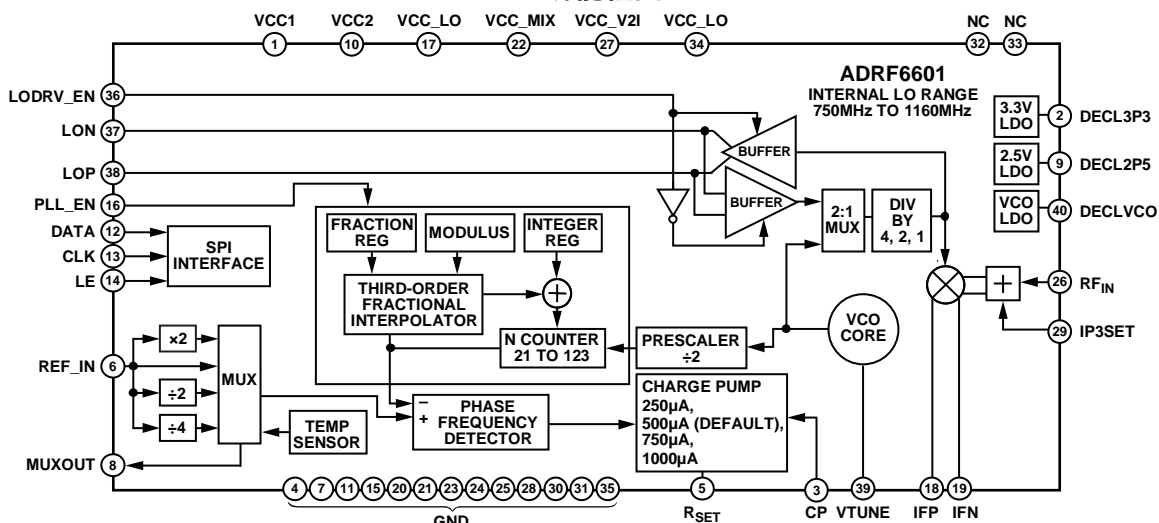


图1.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2010–2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	寄存器3— Σ - Δ 调制器扰动控制(默认值: 0x10000B)	17
应用	1	寄存器4—PLL电荷泵、PFD和参考路径控制(默认值: 0x0AA7E4).....	18
概述	1	寄存器5—PLL使能和LO路径控制(默认值: 0x0000E5)..	19
功能框图	1	寄存器6—VCO控制和VCO使能(默认值: 0x1E2106).....	19
修订历史	2	寄存器7—混频器偏置使能和外部VCO使能(默认值: 0x000007).....	19
技术规格	3	工作原理	20
RF规格	3	对ADRF6601进行编程	20
频率合成器/PLL规格	4	初始化序列	20
逻辑输入和电源规格	4	LO选择逻辑	21
时序特性	5	应用信息	22
绝对最大额定值	6	工作基本连接	22
ESD警告	6	交流测试设备	23
引脚配置和功能描述	7	评估板	24
典型工作特性	9	评估板控制软件	24
RF频率扫描	9	原理图和PCB布局图	26
IF频率扫描	10	评估板配置选项	28
杂散性能	15	外形尺寸	29
寄存器结构	16	订购指南	29
寄存器0—整数分频控制(默认值: 0x0001C0)	16		
寄存器1—模数分频控制(默认值: 0x003001)	16		
寄存器2—小数分频控制(默认值: 0x001802)	17		

修订历史

2011年3月—修订版0至修订版A

更改“产品特性”部分、“概述”部分和表1	1
更改表2	3
更改表3中的条件说明和品质因数、参考杂散和相位噪声参 数；更改表4中的条件说明和电源电流参数	4
更改表6	6
更改表7	7
更换“典型工作特性”部分	9
增加“杂散性能”部分	15
更改图44和图45	19
更改“工作原理”部分	20
增加“交流测试夹具”部分和图47；重新排序	23
更改“评估板控制软件”部分	24
更改表10	28

2010年1月—修订版0：初始版

技术规格

RF规格

除非另有说明, $V_S = 5\text{ V}$, 环境温度(T_A) = 25°C , $f_{\text{REF}} = 153.6\text{ MHz}$, $f_{\text{PFD}} = 38.4\text{ MHz}$, 高端LO注入, $f_{\text{IF}} = 140\text{ MHz}$,
IP3用CDAC = 0x0且IP3SET = 3.3 V来优化。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
内部LO频率范围		750		1160	MHz
RF输入频率范围	$\pm 3\text{ dB}$ RF输入范围	300		2500	MHz
610 MHz时RF输入					
输入回损	相对于50 Ω (可利用外部匹配改善)		-11.1		dB
输入P1dB			14.8		dBm
二阶交调截点(IIP2)	每种信号音-5 dBm(信号音之间存在10 MHz间隔)		67.4		dBm
三阶交调截点(IIP3)	每种信号音-5 dBm(信号音之间存在10 MHz间隔)		33.4		dBm
单边带噪声系数	IP3SET = 3.3 V		13.3		dB
	IP3SET = 断开		12.5		dB
LO至IF泄漏	1 \times LO频率, RF端口接50 Ω 端接电阻		-55.5		dBm
910 MHz时RF输入					
输入回损	相对于50 Ω (可利用外部匹配改善)		-16.7		dB
输入P1dB			14.5		dBm
二阶交调截点(IIP2)	每种信号音-5 dBm(信号音之间存在10 MHz间隔)		55.3		dBm
三阶交调截点(IIP3)	每种信号音-5 dBm(信号音之间存在10 MHz间隔)		30.9		dBm
单边带噪声系数	IP3SET = 3.3 V		14.6		dB
	IP3SET = 断开		13.5		dB
LO至IF泄漏	1 \times LO频率, RF端口接50 Ω 端接电阻		-48		dBm
1,020 MHz时RF输入					
输入回损	相对于50 Ω (可利用外部匹配改善)		-16.8		dB
输入P1dB			14.8		dBm
二阶交调截点(IIP2)	每种信号音-5 dBm(信号音之间存在10 MHz间隔)		60.9		dBm
三阶交调截点(IIP3)	每种信号音-5 dBm(信号音之间存在10 MHz间隔)		32.2		dBm
单边带噪声系数	IP3SET = 3.3 V		14.8		dB
	IP3SET = 断开		13.5		dB
LO至IF泄漏	1 \times LO频率, RF端口接50 Ω 端接电阻		-49		dBm
IF输出					
电压转换增益	差分200 Ω 负载		6.7		dB
IF带宽	小信号3 dB带宽		500		MHz
输出共模电压	需要外部上拉巴伦或电感		5		V
增益平坦度	整个频率范围内, 任意5 MHz/50 MHz		0.2/0.5		dB
增益变化率	整个温度范围内		1.2		dB
输出摆幅	差分200 Ω 负载		2		V p-p
差分输出回损	通过4:1巴伦测得		-15.5		dB
LO输入/输出(LOP和LON)	外部施加1 \times LO输入, 内部PLL禁用				
频率范围		250		6000	MHz
输出电平(LO作为输出)	1 \times LO输入50 Ω 负载, LO输出缓冲器使能		-6		dBm
输入电平(LO作为输入)		-6	0	+6	dBm
输入阻抗			50		Ω

ADRF6601

频率合成器/PLL规格

除非另有说明, $V_S = 5\text{ V}$, 环境温度(T_A) = 25°C , $f_{\text{REF}} = 153.6\text{ MHz}$, f_{REF} 功率 = 4 dBm , $f_{\text{PFD}} = 38.4\text{ MHz}$, 高端LO注入, $f_{\text{IF}} = 140\text{ MHz}$, IIP3用CDAC = 0x0且IP3SET = 3.3 V来优化。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
频率合成器规格	频率合成器规格参考1× LO				
频率范围	内部产生的LO	750		1160	MHz
品质因数 ¹	$P_{\text{REF_IN}} = 0\text{ dBm}$		-222		dBc/Hz/Hz
参考杂散	$f_{\text{PFD}} = 38.4\text{ MHz}$				
	$f_{\text{PFD}}/4$		-107		dBc
	f_{PFD}		-83		dBc
	$>f_{\text{PFD}}$		-88		dBc
相位噪声	$f_{\text{LO}} = 750\text{ MHz}$ 至 1160 MHz , $f_{\text{PFD}} = 38.4\text{ MHz}$				
	1 kHz至10 kHz偏移		-99		dBc/Hz
	100 kHz偏移		-108		dBc/Hz
	500 kHz偏移		-127		dBc/Hz
	1 MHz偏移		-135		dBc/Hz
	5 MHz偏移		-147		dBc/Hz
	10 MHz偏移		-151		dBc/Hz
	20 MHz偏移		-153		dBc/Hz
积分相位噪声	积分带宽1 kHz到40 MHz		0.14		°rms
PFD频率		20		40	MHz
参考特性	REF_IN, MUXOUT引脚				
REF_IN输入频率		12		160	MHz
REF_IN输入电容			4		pF
MUXOUT输出电平	V_{OL} (选择锁定检测输出)			0.25	V
	V_{OH} (选择锁定检测输出)	2.7			V
MUXOUT占空比			50		%
电荷泵					
电荷泵电流	可编程为250 μA , 500 μA , 750 μA , 1 mA		500		μA
输出顺从电压范围		1		2.8	V

¹ 品质因数(FOM)的计算方法为: 相位噪声(dBc/Hz) - $10 \log_{10}(f_{\text{PFD}})$ - $20 \log_{10}(f_{\text{LO}}/f_{\text{PFD}})$ 。FOM在整个LO范围内测量, 条件: $f_{\text{REF}} = 80\text{ MHz}$, f_{REF} 功率 = 10 dBm (压摆率500 V/ μs , 40 MHz f_{PFD})。FOM在50 kHz偏移下计算。

逻辑输入和电源规格

除非另有说明, $V_S = 5\text{ V}$, 环境温度(T_A) = 25°C , $f_{\text{REF}} = 153.6\text{ MHz}$, $f_{\text{PFD}} = 38.4\text{ MHz}$, 高端LO注入, $f_{\text{IF}} = 140\text{ MHz}$, IIP3用CDAC = 0x0且IP3SET = 3.3 V来优化。

表4.

参数	测试条件/注释	最小值	典型值	最大值	单位
逻辑输入	CLK, DATA, LE				
输入高电压 V_{INH}		1.4		3.3	V
输入低电压 V_{INL}		0		0.7	V
输入电流 $I_{\text{INH}}/I_{\text{INL}}$			0.1		μA
输入电容 C_{IN}			5		pF
电源	VCC1, VCC2, VCC_LO, VCC_MIX,和VCC_V2I引脚				
电压范围		4.75	5	5.25	V
电源电流	仅PLL		97		mA
	外部LO模式(内部PLL禁用, IP3SET引脚 = 3.3 V, LO输出缓冲器关闭)		184		mA
	内部LO模式(内部PLL使能, IP3SET引脚 = 3.3 V, LO输出缓冲器开启)		294		mA
	内部LO模式(内部PLL使能, IP3SET引脚 = 3.3 V, LO输出缓冲器关闭)		281		mA
	掉电模式		30		mA

时序特性

$V_s = 5\text{ V} \pm 5\%$ 。

表5.

参数	限值	单位	描述
t_1	20	ns(最小值)	LE建立时间
t_2	10	ns(最小值)	DATA到CLK建立时间
t_3	10	ns(最小值)	DATA到CLK保持时间
t_4	25	ns(最小值)	CLK高电平持续时间
t_5	25	ns(最小值)	CLK低电平持续时间
t_6	10	ns(最小值)	CLK到LE建立时间
t_7	20	ns(最小值)	LE脉冲宽度

时序图

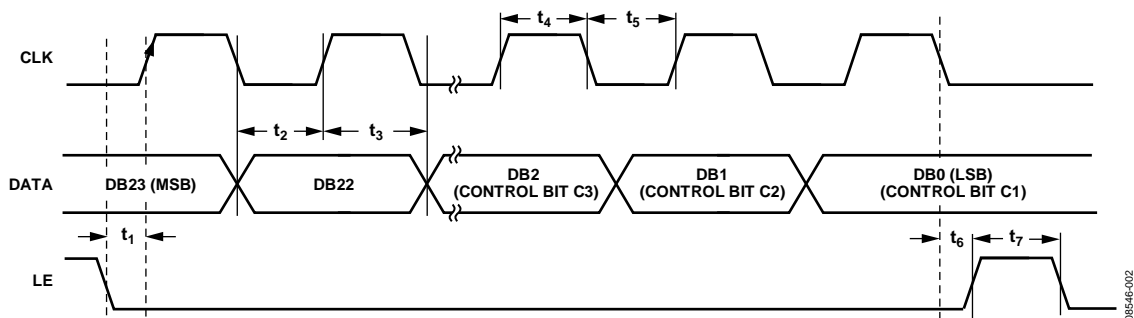


图2. 时序图

08546-002

绝对最大额定值

表6.

参数	额定值
电源电压, VCC1, VCC2, VCC_LO, VCC_MIX, VCC_V2I	-0.5 V至+5.5 V
数字I/O, CLK, DATA, LE, LODRV_EN, PLL_EN	-0.3 V至+3.6 V
VTUNE	0 V至3.3 V
IFP, IFN	-0.3 V至VCC_V2I + 0.3 V
RF _{IN}	16 dBm
LOP, LON, REF_IN	13 dBm
θ _{JA} (裸露焊盘焊接到下方)	35°C/W
最高结温	150°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

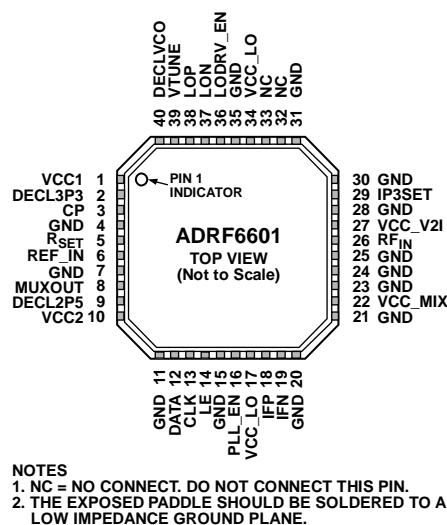


图3. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	描述
1	VCC1	3.3 V LDO的电源。电源电压范围为4.75 V至5.25 V。各电源引脚均应通过引脚附近的100 pF电容和0.1 μF电容进行去耦。
2	DECL3P3	3.3 V LDO的去耦节点。应将一个0.1 μF电容连接在此引脚与地之间。
3	CP	电荷泵输出引脚。通过环路滤波器连接到VTUNE。
4, 7, 11, 15, 20, 21, 23, 24, 25, 28, 30, 31, 35	GND	地。这些引脚连接到低阻抗接地层。
5	RSET	电荷泵电流。使用寄存器4的位DB11和位DB10并将寄存器4的位DB18置0(内部基准电流)，可以将标称电荷泵电流设置为250 μA、500 μA、750 μA或1 mA。这种模式下不需要外部R _{SET} 。如果位DB18置1，则可以根据下式从外部调整四个标称电荷泵电流(I _{NOMINAL})： $R_{SET} = \left(\frac{217.4 \times I_{CP}}{I_{NOMINAL}} \right) - 37.8 \Omega$
6	REF_IN	参考输入。标称输入电平为1 V p-p。输入范围为12 MHz至160 MHz。此引脚内部直流偏置，应交流耦合。
8	MUXOUT	多路复用器输出。可对此输出进行编程，以提供参考输出信号或锁定检测信号。可通过设置相应的寄存器来选择该输出。
9	DECL2P5	2.5 V LDO的去耦节点。应将一个0.1 μF电容连接在此引脚与地之间。
10	VCC2	2.5 V LDO的电源。电源电压范围为4.75 V至5.25 V。各电源引脚均应通过引脚附近的100 pF电容和0.1 μF电容进行去耦。
12	DATA	串行数据输入。串行数据输入以MSB优先方式加载，三个LSB用作控制位。
13	CLK	串行时钟输入。该串行时钟输入用来将串行数据逐个输入寄存器。数据在CLK上升沿锁存到24位移位寄存器内。最大时钟频率为20 MHz。
14	LE	加载使能。当LE输入引脚变为高电平时，移位寄存器中存储的数据加载到八个寄存器之一。相关的锁存器由24位字的三个控制位选择。
16	PLL_EN	PLL使能。在内部PLL和外部LO输入之间切换。当此引脚处于逻辑高电平时，混频器LO自动切换至内部PLL，内部PLL即会上电。当此引脚处于逻辑低电平时，内部PLL掉电，外部LO输入路由至混频器LO输入。也可以使用SPI来切换模式。
17, 34	VCC_LO	电源。电源电压范围为4.75 V至5.25 V。各电源引脚均应通过引脚附近的100 pF电容和0.1 μF电容进行去耦。
18, 19	IFP, IFN	混频器IF输出。这些输出应通过RF扼流圈拉至VCC。

ADRF6601

引脚编号	引脚名称	描述
22	VCC_MIX	电源。电源电压范围为4.75 V至5.25 V。各电源引脚均应通过引脚附近的100 pF电容和0.1 μF电容进行去耦。
26	RF _{IN}	RF输入(单端, 50 Ω)。
27	VCC_V2I	电源。电源电压范围为4.75 V至5.25 V。各电源引脚均应通过引脚附近的100 pF电容和0.1 μF电容进行去耦。
29	IP3SET	应将一个电阻连接在此引脚和5 V电源之间, 以便调整IP3。通常保持断开。
32, 33	NC	不连接。
36	LODRV_EN	LO驱动器使能。此数字输入引脚与引脚16(PLL_EN)一起确定LOP和LON引脚是用作输入还是输出。如果PLL_EN引脚处于低电平, 或者PLL_EN引脚设为高电平且PLEN位(寄存器5的DB6)置0, LOP和LON变为输入。如果PLL_EN引脚设为高电平时LODRV_EN引脚或LDRV位(寄存器5的DB3)置1, LOP和LON变为输出。外部LO驱动频率必须为1×LO。此引脚内置一个100 kΩ下拉电阻。
37, 38	LON, LOP	本振输入/输出。内部产生的1×LO通过这些引脚提供。内部LO发生器禁用时, 可以将外部1×LO施加于这些引脚。
39	VTUNE	VCO控制电压输入。此引脚由环路滤波器的输出驱动。此引脚的标称输入电压范围为1.5 V至2.5 V。
40	DECLVCO	VCO LDO的去耦节点。应在此引脚与地之间连接一个100 nF电容和一个10 μF电容。
	EPAD	裸露焊盘。应将裸露焊盘焊接到低阻抗接地层。

典型工作特性

RF频率扫描

除非另有说明，CDAC = 0x0，内部产生高端LO，RF_{IN} = -5 dBm，f_{IF} = 140 MHz。

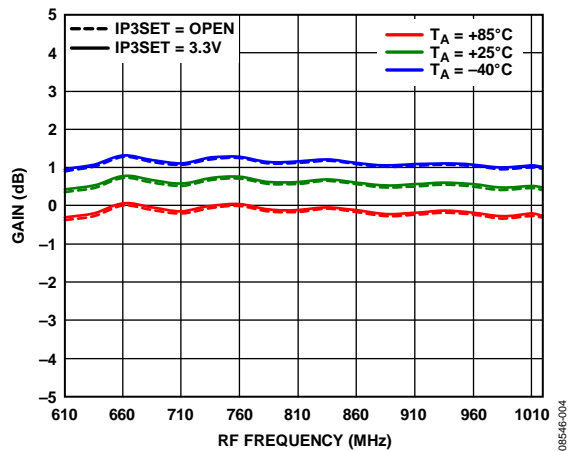


图4. 增益与RF频率的关系

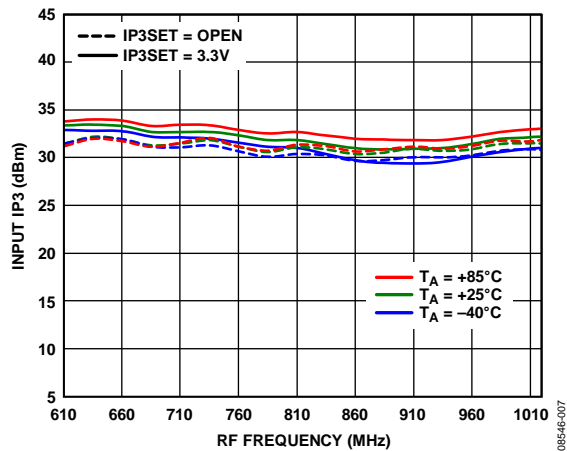


图7. 输入IP3与RF频率的关系

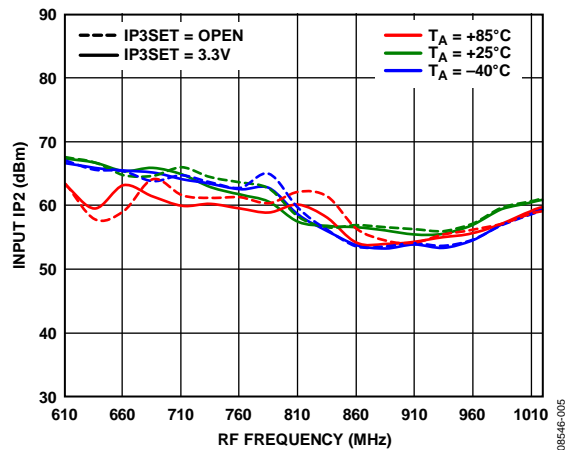


图5. 输入IP2与RF频率的关系

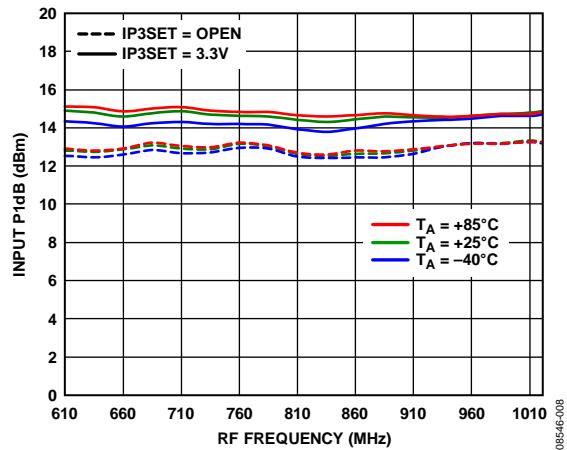


图8. 输入P1dB与RF频率的关系

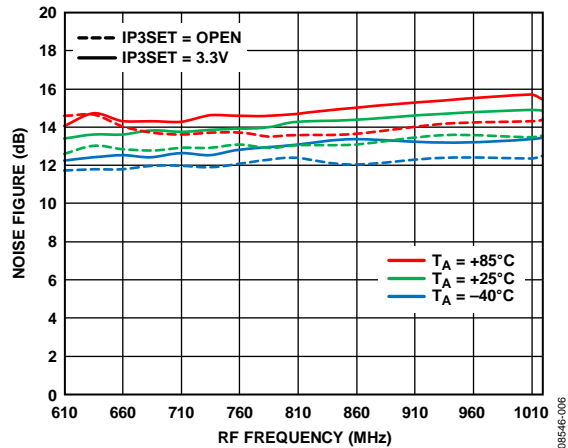


图6. 噪声系数与RF频率的关系

ADRF6601

IF频率扫描

除非另有说明，CDAC = 0x0，内部产生扫描低端LO， $f_{RF} = 1960$ MHz， $RF_{IN} = -5$ dBm。

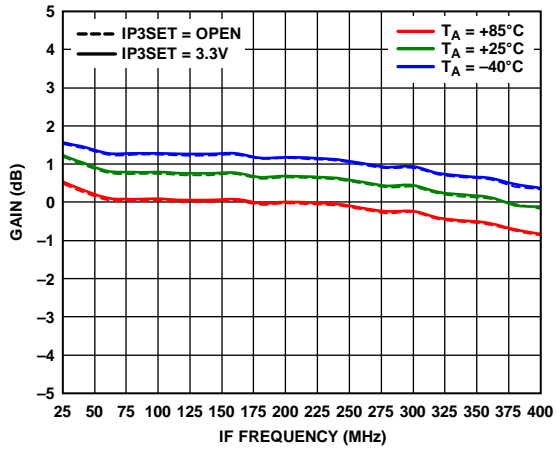


图9. 增益与IF频率的关系

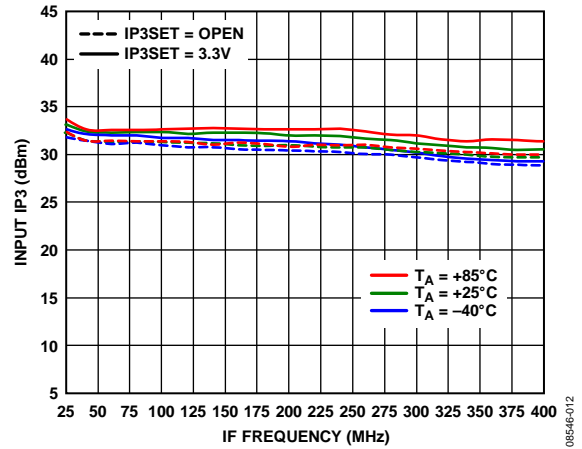


图12. 输入IP3与IF频率的关系($RF_{IN} = -5$ dBm)

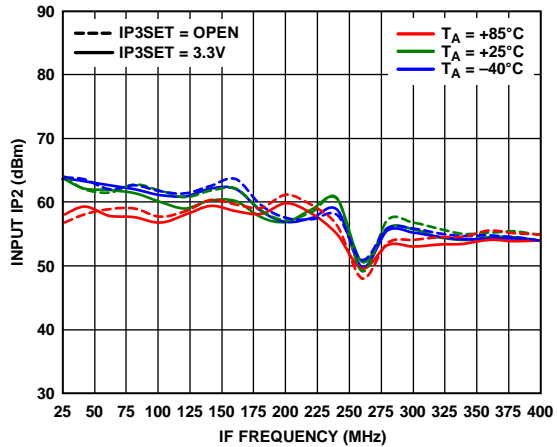


图10. 输入IP2与IF频率的关系($RF_{IN} = -5$ dBm)

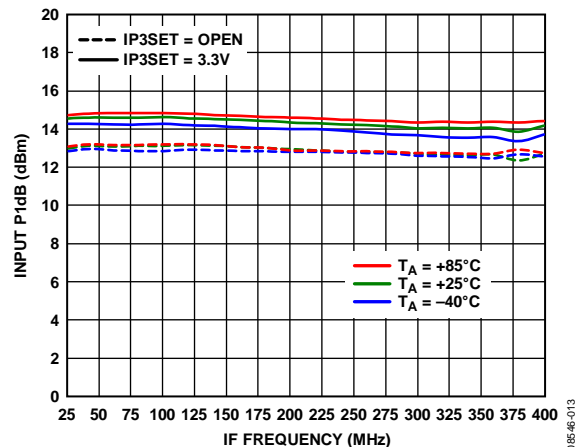


图13. 输入P1dB与IF频率的关系

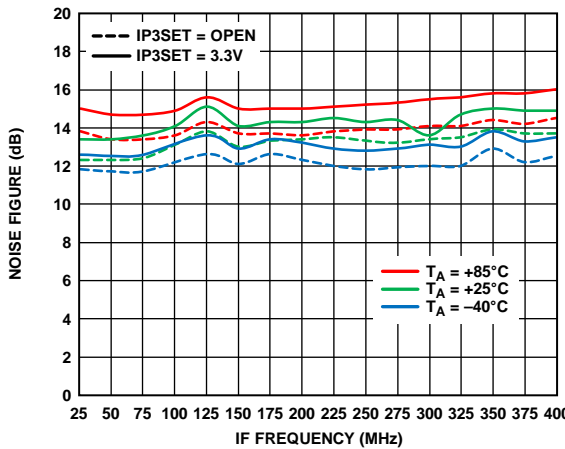


图11. 噪声系数与IF频率的关系

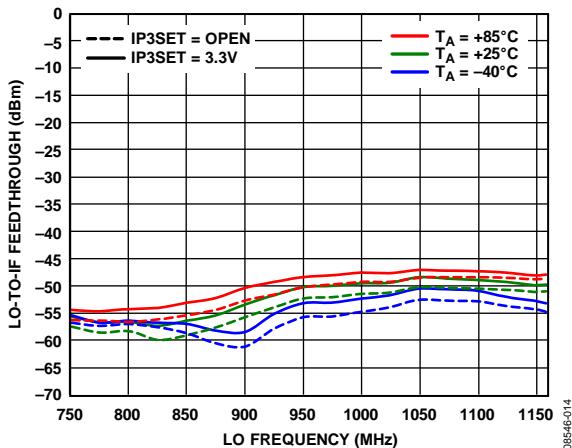


图14. LO至IF馈通与LO频率的关系
(LO输出关闭, CDAC = 0x0)

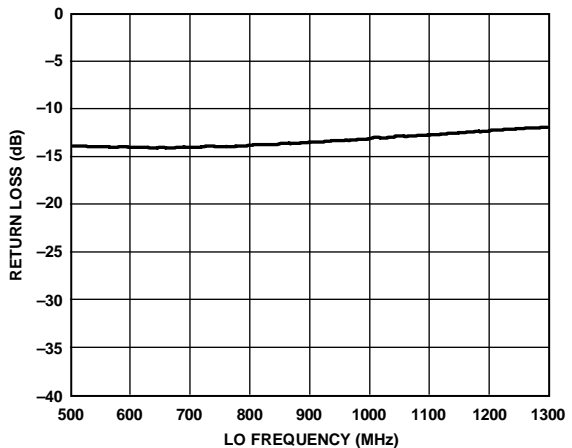


图17. LO输入回损与LO频率的关系(包含TC1-1-13巴伦)

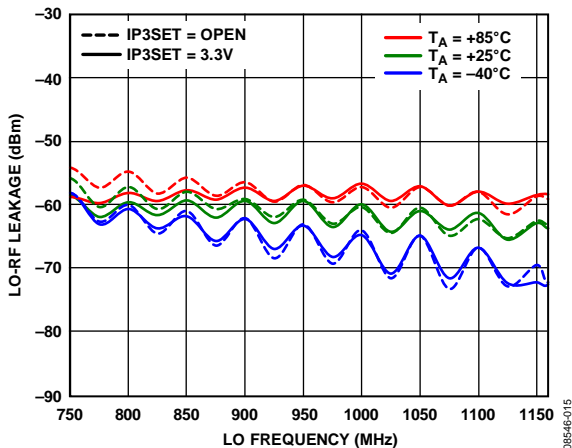


图15. LO至RF泄漏与LO频率的关系(LO输出关闭)

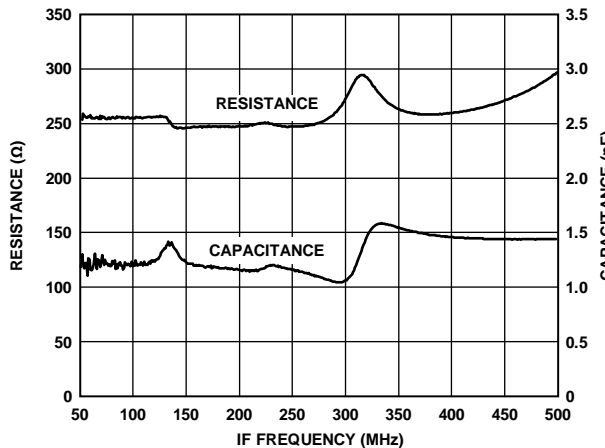


图18. IF差分输出阻抗(R-C并联等效值)

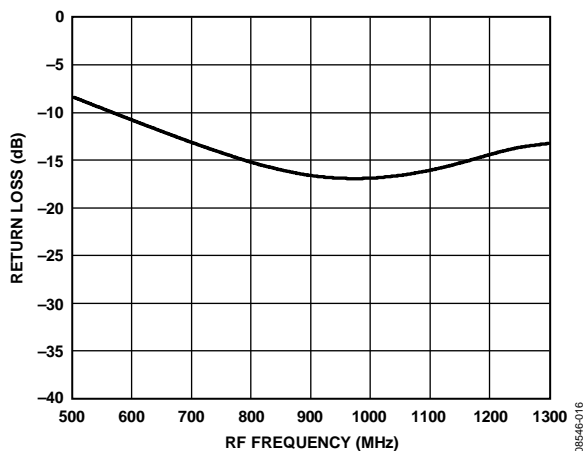


图16. RF输入回损与RF频率的关系

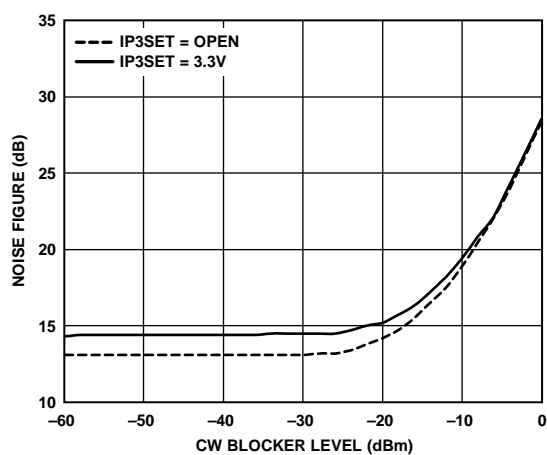


图19. SSB噪声系数与5 MHz偏移阻塞电平的关系
(LO频率 = 1055 MHz, RF频率 = 915 MHz)

ADRF6601

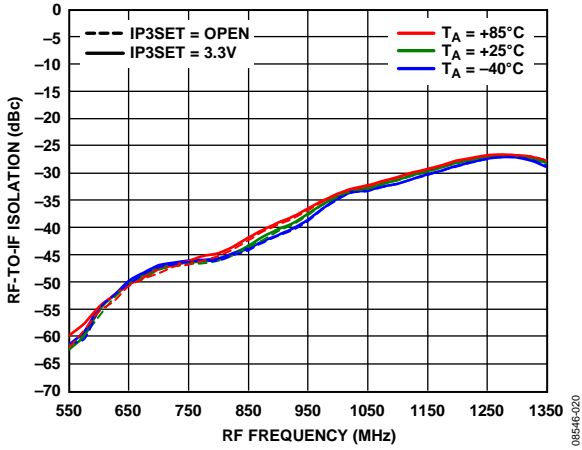


图20. RF至IF隔离与RF频率的关系
(高端LO, IF = 140 MHz, LO输出关闭)

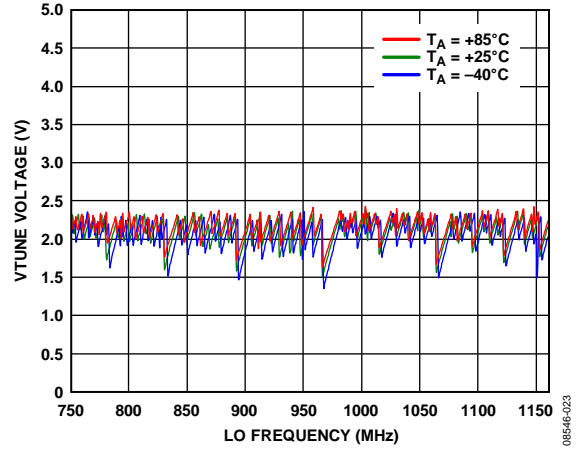


图23. VTUNE与LO频率的关系

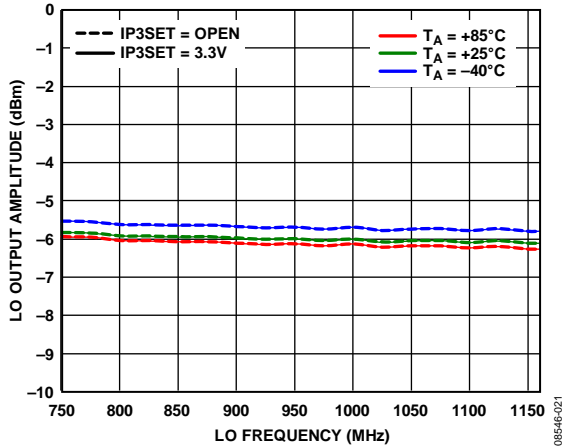


图21. LO输出幅度与LO频率的关系

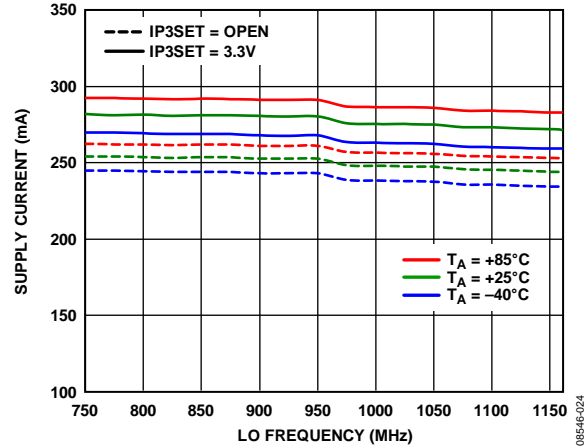


图24. 电源电流与LO频率的关系

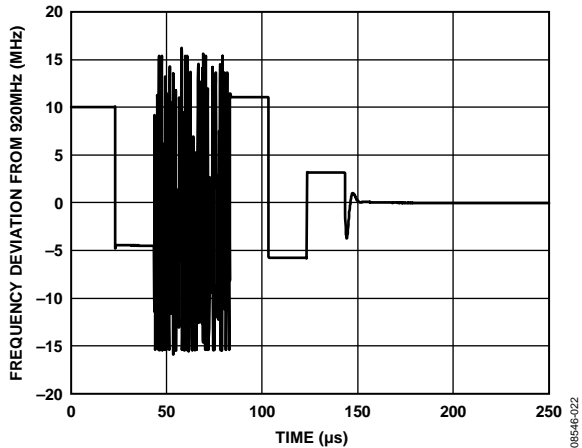


图22. 相对于910 MHz的频率偏差与时间的关系
(展示从920 MHz到910 MHz的LO频率建立时间)

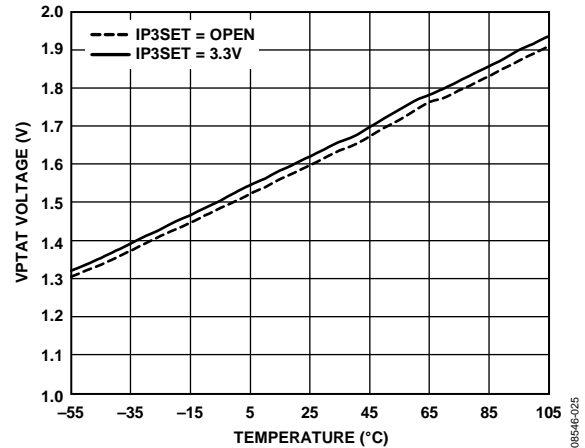


图25. VPTAT电压与温度的关系(IP3SET = 已优化且断开)

互补累计分布函数(CCDF), $f_{RF} = 2140 \text{ MHz}$, $f_{IF} = 140 \text{ MHz}$ 。

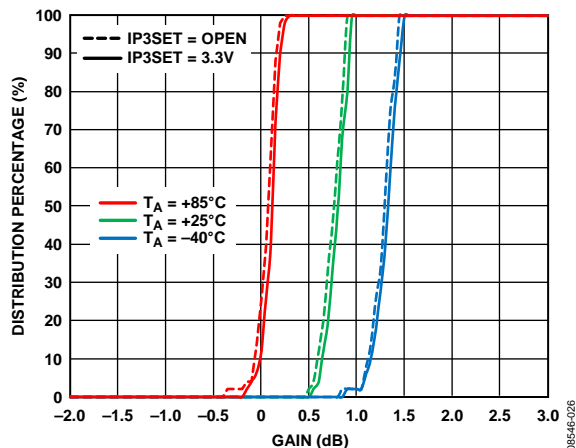


图26. 增益

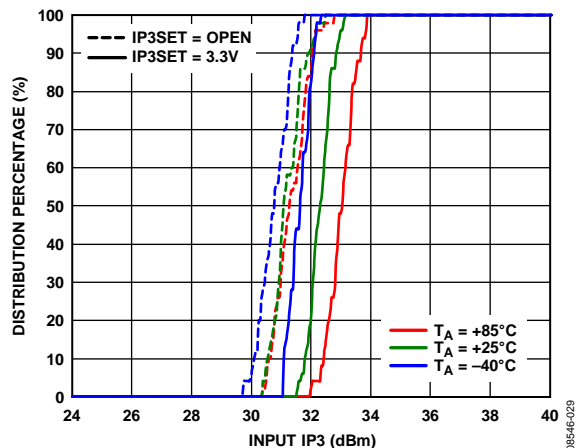


图29. 输入IP3

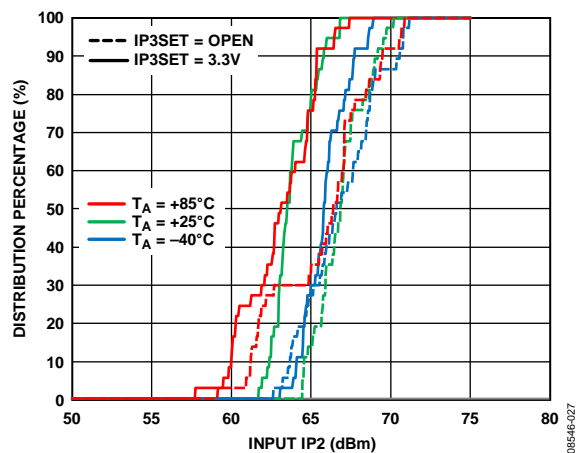


图27. 输入IP2

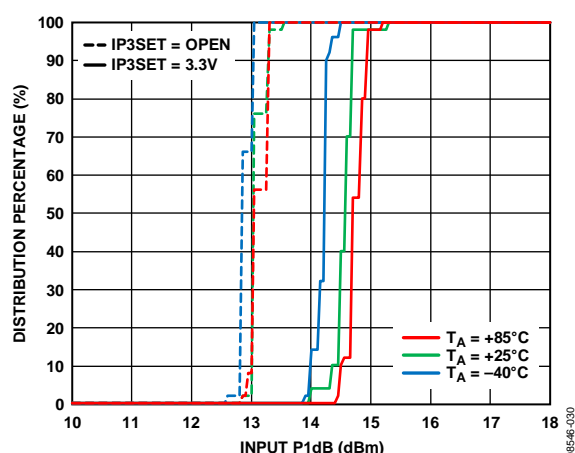


图30. 输入P1dB

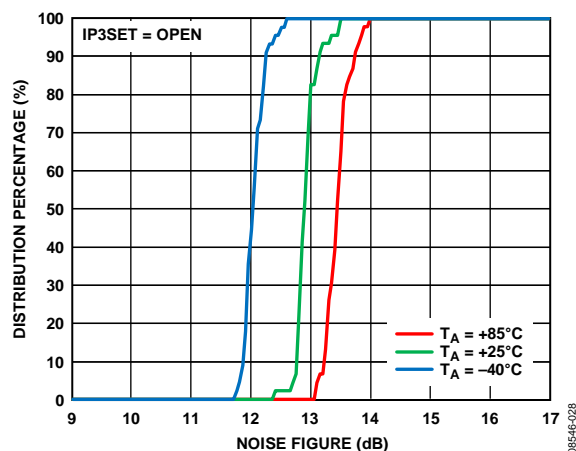


图28. 噪声系数

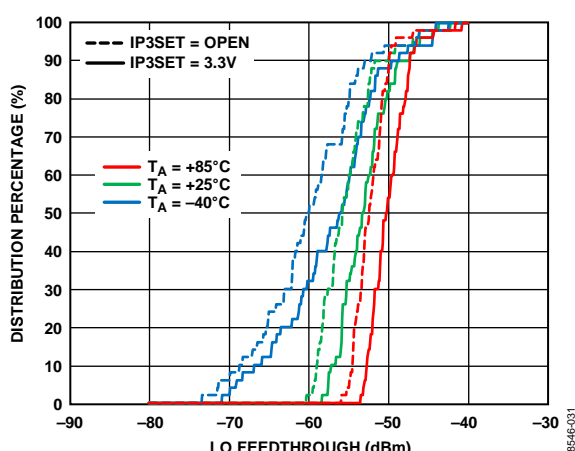


图31. LO馈通至IF, LO输出关闭

ADRF6601

除非另有说明，在IF输出端测得，CDAC = 0x0，IP3SET = 断开，内部产生高端LO， $f_{REF} = 153.6 \text{ MHz}$ ， $f_{PFD} = 38.4 \text{ MHz}$ ， $RF_{IN} = -5 \text{ dBm}$ ， $f_{IF} = 140 \text{ MHz}$ 。除非另有说明，相位噪声测量在LO输出端进行。

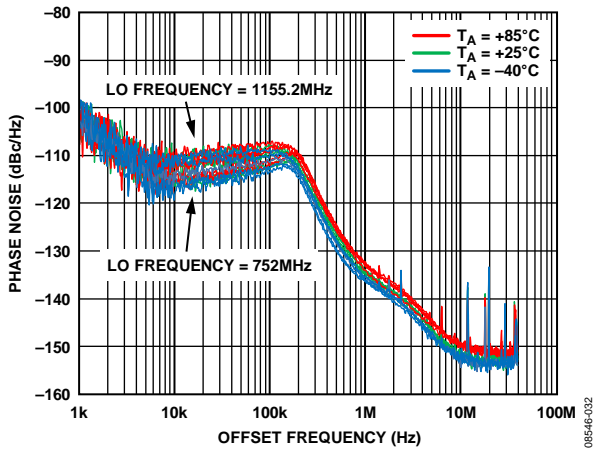


图32. 相位噪声与偏移频率的关系

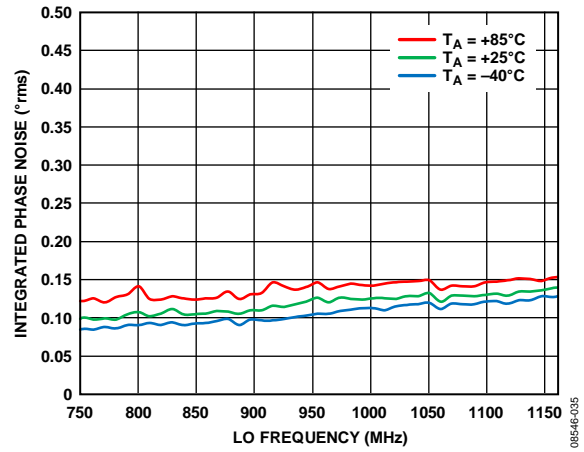


图35. 积分相位噪声与LO频率的关系

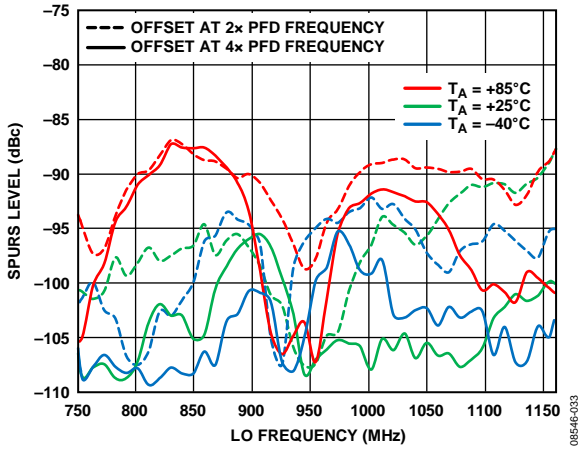


图33. PLL参考杂散与LO频率的关系(2x PFD和4x PFD)

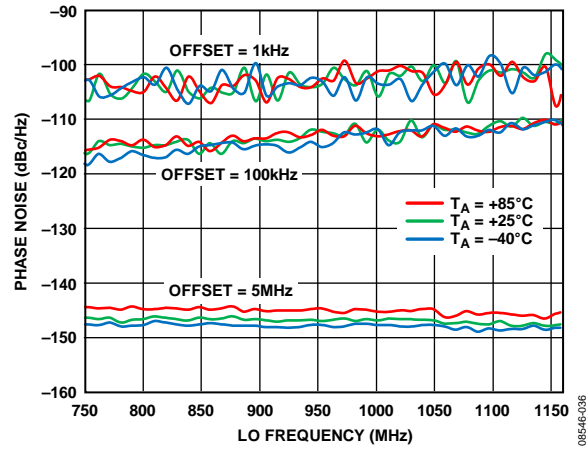


图36. 相位噪声与LO频率的关系(1 kHz、100 kHz和15 MHz步长)

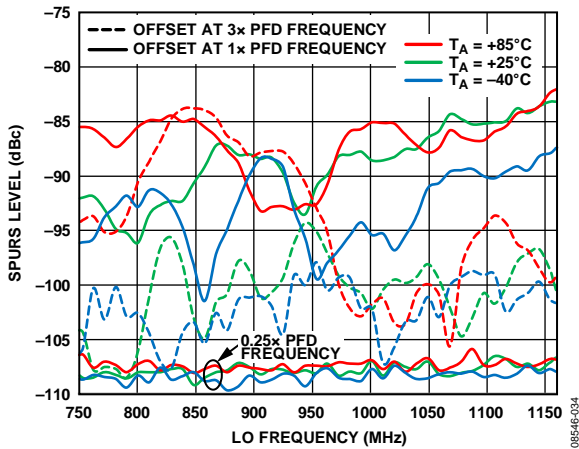


图34. PLL参考杂散与LO频率的关系(0.25x PFD、1x PFD和3x PFD)

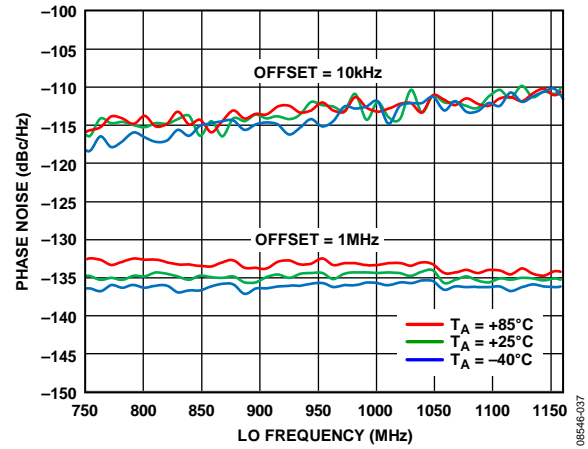


图37. 相位噪声与LO频率的关系(10 kHz、1 MHz步长)

杂散性能

$(N \times f_{RF}) - (M \times f_{LO})$ 杂散测量使用标准评估板(参见“评估板”部分)进行。混频器杂散产物通过IF输出功率水平进行测量，用相对于载波的分贝数(dBc)表示。表中显示大于-125 dBc的所有杂散成分。

LO = 750 MHz, RF = 610 MHz(水平轴为m, 垂直轴为n)且RF_{IN}功率 = 0 dBm。

		M				
		0	1	2	3	4
N	0	-115.74	-63.28	-31.83	-54.52	-33.54
	1	-49.49	0.0	-64.58	-24.09	-71.52
	2	-48.77	-42.49	-75.23	-60.35	-67.88
	3	-81.30	-71.27	-103.32	-73.13	-110.05
	4	-83.02	-91.24	-105.20	-88.27	-113.66
	5	-103.16	-111.19	-114.25	-108.4	-115.31
	6	-110.88	-112.83	-112.85	-113.85	-113.55
	7	-110.87	-108.26	-112.91	-111.93	-113.64

LO = 1,050 MHz, RF = 910 MHz(水平轴为m, 垂直轴为n)且RF_{IN}功率 = 0 dBm。

		M				
		0	1	2	3	4
N	0	-113.23	-57.96	-27.78	-58.01	-40.34
	1	-34.12	0.0	-58.72	-27.14	-84.94
	2	-49.76	-47.19	-57.30	-68.48	-65.03
	3	-73.54	-74.12	-102.24	-72.99	-108.62
	4	-102.66	-110.29	-100.07	-99.75	-112.69
	5	-108.79	-107.57	-110.94	-110.16	-115.35
	6	-110.79	-108.34	-107.38	-112.44	-113.78
	7		-109.87	-109.71	-108.58	-110.01

ADRF6601

寄存器结构

本节介绍ADRF6601的寄存器映射。三个LSB决定要编程的寄存器。

寄存器0—整数分频控制(默认值: 0x0001C0)

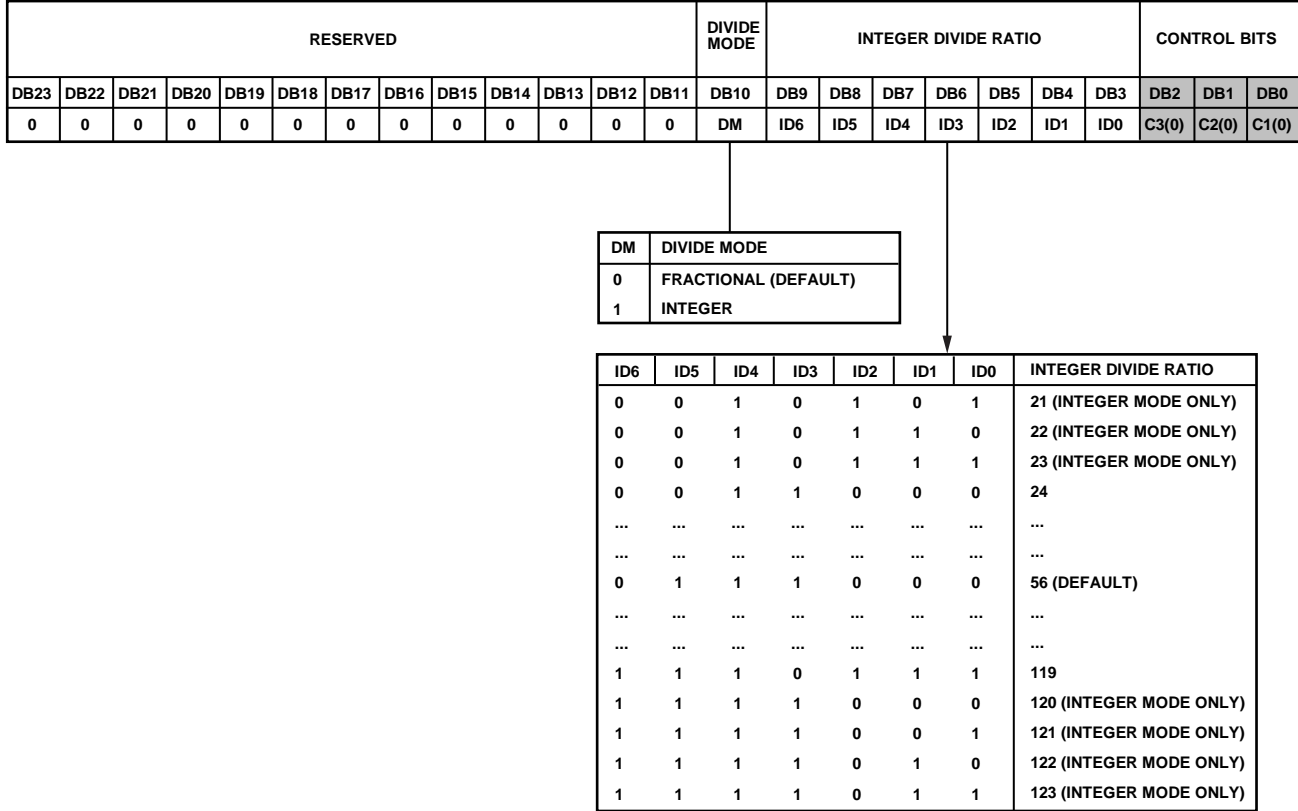


图38. 寄存器0—整数分频控制寄存器映射

08546-038

寄存器1—模数分频控制(默认值: 0x003001)

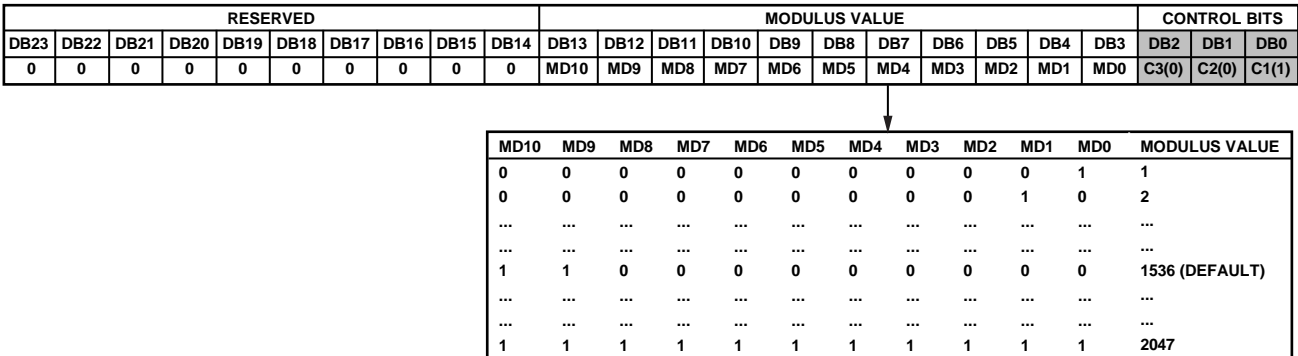


图39. 寄存器1—模数分频控制寄存器映射

08546-039

寄存器2—小数分频控制(默认值: 0x001802)

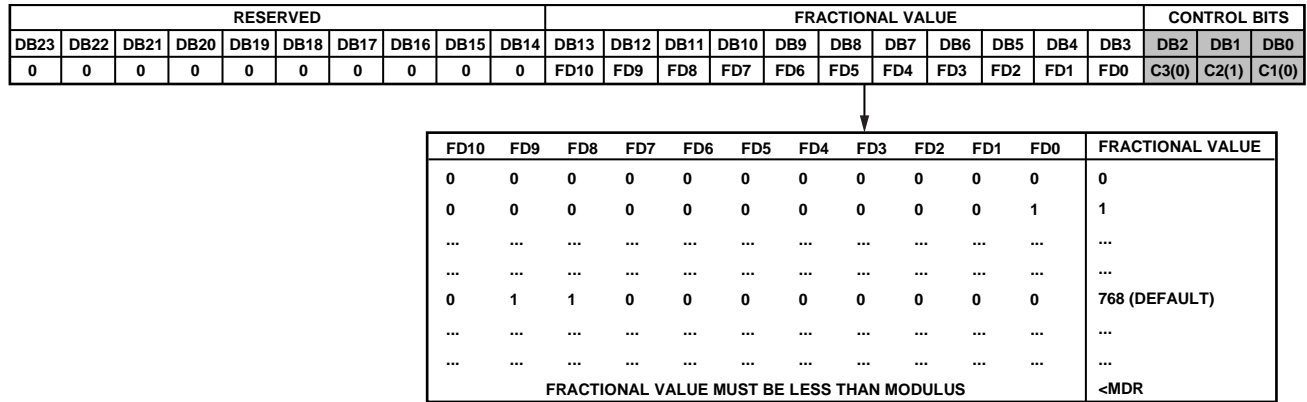


图40. 寄存器2—小数分频控制寄存器映射

0854E-040

寄存器3—Σ-Δ调制器扰动控制(默认值: 0x10000B)

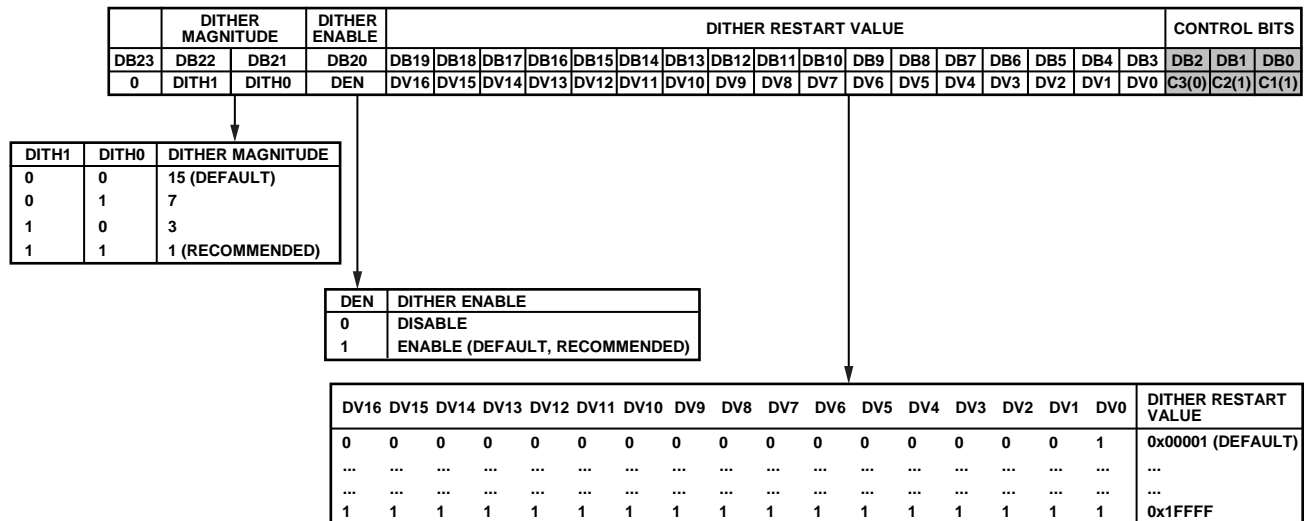


图41. 寄存器3—Σ-Δ调制器扰动控制寄存器映射

0854E-041

ADRF6601

寄存器4—PLL电荷泵、PFD和参考路径控制(默认值: 0x0AA7E4)

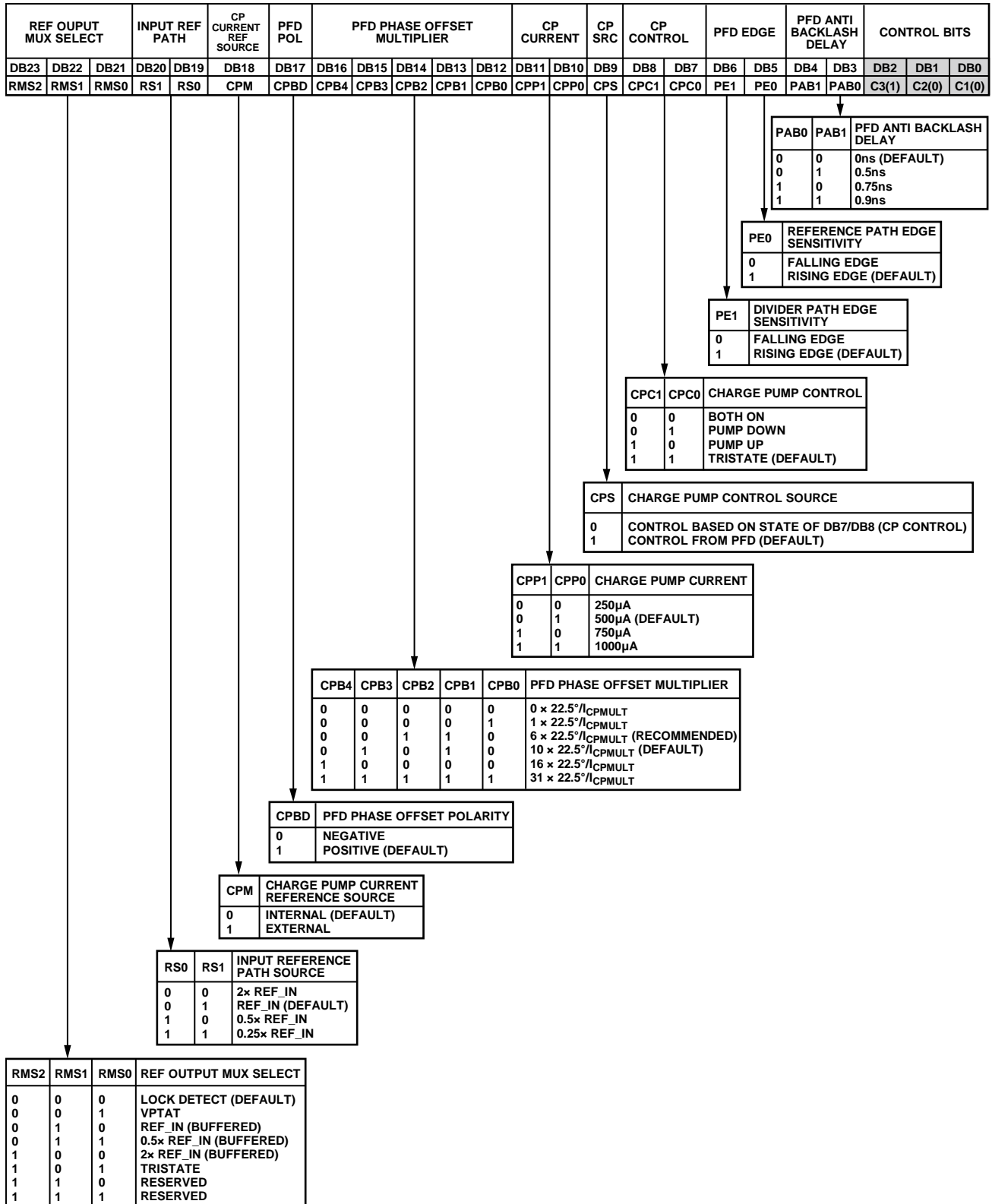


图42. 寄存器4—PLL电荷泵、PFD和参考路径控制寄存器映射

08546-042

寄存器5—PLL使能和LO路径控制(默认值: 0x0000E5)

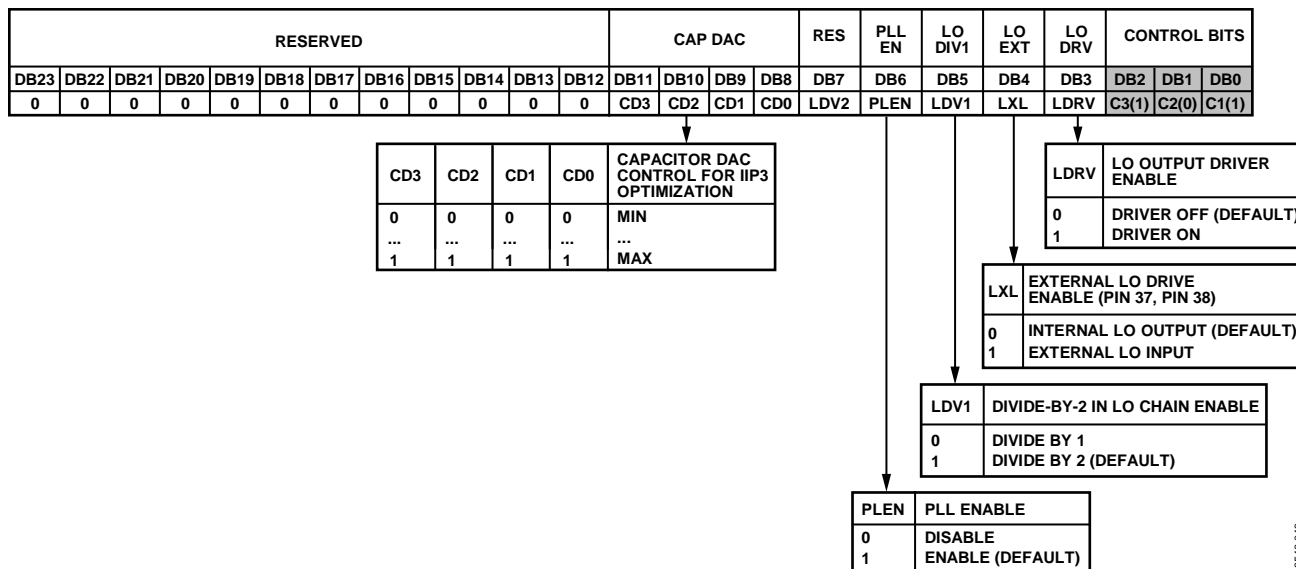


图43. 寄存器5—PLL使能和LO路径控制寄存器映射

08546-043

寄存器6—VCO控制和VCO使能(默认值: 0x1E2106)

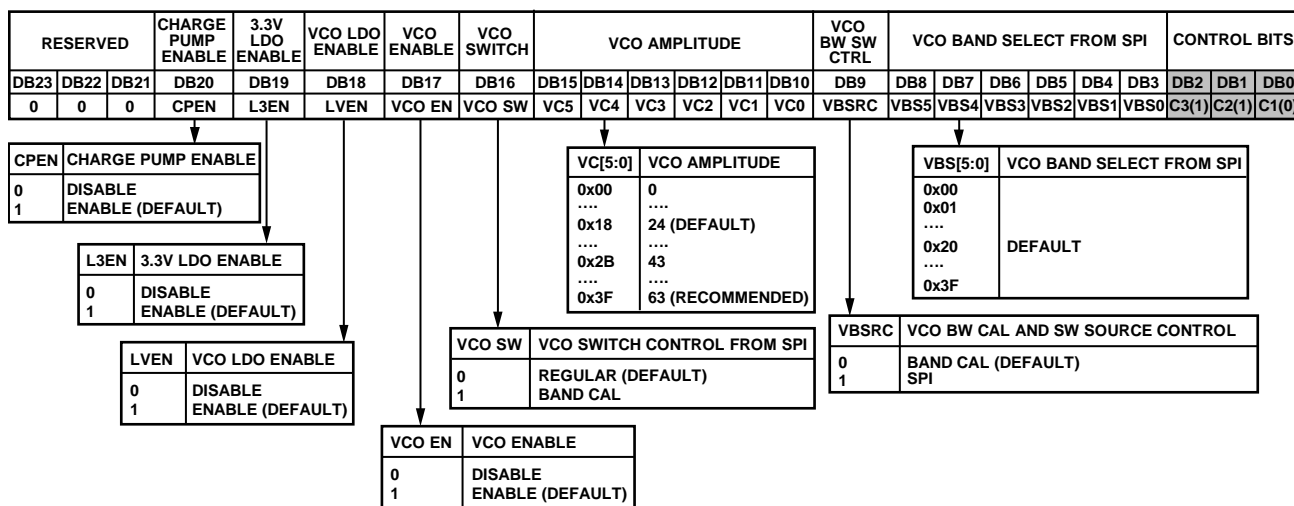


图44. 寄存器6—VCO控制和VCO使能寄存器映射

08546-044

寄存器7—混频器偏置使能和外部VCO使能(默认值: 0x000007)

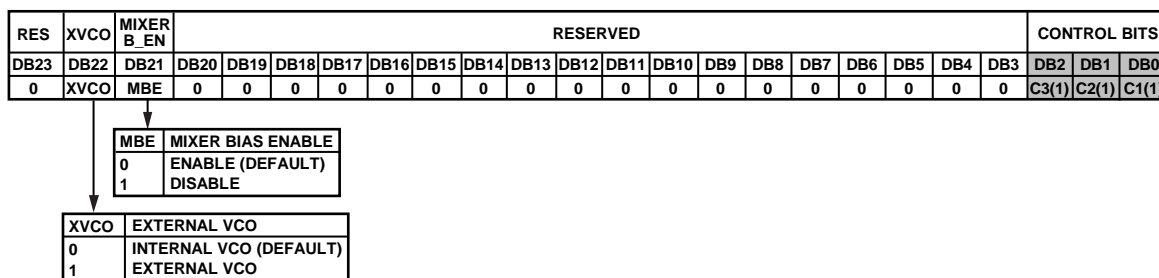


图45. 寄存器7—混频器偏置使能和外部VCO使能寄存器映射

08546-045

工作原理

ADRF6601集成高性能下变频混频器与先进的小数N分频PLL。PLL还集成一个低噪声VCO。通过SPI端口，用户可以控制小数N分频PLL功能和混频器优化功能，并允许一个外部施加的LO或VCO。

ADRF6601的混频器内核是ADI公司新一代业界领先的混频器系列。高性能NPN晶体管将RF输入转换为电流，然后下变频至IF。混频器输出电流由外部偏置电感转换为差分输出电压。这些外部电感还提供混频器偏置电流。该高性能有源混频器内核实现了优异的IIP3和IP1dB性能、极低的输出本底噪声和出色的动态范围。在规定的频率范围内，ADRF6601通常提供14.5 dBm的IF输入P1dB和31 dBm的IIP3。

利用内置电容DAC (CDAC)可以在特定频率下提高性能，该电容DAC可通过SPI端口并在5 V电源和IP3SET引脚(引脚29)之间连接一个电阻来进行编程。通过调节电容DAC，可以增加ADRF6601内置节点处的相位偏移，从而能够抵消三阶失真而又不必改变电源电流。通过在5 V电源和IP3SET引脚之间连接一个电阻，可以增加内置混频器内核电流，因而可以提高总体IIP2、IIP3以及IP1dB性能。将IP3SET引脚用于该目的时，总电源电流会增大。

PLL的小数分频功能允许从REF_IN到LO输出的倍频值是一个小数值，而不必是传统PLL所要求的整数值。在实际工作中，此倍频值为：

$$INT + (FRAC/MOD)$$

其中：

INT是整数。

FRAC是小数值。

MOD是模数值。

INT、FRAC和MOD值都可以通过SPI端口进行编程。在其它小数N分频PLL设计中，小数倍频功能是以确定的方式周期性改变小数值而实现的。这种方法的缺点是常常会产生接近基波信号的杂散成分。ADRF6601使用一个Σ-Δ型调制器来随机分配小数值，因而小数分频功能引起的杂散成分得以显著减少。

对ADRF6601进行编程

ADRF6601通过一个三线式SPI端口进行编程。SPI端口的时序要求如图2所示。8个可编程寄存器(各有24位)控制器件的操作。各寄存器的功能如表8所示。

表8. ADRF6601寄存器功能

寄存器	功能
寄存器0	用于PLL的整数分频控制
寄存器1	用于PLL的模数分频控制
寄存器2	用于PLL的小数分频控制
寄存器3	Σ-Δ调制器扰动控制
寄存器4	PLL电荷泵、PFD和参考路径控制
寄存器5	PLL使能和LO路径控制
寄存器6	VCO控制和VCO使能
寄存器7	混频器偏置使能和外部VCO使能

请注意，在给定频率条件下对ADRF6601进行初始化时，必须运行用于PLL的内部校准。每次对寄存器0、寄存器1或寄存器2进行编程时，都会自动运行该校准。由于其它寄存器会影响PLL性能，因此应始终按照“初始化序列”部分中规定的顺序来对寄存器0、寄存器1和寄存器2进行编程。

要设置ADRF6601的频率，用户通常只需对寄存器0、寄存器1和寄存器2进行编程。不过，如果先对这些寄存器之外的其它寄存器进行了编程，则应插入一个短延迟，然后再对寄存器0进行编程。该延迟确保在启动针对寄存器0的最后频带校准之前有足够时间完成VCO频带校准。

ADRF6601产品页面的“评估板和开发套件”部分下提供了软件，支持从运行Windows XP或Vista的PC进行轻松编程。

初始化序列

为确保ADRF6601正确上电，必须在VCC供电轨建立至5 V ± 0.25 V后复位PLL电路。通过复位PLL可以确保，即使在较差的电源启动条件下，内部偏置单元也配置正确。

为确保上电后复位PLL，请遵循如下过程：

1. 通过将PLEN位置0禁用PLL(寄存器5，位DB6)。
2. 经过>100 ms的延迟后，将PLEN位置1(寄存器5，位DB6)。

完成该过程后，应按照如下顺序对其它寄存器进行编程：寄存器7、寄存器6、寄存器4、寄存器3、寄存器2、寄存器1。然后，经过>100 ms的延迟后，应对寄存器0进行编程。

LO选择逻辑

通过向引脚37和引脚38(LON和LOP)施加外部差分LO，可以在不使用内部PLL的情况下使用ADRF6601中的下变频混频器。此外，使用内部PLL产生的LO时，可以通过这些相同的引脚直接访问该LO信号。此功能可用于进行调试，或者内部产生的LO可用作独立混频器的PO。

LO产生模式以及LOP和LON是用作输入还是输出由施加于引脚16 (PLL_EN)和引脚36 (LODRV_EN)以及寄存器5的位DB3 (LDRV)和位DB6 (PLEN)决定。表9给出了特定LO功能所需的外部施加逻辑和内部位组合情况。

表9. LO选择逻辑

引脚 ¹		寄存器5的位 ¹		输出:	
引脚 16 (PLL_EN)	引脚 36 (LODRV_EN)	位DB6 (PLEN)	位DB3 (LDRV)	输出缓冲器	LO
0	X	0	X	禁用	外部
0	X	1	X	禁用	外部
1	X	0	X	禁用	外部
1	0	1	0	禁用	内部
1	X	1	1	使能	内部
1	1	1	X	使能	内部

¹X = 无关位。

应用信息

用于工作的基本连接

图46所示为ADRF6601评估板的原理图。6个电源引脚各自应通过100 pF和0.1 μF电容进行去耦，这些电容应尽可能靠近器件。此外，内部去耦节点(DECL3P3、DECL2P5和DECLVCO)应通过图46中所示的电容值进行去耦。

RF输入在内部交流耦合，无需进行外部偏置。IF输出属于开集输出，应在这些输出与VCC之间连接一个偏置电感。

RF_{IN}上峰到峰差分摆幅为1 V(对于正弦波输入，则为0.353 V rms)时，IF输出功率为4.7 dBm。

PLL的基准频率应介于12 MHz到160 MHz之间并应施加于REF_IN引脚，该引脚则应按图46所示进行交流耦合并端

接一个50 Ω电阻。参考信号或参考信号的分频形式可以在多路复用器输出引脚(MUXOUT)处从片外引回。也可以在该多路复用器输出引脚上选择锁定检测信号以及与环境温度成比例的电压。

环路滤波器连接在CP和VTUNE引脚之间。以这种方式连接时，内部VCO运行正常。欲了解有关环路滤波器元件的信息，请参阅“评估板配置选项”部分。

也可以采用外部VCO工作。这种情况下，环路滤波器元件应以地为参考。环路滤波器的输出连到外部VCO的输入电压引脚。VCO的输出通过LOP和LON引脚引回器件(必要时可使用巴伦)。

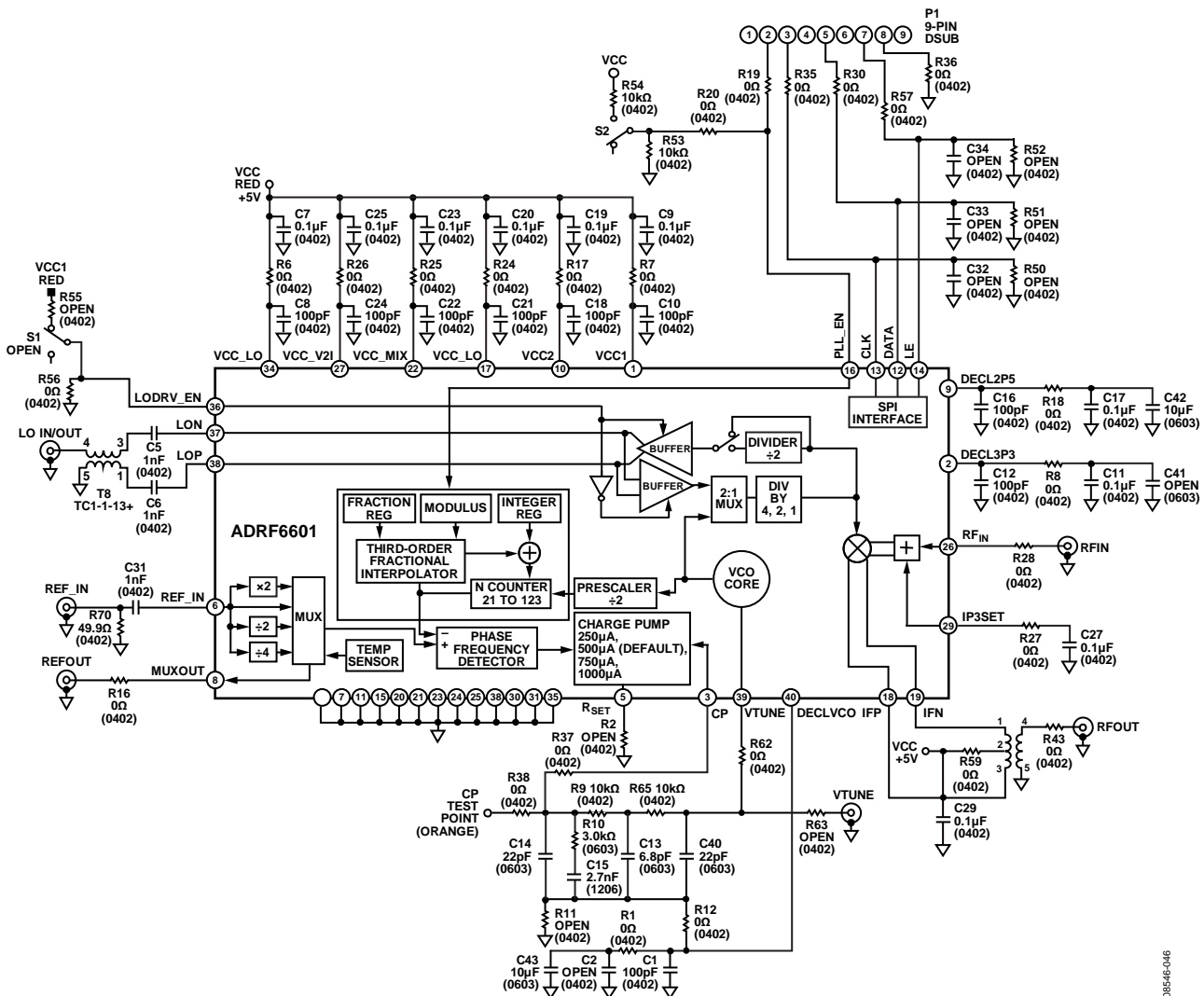


图46. ADRF6601的基本工作连接

交流测试设备

ADRF6601的特性数据均在非常严格的测试条件下获得。测试时采用了所有可用的技术，以实现最佳精度并消除信

号产生和测量仪器的削弱效应。图47所示为ADRF6601的特性测试中使用的典型交流测试设置。

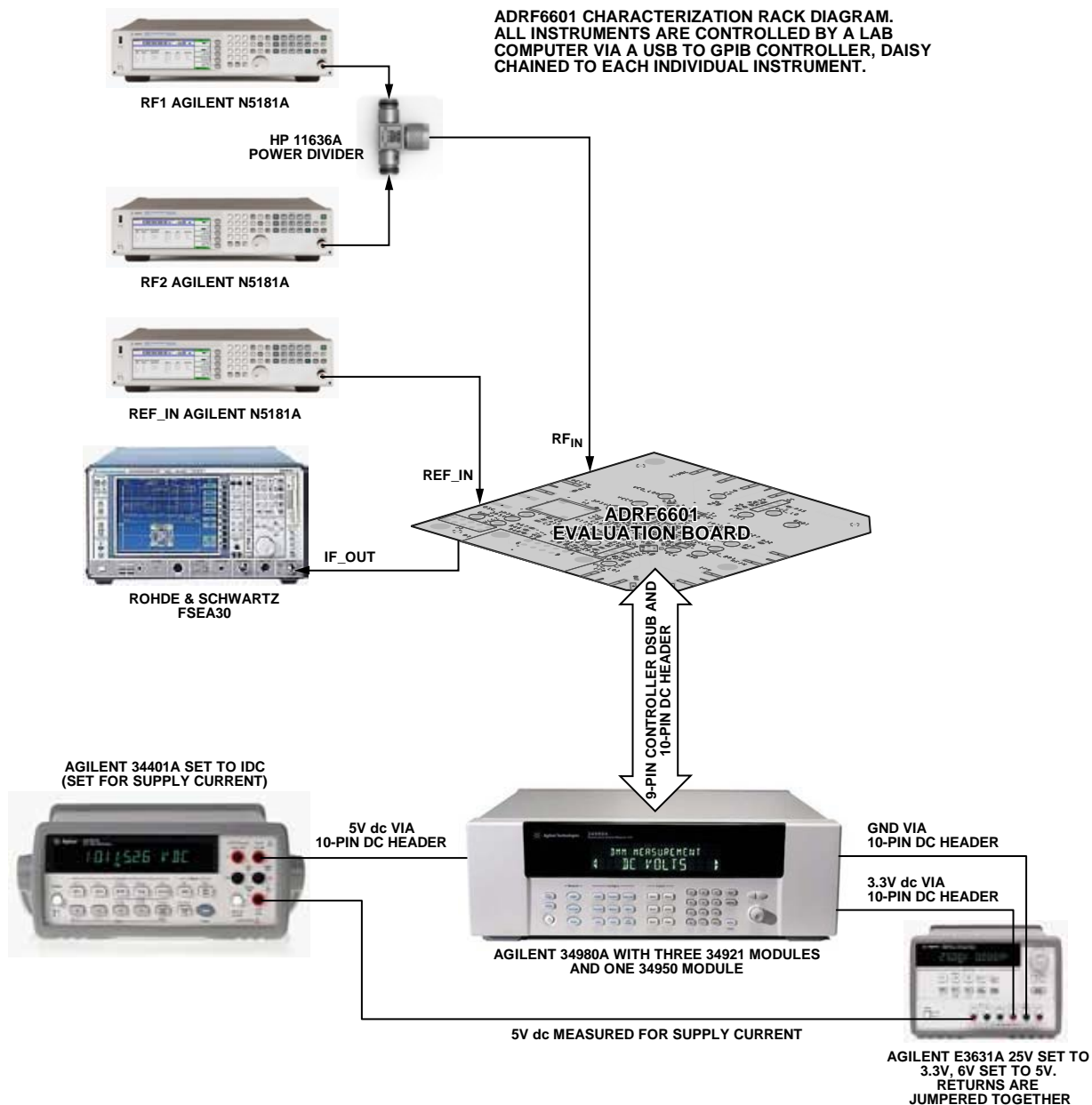


图47. ADRF6601交流测试设置

0854E-047

ADRF6601

评估板

图50显示符合RoHS标准的ADRF6601评估板原理图。该板有四层，采用Rogers 4350混合材料设计，从而将高频损耗降至最低。如果设计可以接受略高的走线损耗，FR4材料也是不错的选择。

评估板设计采用器件的内部VCO(默认配置)或外部VCO工作。若使用外部VCO，应去除R62和R12，R63和R11应使用0 Ω电阻。外部VCO的输入端应连接到VTUNE SMA连接器，外部VCO输出端则应连接到LO IN/OUT SMA连接器。除了这些硬件变化之外，还必须更改内部寄存器设置，以便支持利用外部VCO工作(参见“寄存器6—VCO控制和VCO使能(默认值：0x1E2106)”部分)。

评估板的其他配置选项如表10所述。

评估板控制软件

可从ADRF6601产品页面的“评估板和开发套件”部分下载用于对ADRF6601进行编程的软件。要安装该软件，请执行以下步骤：

1. 下载并解压缩zip文件：
ADRF6x0x_3p0p0_XP_install.exe文件。
2. 按照自述文件中的说明操作。

该评估板可通过PC USB端口与PC相连。

要将该评估板连接到USB端口，必须从ADI公司购买USB适配器板(EVAL-ADF4XXXZ-USB)。

该板通过一端带有微型USB连接器的标准USB电缆连接到PC。要将EVAL-ADF4XXXZ-USB板与ADRF6601评估板上的9引脚D-Sub连接器匹配，需要额外的25引脚插针至9引脚插口适配器。

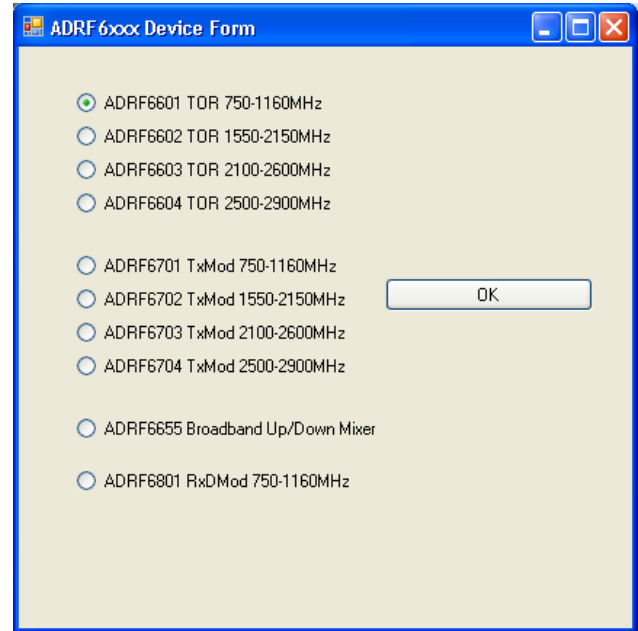


图48. 控制软件启动菜单

图49所示为控制软件的主窗口及其默认设置。

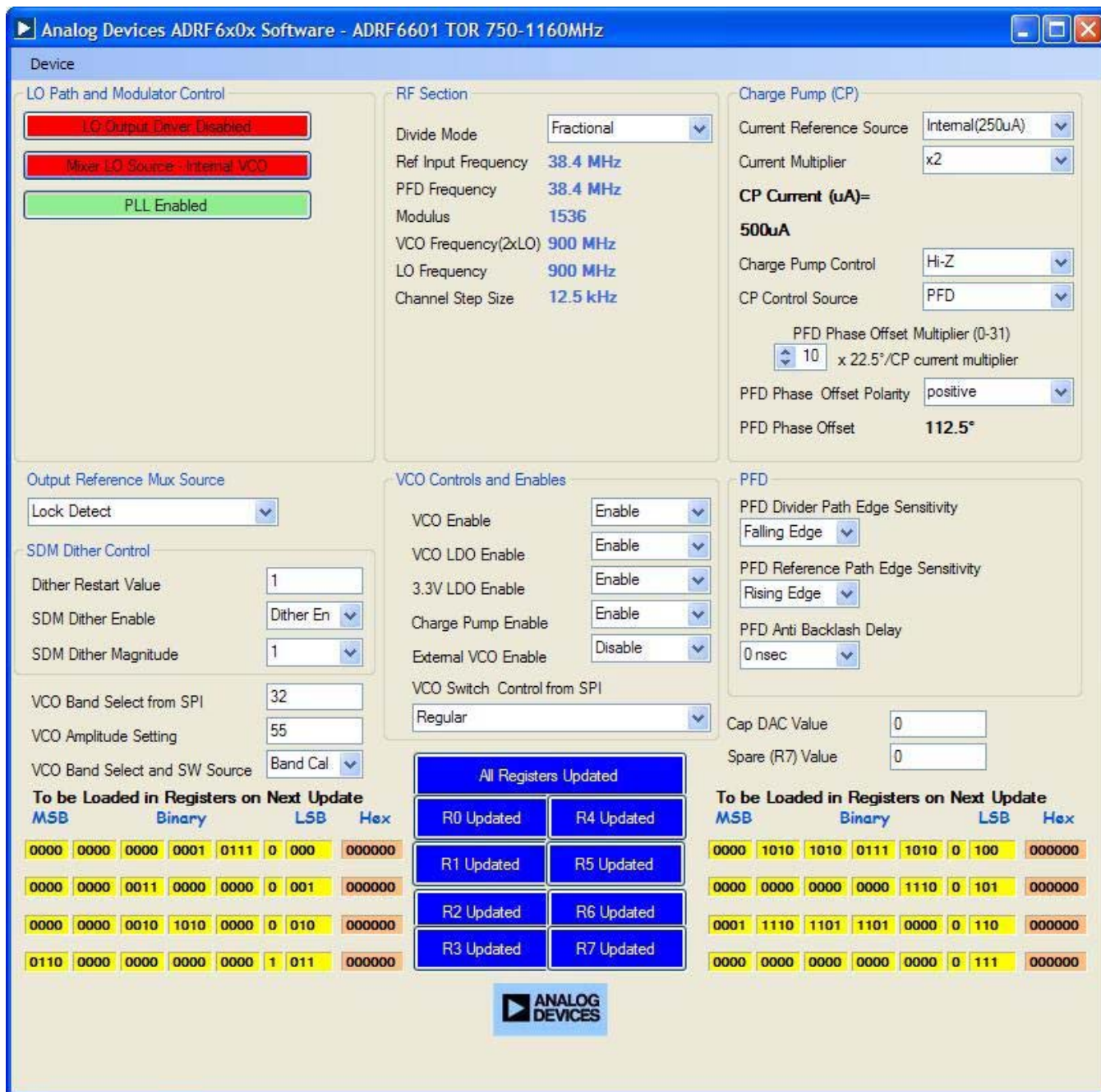


图49. ADRF6601评估板控制软件的主窗口

ADRF6601

原理图和PCB布局图

050-9450

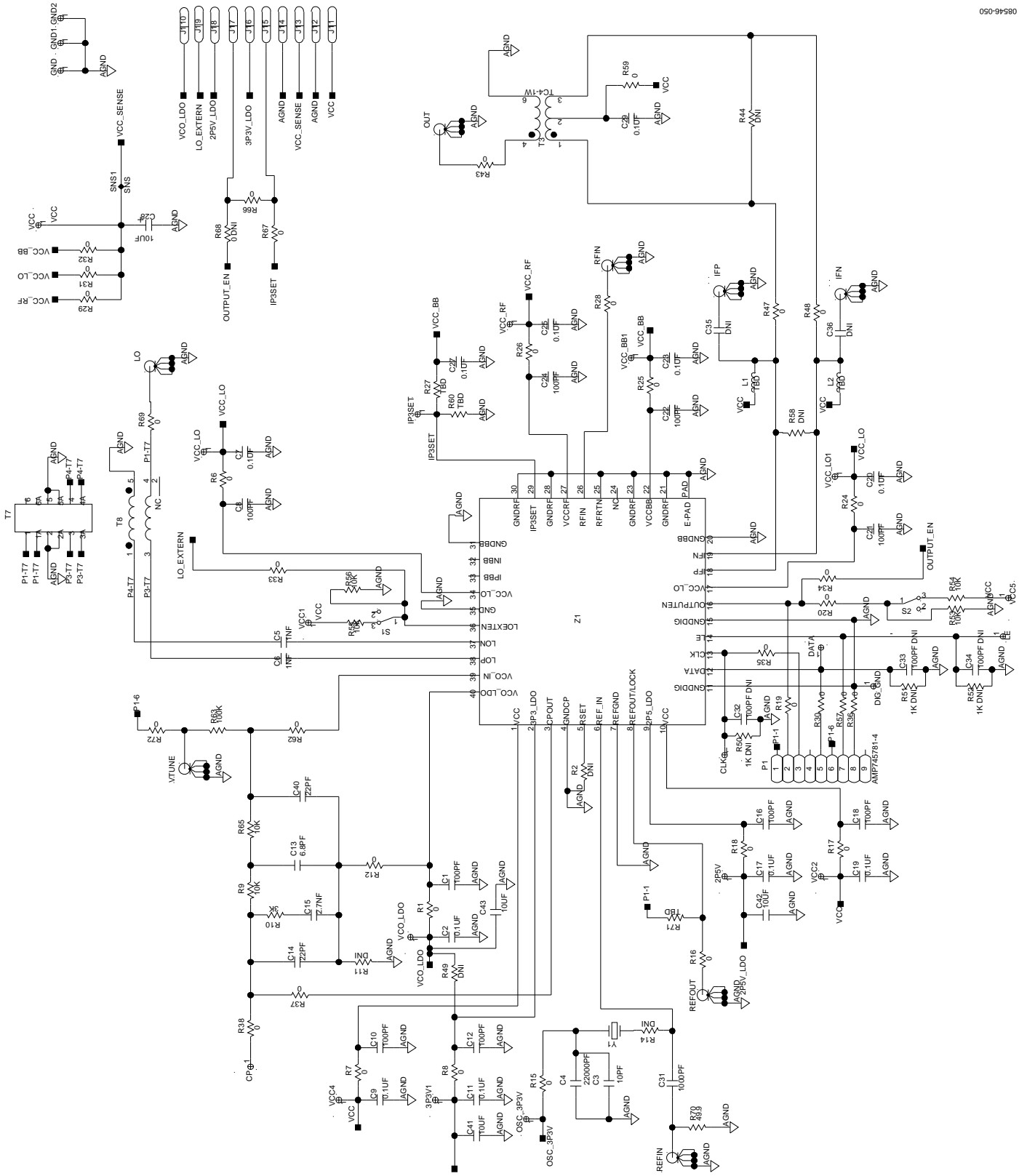
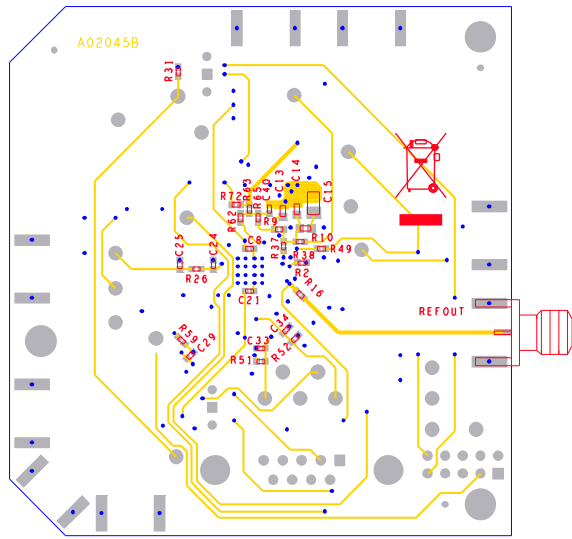
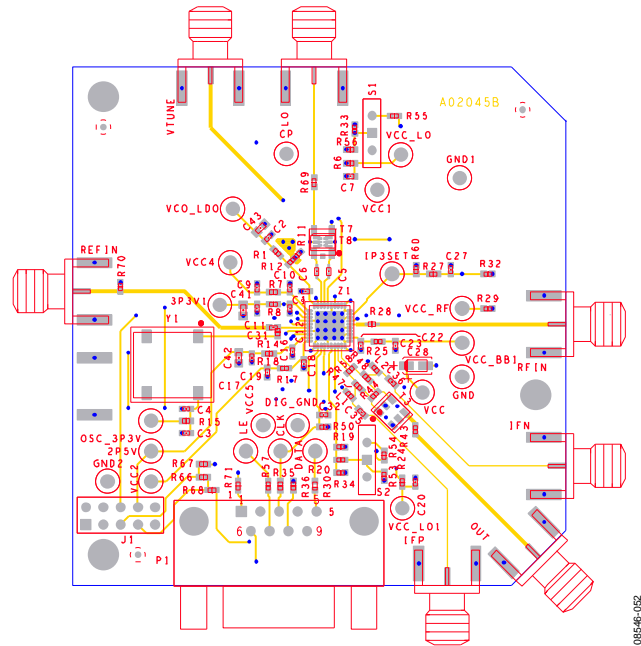


图50. 评估板原理图



08646-051

图51. 评估板布局(底部)



08646-052

图52. 评估板布局(顶部)

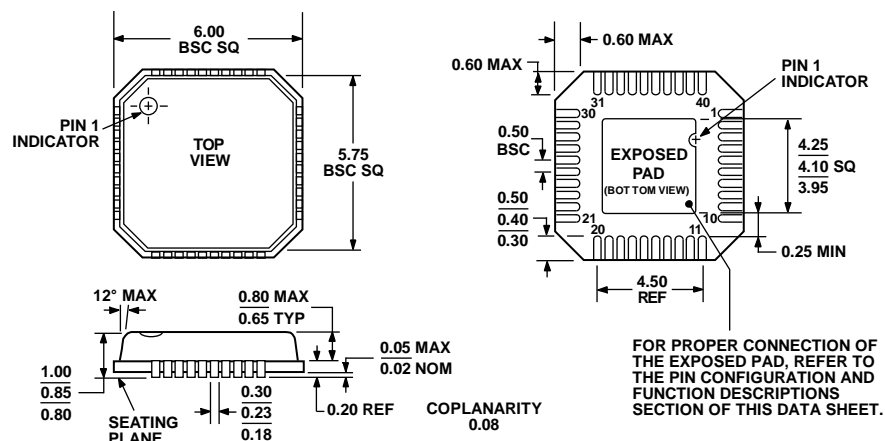
ADRF6601

评估板配置选项

表10.

元件	描述	默认状态/ 可选设置
S1, R55, R56, R33	LO选择。用于将LODRV_EN引脚接地的开关和电阻。LODRV_EN引脚设置与内部寄存器设置共同决定LOP和LON引脚用作输入还是输出(有关更多信息, 请参阅“LO选择逻辑”部分)。	S1 = R55 = 断开 (未安装), R56 = R33 = 0 Ω, LODRV_EN = 0 V
LO IN/OUT SMA连接器	LO输入/输出。可以将一个外部1×LO或2×LO信号施加于此单端输入连接器。	LO输入
REFIN SMA连接器	基准输入。PLL的基准输入频率施加于此连接器。输入阻抗为50 Ω。	
REFOUT SMA连接器	多路复用器输出。REFOUT连接器直接连接到MUXOUT引脚。板上多路复用器可用于引出下列信号: REF_IN、2×REF_IN、REF_IN/2和REF_IN/4; 温度传感器输出电压; 以及锁定检测指示器。	锁定检测
CP测试点	电荷泵测试点。可以在该测试点探测未滤波的电荷泵信号。注意, 在相位噪声等关键测量中, 不应探测该CP引脚。	
R37, C14, R9, R10, C15, C13, R65, C40	环路滤波器。环路滤波器元件。	
R11, R12	环路滤波器回路。使用内部VCO时, R12中应安装0 Ω电阻, 使环路滤波器元件返回到引脚40 (DECLVCO)。使用外部VCO时, R11中应安装0 Ω电阻, 使环路滤波器元件返回到地。	R12 = 0 Ω (0402), R11 = 断开 (0402)
R62、R63、VTUNE SMA连接器	内部和外部VCO。内部VCO使能时, 通过在R62中安装0 Ω电阻, 可以使环路滤波器元件直接连接到VTUNE引脚(引脚39)。若使用外部VCO, R62应断开, R63中应安装0 Ω电阻, VCO的电压输入应连接到VTUNE SMA连接器。VCO的输出通过LO IN/OUT SMA连接器引回PLL。	R62 = 0 Ω (0402), R63 = 断开 (0402)
R2	R _{SET} 引脚。该引脚不使用, 应保持断开。	R2 = 断开(0402)
RFIN SMA连接器	RF输入。RF输入信号应施加于RFIN SMA连接器。ADRF6601的RF输入交流耦合; 因此, 无需进行偏置。	R3 = R23 = 断开(0402)
T3	IF输出。ADRF6601的差分IF输出信号(IFP和IFN)由T3转换为单端信号。	

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-2

图53. 40引脚引脚架构芯片级封装[LFCSP_VQ]
6 mm x 6 mm超薄四方体
(CP-40-1)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADRF6601ACPZ-R7 ADRF6601-EVALZ	-40°C至+85°C	40引脚引脚架构芯片级封装[LFCSP_VQ] 评估板	CP-40-1

¹ Z = 符合RoHS标准的器件。

注释

注释

注释