

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

概述

MAX9271结构紧凑的串行器用于驱动50Ω同轴或100Ω屏蔽双绞线(STP)电缆。器件与MAX9272解串器配对使用。

并行输入可设置为单路或双路输入。采用双路输入时，在串行转换之前将典型图像传感器的两个像素的视频数据存储在寄存器，从而允许使用更高的像素时钟频率。相对于单路输入，最大像素时钟频率可以提高到两倍。

器件具有嵌入式控制通道，在UART，或者是UART/I²C混合模式下工作在9.6kbps至1Mbps，I²C模式下工作速率高达400kbps。利用控制通道，微控制器(μC)能够随时设置串行器、解串器和摄像头(或任何外设)寄存器，独立于视频时钟。器件提供一路专用GPIO、四路可选的GPIO和一路GPO输出，用于远程启动摄像头模块、摄像头帧同步，及其它功能。可编程误码检测和纠错。

为驱动较长电缆，器件还集成了可编程预加重/去加重。串行输出提供可编程扩频，串行输出满足ISO 10605和IEC 61000-4-2 ESD标准。核电源供电范围为1.7V至1.9V，I/O电源范围为1.7V至3.6V。器件采用32引脚(5mm x 5mm)、TQFN-EP封装，焊球间距为0.5mm，工作在-40°C至+105°C温度范围。

应用

车载摄像系统

订购信息及典型工作电路在数据资料最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX9271.related。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

优势和特性

- ◆ 理想用于摄像应用
 - ◇ 驱动低成本50Ω同轴电缆和FAKRA连接器或100Ω STP
 - ◇ 误码检测/纠错
 - ◇ I²C-I²C模式下，提供9.6kbps至1Mbps控制通道，带时钟展宽
 - ◇ 业内最低功耗：75mA (最大)电源电流
 - ◇ 双速率时钟支持百万像素摄像头
 - ◇ 串行器预加重/去加重，全速工作时传输距离长达15m
 - ◇ 32引脚(5mm x 5mm)、TQFN封装，焊球间距为0.5mm
- ◆ 高速串行转换数据，支持百万像素摄像头
 - ◇ 高达1.5Gbps的串行码率，单路或双路输入：6.25MHz至100MHz时钟
- ◆ 多种通道控制模式，提高系统灵活性
 - ◇ 9.6kbps至1Mbps控制通道，UART-UART或UART-I²C模式
- ◆ 降低EMI屏蔽要求
 - ◇ 输出可编程，满足100mV至500mV单端或100mV至400mV差分
 - ◇ 可编程串行数据输出的扩展频谱，降低EMI
 - ◇ 可旁路输入PLL抑制并行时钟抖动
 - ◇ 跟踪平行输入的扩展频谱
- ◆ 用于摄像头上电和验证的外设功能
 - ◇ 内置PRBS发生器，用于串行链路的BER测试
 - ◇ 多达5个GPIO端口
 - ◇ 专用“Up/Down”GPO，用于摄像头帧同步触发或其它功能
 - ◇ 远程/本地休眠模式唤醒
- ◆ 满足严格的汽车和工业要求
 - ◇ -40°C至+105°C工作温度范围
 - ◇ ±10kV接触放电ESD保护和±15kV IEC 61000-4-2 ESD保护
 - ◇ ±10kV接触放电ESD保护和±30kV气隙放电ISO 10605 ESD保护

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

目录

概述	1
应用	1
优势和特性	1
绝对最大额定参数	6
封装散热特性	6
直流电气特性	6
典型工作特性	10
引脚配置	11
引脚说明	11
功能框图	13
详细说明	18
寄存器	18
输入位	18
串行链路信号和数据格式	23
反向控制通道	23
数据率选择	23
控制通道和寄存器编程	23
UART接口	23
仅使用命令字节通过UART连接I ² C器件	26
UART旁路模式	26
I ² C接口	27
START和STOP条件	27
位传输	27
应答	27
从地址	29
总线复位	29
写操作格式	29
读操作格式	30
与远端器件的I ² C通信	30
I ² C地址转换	30
I ² C广播模式	30
GPO/GPI 控制	31
预加重/去加重驱动器	31
扩频	31
手动设置扩频分频器	32
附加误码检测和纠错	32
循环冗余码校验(CRC)	33

MAX9271

16位GMSL串行器，带同轴或 STP电缆驱动

目录(续)

汉明码.....	33
HS/VS编码和/或跟踪.....	33
串行输出.....	33
同轴模式分配器.....	34
配置输入(CONF1、CONF0).....	34
休眠模式.....	34
关断模式.....	35
配置链路.....	35
链路启动过程.....	35
应用信息.....	37
PRBS测试.....	37
误码发生器.....	37
双 μ C控制.....	37
抖动滤波PLL.....	37
PCLKIN扩频跟踪.....	37
更改时钟频率.....	37
提供帧同步(摄像头应用).....	37
软件设置器件地址.....	37
三电平配置输入.....	38
配置屏蔽.....	38
与其它GMSL器件的兼容性.....	38
GPIO.....	38
本地控制通道使能(LCCEN).....	38
内部输入下拉.....	39
选择I ² C/UART上拉电阻.....	39
交流耦合.....	39
交流耦合电容的选择.....	39
电源电路和旁路.....	39
电源表.....	39
电缆和连接器.....	39
电路板布局.....	40
ESD保护.....	40
典型应用电路.....	48
订购信息.....	48
芯片信息.....	48
封装信息.....	48
修订历史.....	49

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

图录

图1. 串行输出参数	14
图2. OUT+和OUT-输出波形	14
图3. 单端输出模板	14
图4. 最差码型输入	14
图5. 并行时钟输入要求	15
图6. I ² C时序参数	15
图7. 差分输出模板	15
图8. 输入建立和保持时间	16
图9. GPI至GPO延时	16
图10. 串行器延时	17
图11. 链路启动时间	17
图12. 上电延时	18
图13. 单输入波形(在选定PCLKIN的上升沿锁存)	22
图14. 单输入功能框图	22
图15. 双输入功能框图	22
图16. 双输入波形(在选定PCLKIN的上升沿锁存)	23
图17. 串行数据格式	24
图18. 基本模式下的GMSL UART协议	25
图19. 基本模式下的GMSL UART数据格式	25
图20. SYNC字节(0x79)	25
图21. ACK字节(0xC3)	25
图22. 带有寄存器地址(I ² CMETHOD = 0)时，GMSL UART和I ² C之间的格式转换	26
图23. 带有寄存器地址(I ² CMETHOD = 1)时，GMSL UART和I ² C之间的格式转换	27
图24. START和STOP条件	28
图25. 位传输	28
图26. 应答	28
图27. 从地址	29
图28. I ² C写操作	29
图29. 多个寄存器写操作	29
图30. I ² C读操作	30
图31. 2:1同轴模式分配器连接图	34
图32. 同轴模式连接图	34
图33. 状态图，全部应用	36
图34. 人体模式ESD测试电路	40
图35. EC 61000-4-2接触放电ESD测试电路	40
图36. ISO 10605接触放电ESD测试电路	40

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表

表1. 上电默认寄存器映射(见表16).....	19
表2. 输入映射.....	21
表3. 数据率选择表.....	24
表4. I ² C码率范围.....	30
表5. TP/同轴驱动电流(CM _{LLVL} = 1000).....	31
表6. 串行输出扩频.....	32
表7. 扩频限制.....	32
表8. 调制系数和最大SDIV设置.....	33
表9. 配置输入映射.....	34
表10. 视频显示应用的启动过程.....	35
表11. 图像检测应用的启动过程.....	36
表12. MAX9271功能兼容性.....	38
表13. 双功能配置.....	38
表14. 典型电源电流(采用最差输入码型).....	39
表15. 推荐GMSL连接器和电缆.....	39
表16. 寄存器表(见表1).....	41

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

ABSOLUTE MAXIMUM RATINGS*

AVDD to EP	-0.5V to +1.9V
DVDD to EP	-0.5V to +1.9V
IOVDD to EP	-0.5V to +3.9V
OUT+, OUT- to EP	-0.5V to +1.9V
All other pins to EP	-0.5V to (V _{IOVDD} + 0.5V)
OUT+, OUT- short circuit to ground or supply	Continuous

Continuous Power Dissipation (T _A = +70°C)	
TQFN (derate 34.5mW/°C above +70°C)	2758.6mW
Junction Temperature	+150°C
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

*EP connected to PCB ground.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TQFN

Junction-to-Ambient Thermal Resistance (θ _{JA})	29°C/W	Junction-to-Case Thermal Resistance (θ _{JC})	1.7°C/W
---	--------	--	---------

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

DC ELECTRICAL CHARACTERISTICS

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground (GND), T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
SINGLE-ENDED INPUTS (LCCEN, DIN_, PCLKIN, HS, VS, MS/HVEN, PWDN)							
High-Level Input Voltage	V _{IH1}		0.65 x V _{IOVDD}			V	
Low-Level Input Voltage	V _{IL1}			0.35 x V _{IOVDD}		V	
Input Current	I _{IN1}	V _{IN} = 0V to V _{IOVDD}	-10		20	μA	
THREE-LEVEL LOGIC INPUTS (CONF0, CONF1)							
High-Level Input Voltage	V _{IH}		0.7 x V _{IOVDD}			V	
Low-Level Input Voltage	V _{IL}			0.3 x V _{IOVDD}		V	
Midlevel Input Current	I _{INM}	(Note 2)	-10		+10	μA	
Input Current	I _{IN}		-150		+150	μA	
SINGLE-ENDED OUTPUT (GPO)							
High-Level Output Voltage	V _{OH1}	I _{OUT} = -2mA	V _{IOVDD} - 0.2			V	
Low-Level Output Voltage	V _{OL1}	I _{OUT} = 2mA			0.2	V	
Output Short-Circuit Current	I _{OS}	V _O = 0V	V _{IOVDD} = 3.0V to 3.6V	16	35	64	mA
			V _{IOVDD} = 1.7V to 1.9V	3	12	21	

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
OPEN-DRAIN INPUTS/OUTPUTS (RX/SDA/EDC, TX/SCL/DBL, GPIO_)							
High-Level Input Voltage	V_{IH2}			0.7 x			V
Low-Level Input Voltage	V_{IL2}					0.3 x	V
Input Current	I_{IN2}	(Note 3)	RX/SDA, TX/SCL	-110		+1	μA
			GPIO_	-80		+1	
			EDC, DBL, BWS	-10		+20	
Low-Level Output Voltage	V_{OL2}	$I_{OUT} = 3mA$	$V_{IOVDD} = 1.7V$ to $1.9V$			0.4	V
			$V_{IOVDD} = 3.0V$ to $3.6V$			0.3	
DIFFERENTIAL SERIAL OUTPUTS (OUT+, OUT-)							
Differential Output Voltage	V_{OD}	Preemphasis off (Figure 1)		300	400	500	mV
		3.3dB preemphasis setting (Figure 2)		350		610	
		3.3dB deemphasis setting (Figure 2)		240		425	
Change in V_{OD} Between Complementary Output States	ΔV_{OD}					25	mV
Output Offset Voltage, $(V_{OUT+} + V_{OUT-})/2 = V_{OS}$	V_{OS}	Preemphasis off		1.1	1.4	1.56	V
Change in V_{OS} between Complementary Output States	ΔV_{OS}					25	mV
Output Short-Circuit Current	I_{OS}	V_{OUT+} or $V_{OUT-} = 0V$		-62			mA
		V_{OUT+} or $V_{OUT-} = 1.9V$				25	
Magnitude of Differential Output Short-Circuit Current	I_{OSD}	$V_{OD} = 0V$				25	mA
Output Termination Resistance (Internal)	R_O	From V_{OUT+} , V_{OUT-} to V_{AVDD}		45	54	63	Ω
SINGLE-ENDED SERIAL OUTPUTS (OUT+, OUT-)							
Single-Ended Output Voltage	V_{OUT}	Preemphasis off, high drive (Figure 3)		375	500	625	mV
		3.3dB preemphasis setting, high drive (Figure 2)		435		765	
		3.3dB deemphasis setting, high drive (Figure 2)		300		535	
Output Short-Circuit Current	I_{OS}	V_{OUT+} or $V_{OUT-} = 0V$		-69			mA
		V_{OUT+} or $V_{OUT-} = 1.9V$				32	
Output Termination Resistance (Internal)	R_O	From V_{OUT+} , V_{OUT-} to V_{AVDD}		45	54	63	Ω

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REVERSE CONTROL-CHANNEL RECEIVER OUTPUTS (OUT+, OUT-)						
High Switching Threshold	V_{CHR}				27	mV
Low Switching Threshold	V_{CLR}		-27			mV
POWER SUPPLY						
Worst-Case Supply Current (Figure 4)	I_{WCS}	Single input, BWS = 0	$f_{PCLKIN} = 25MHz$	44	65	mA
			$f_{PCLKIN} = 50MHz$	46	75	
		Double input, BWS = 0	$f_{PCLKIN} = 50MHz$	45	65	
			$f_{PCLKIN} = 100MHz$	56	75	
Sleep Mode Supply Current	I_{CCS}	Single wake-up receiver enabled		40	100	μA
Power-Down Supply Current	I_{CCZ}	$\overline{PWDN} = EP$		5	70	μA
ESD PROTECTION						
OUT+, OUT- (Note 4)	V_{ESD}	Human Body Model, $R_D = 1.5k\Omega$, $C_S = 100pF$		± 8		kV
		IEC 61000-4-2, $R_D = 330\Omega$, $C_S = 150pF$	Contact discharge	± 10		
			Air discharge	± 15		
		ISO 10605, $R_D = 2k\Omega$, $C_S = 330pF$	Contact discharge	± 10		
Air discharge	± 30					
All Other Pins (Note 5)	V_{ESD}	Human Body Model, $R_D = 1.5k\Omega$, $C_S = 100pF$		± 4		kV

AC ELECTRICAL CHARACTERISTICS

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUT (PCLKIN)						
Clock Frequency	f_{PCLKIN}	BWS = 1, DRS = 1	6.25		12.5	MHz
		BWS = 0, DRS = 1	8.33		16.66	
		BWS = 1, DRS = 0	12.5		37.5	
		BWS = 0, DRS = 0	16.66		50	
		BWS = 1, DRS = 0, 15-bit double input	25		75	
		BWS = 0, DRS = 0, 11-bit double input	33.33		100	
Clock Duty Cycle	DC_	t_{HIGH}/t_T or t_{LOW}/t_T (Figure 5, Note 6)	35	50	65	%
Clock Transition Time	t_R, t_F	(Figure 5, Note 6)			4	ns
Clock Jitter	t_J	1.5Gbps bit rate, 300kHz sinusoidal jitter			800	ps (pk-pk)

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I²C/UART AND GPIO PORT TIMING						
I ² C/UART Bit Rate			9.6		1000	kbps
Output Rise Time	t_R	30% to 70%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to IOVDD	20		120	ns
Output Fall Time	t_F	70% to 30%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to IOVDD.	20		120	ns
Input Setup Time	t_{SET}	I ² C only (Figure 6, Note 6)	100			ns
Input Hold Time	t_{HOLD}	I ² C only (Figure 6, Note 6)	0			ns
SWITCHING CHARACTERISTICS (Note 6)						
Differential Output Rise/Fall Time	t_R, t_F	20% to 80%, $V_{OD} \geq 400mV$, $R_L = 100\Omega$, serial-bit rate = 1.5Gbps			250	ps
Total Serial Output Jitter (Differential Output)	t_{TSOJ1}	1.5Gbps PRBS signal, measured at $V_{OD} = 0V$ differential, preemphasis disabled (Figure 7)		0.25		UI
Deterministic Serial Output Jitter (Differential Output)	t_{DSOJ2}	1.5Gbps PRBS signal, measured at $V_{OD} = 0V$ differential, preemphasis disabled (Figure 7)		0.15		UI
Total Serial Output Jitter (Single-Ended Output)	t_{TSOJ1}	1.5Gbps PRBS signal, measured at $V_O/2$, preemphasis disabled (Figure 3)		0.25		UI
Deterministic Serial Output Jitter (Single-Ended Output)	t_{DSOJ2}	1.5Gbps PRBS signal, measured at $V_O/2$, preemphasis disabled (Figure 3)		0.15		UI
Parallel Data Input Setup Time	t_{SET}	(Figure 8)	2			ns
Parallel Data Input Hold Time	t_{HOLD}	(Figure 8)	1			ns
GPI-to-GPO Delay	t_{GPIO}	Deserializer GPI to serializer GPO (Figure 9)			350	μs
Serializer Delay (Note 7)	t_{SD}	(Figure 10)	Spread spectrum enabled		6880	Bits
			Spread spectrum disabled		3040	
Link Start Time	t_{LOCK}	(Figure 11)			2	ms
Power-Up Time	t_{PU}	(Figure 12)			7	ms

Note 2: To provide a midlevel, leave the input open, or, if driven, put driver in high impedance. High-impedance leakage current must be less than $\pm 10\mu A$.

Note 3: I_{IN} min due to voltage drop across the internal pullup resistor.

Note 4: Specified pin to ground.

Note 5: Specified pin to all supply/ground.

Note 6: Guaranteed by design and not production tested.

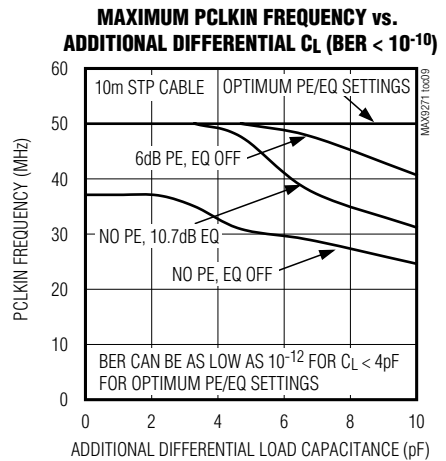
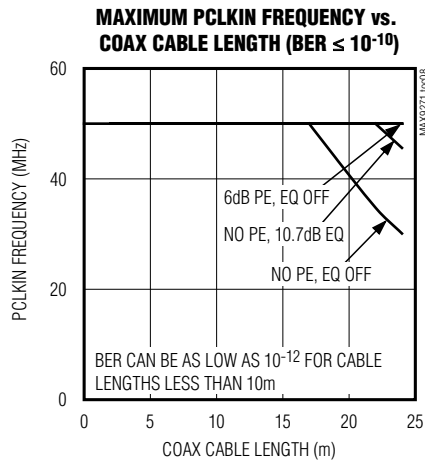
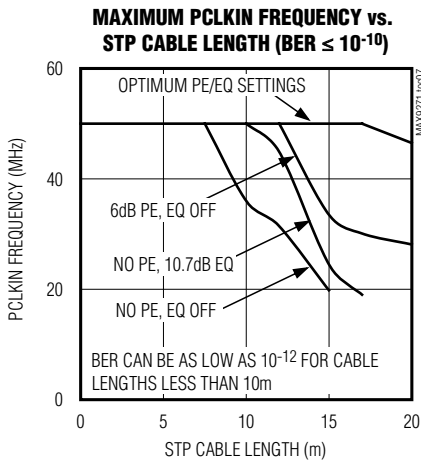
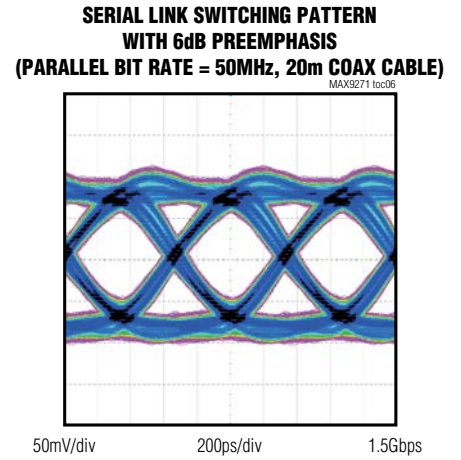
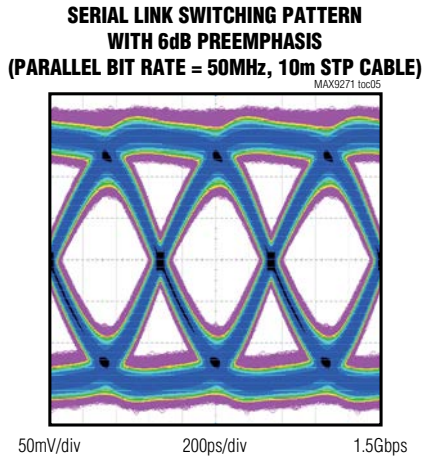
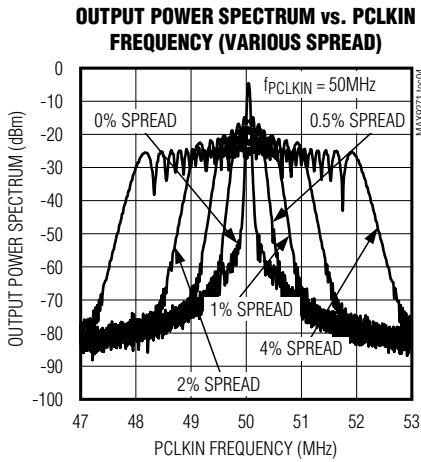
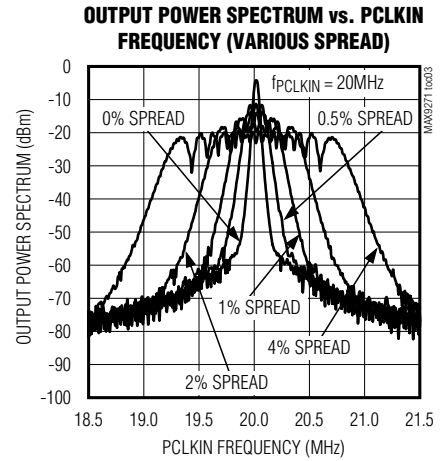
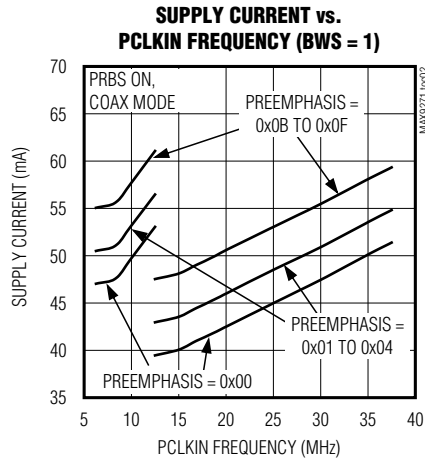
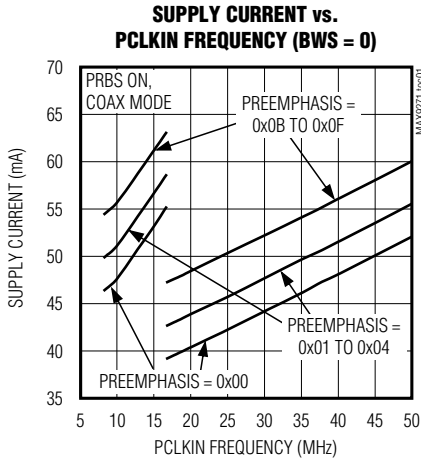
Note 7: Measured in serial link bit times. Bit time = $1/(30 \times f_{PCLKIN})$ for BWS = 0. Bit time = $1/(40 \times f_{PCLKIN})$ for BWS = 1.

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

典型工作特性

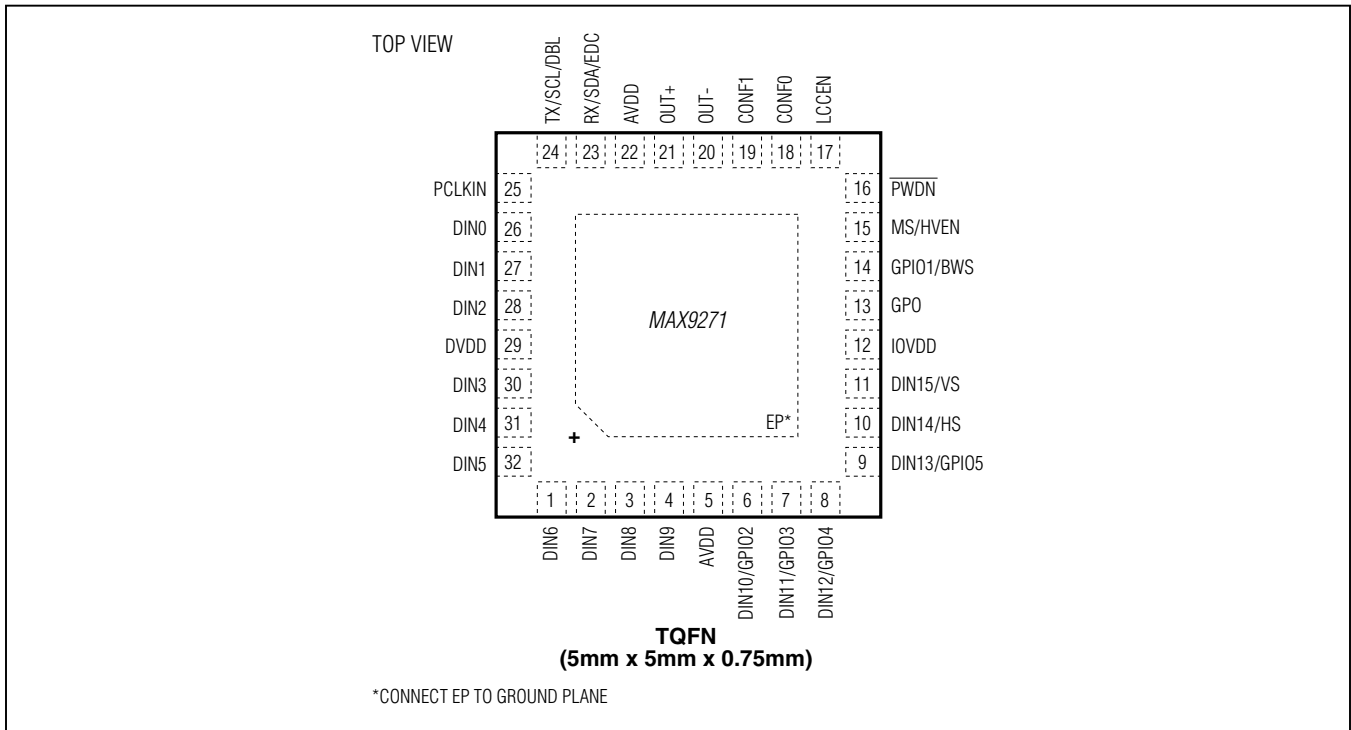
($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $DBL = low$, $T_A = +25^\circ C$, unless otherwise noted.)



MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

引脚配置



引脚说明

引脚	名称	功能
1-4, 26, 27, 28, 30, 31, 32	DIN0-DIN9	并行数据输入，内部下拉至EP。
5, 22	AVDD	1.8V模拟电源。利用0.1μF和0.001μF电容将AVDD旁路至EP，电容尽量靠近器件放置，小电容靠近AVDD。
6-9	DIN10/ GPIO2-DIN13/ GPIO5	并行数据输入/GPIO，上电时默认为并行数据输入。 并行数据输入，内部下拉至EP。 GPIO_具有开漏输出，内部通过60kΩ电阻上拉至IOVDD，详细编程信息请参见表1。
10	DIN14/HS	并行数据输入/行同步，内部下拉至EP。上电时默认为并行数据输入。 使能VS/HS编码时为行同步输入(表2)。
11	DIN15/VS	并行数据输入/场同步，内部下拉至EP。上电时默认为并行数据输入。 使能VS/HS编码时为场同步输入(表2)。
12	IOVDD	I/O电源，1.8V至3.3V逻辑I/O电源。利用0.1μF和0.001μF电容将IOVDD旁路至EP，电容尽量靠近器件放置，小电容靠近IOVDD。

MAX9271

16位GMSL串行器，带同轴或 STP电缆驱动

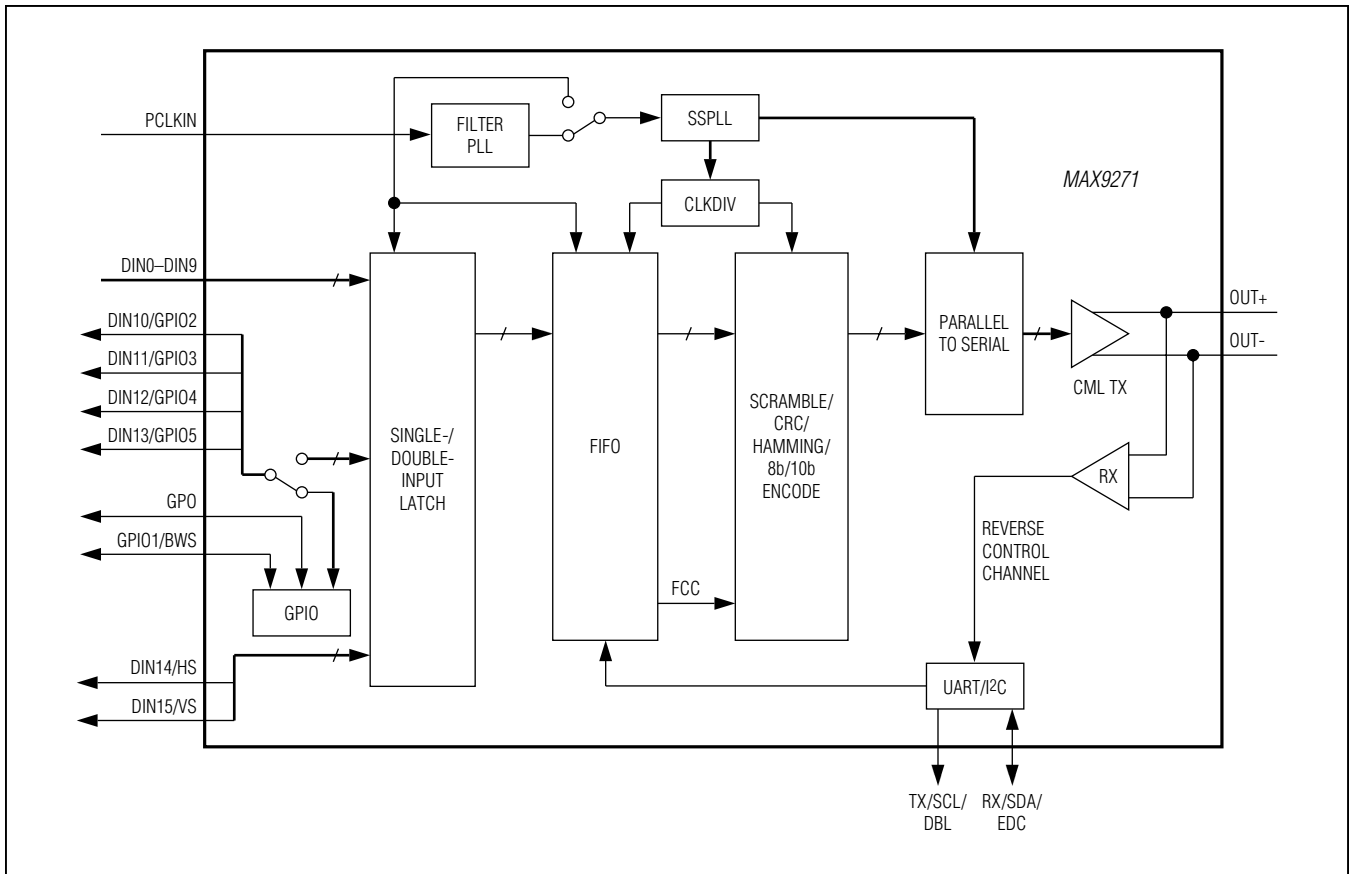
引脚说明(续)

引脚	名称	功能
13	GPO	通用输出，GPO跟随GMSL解串器GPI (或INT)输入。上电后，或 $\overline{\text{PWDN}}$ = 低电平时，GPO = 低电平。
14	GPIO1/BWS	GPIO/总线宽度选择输入，功能由LCCEN的状态决定(表13)。 GPIO1 (LCCEN = 高电平): 开漏、通用输入/输出，内部通过60k Ω 电阻上拉至IOVDD。 BWS (LCCEN = 低电平): 输入，内部下拉至EP。BWS = 低电平时，锁存22位输入。 BWS = 高电平时，锁存30位输入。
15	MS/HVEN	模式选择/HS和VS编码使能，内部下拉至EP。功能由LCCEN的状态决定(表13)。 MS (LCCEN = 高电平): MS = 低电平时，选择基本模式。MS = 高电平时，选择旁路模式。 HVEN (LCCEN = 低电平): HVEN = 高电平时，使能DIN14/HS和DIN15/VS的HS/VS编码； HVEN = 低电平时，DIN14/HS和DIN15/VS用作并行数据输入。
16	$\overline{\text{PWDN}}$	低电平有效关断输入，内部下拉至EP。将 $\overline{\text{PWDN}}$ 置为低电平时，进入关断模式，以降低功耗。
17	LCCEN	本地控制通道使能输入，内部下拉至EP。LCCEN = 高电平时，使能控制通道接口引脚； LCCEN = 低电平时，禁止控制通道接口引脚，选择专用引脚的替代功能(表13)。
18	CONF0	配置0，三电平配置输入(表9)。
19	CONF1	配置1，三电平配置输入(表9)。
20	OUT-	反相同轴/双绞线串行输出。
21	OUT+	同相同轴/双绞线串行输出。
23	RX/SDA/EDC	接收/串行数据/误码检测/纠错，功能由LCCEN的状态决定(表13)。 RX/SDA (LCCEN = 高电平): 输入/输出，内部通过30k Ω 电阻上拉至IOVDD。UART模式下， RX/SDA为串行器UART的Rx输入；I ² C模式下，RX/SDA为串行器I ² C主/从器件的SDA输入/ 输出。RX/SDA具有开漏驱动器，需要上拉电阻。 EDC (LCCEN = 低电平): 输入，内部下拉至EP。EDC = 高电平时，使能误码检测功能； EDC = 低电平时，禁止纠错功能。
24	TX/SCL/DBL	发送/串行时钟/双模，功能由LCCEN的状态决定(表13)。 TX/SCL (LCCEN = 高电平): 输入/输出，内部通过30k Ω 电阻上拉至IOVDD。UART模式下， TX/SCL为串行器UART的Tx输出；I ² C模式下，TX/SCL为串行器I ² C主从器件的SCL输入/ 输出。TX/SCL具有开漏驱动器，需要上拉电阻。 DBL (LCCEN = 低电平): 输入，内部下拉至EP。DBL = 高电平时，使用双输入模式； DBL = 低电平时，使用单输入模式。
25	PCLKIN	并行时钟输入，内部下拉至EP。锁存并行数据输入并提供PLL参考时钟。
29	DVDD	1.8V数字电源，利用0.1 μF 和0.001 μF 电容将DVDD旁路至EP，电容尽量靠近器件放置，小电 容靠近DVDD。
—	EP	裸焊盘，EP内部连接至器件地。 必须 通过过孔阵列将EP连接至PCB接地区域，以改善散热， 保证器件的电气性能。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

功能框图



MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

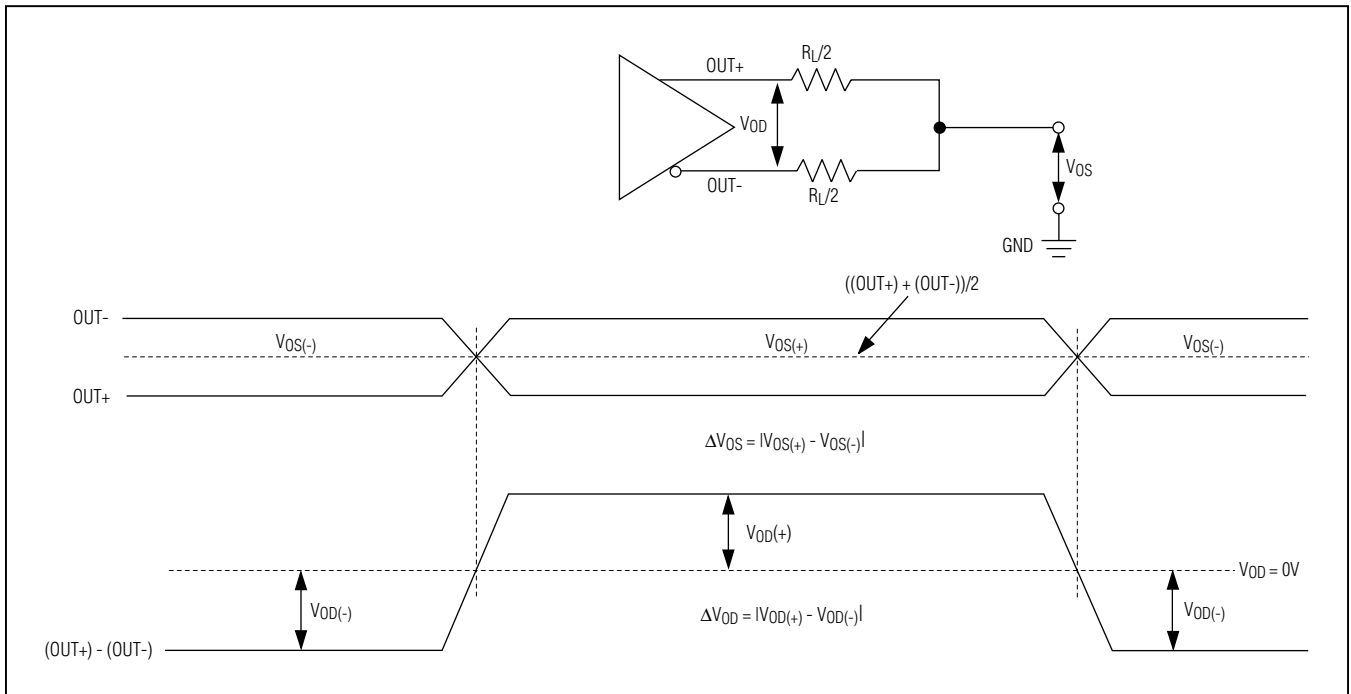


图1. 串行输出参数

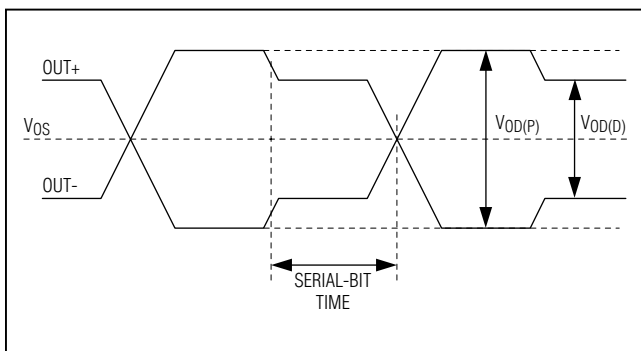


图2. $OUT+$ 和 $OUT-$ 输出波形

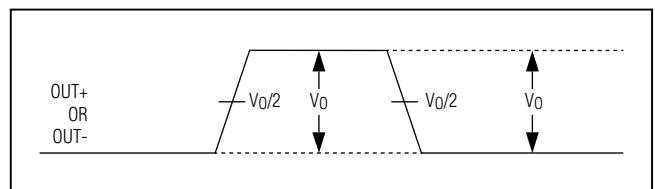


图3. 单端输出模板

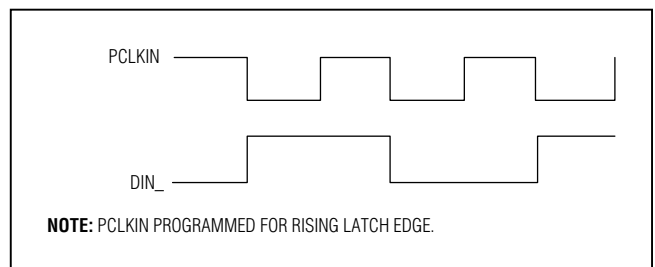


图4. 最差码型输入

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

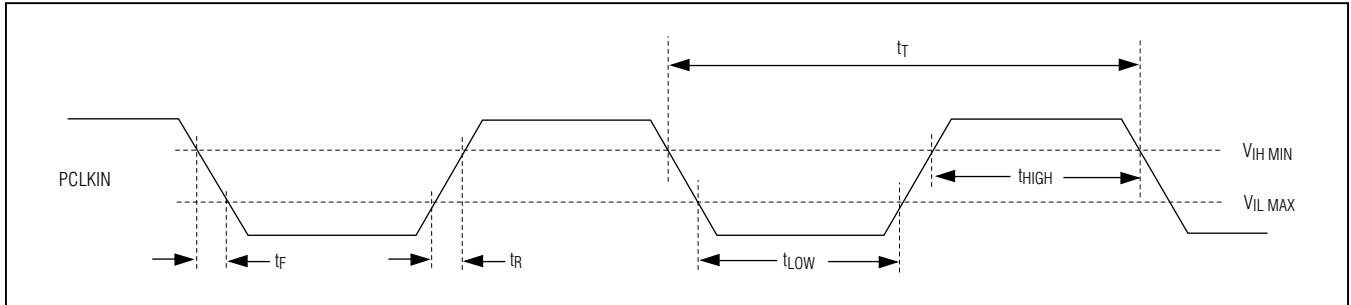


图5. 并行时钟输入要求

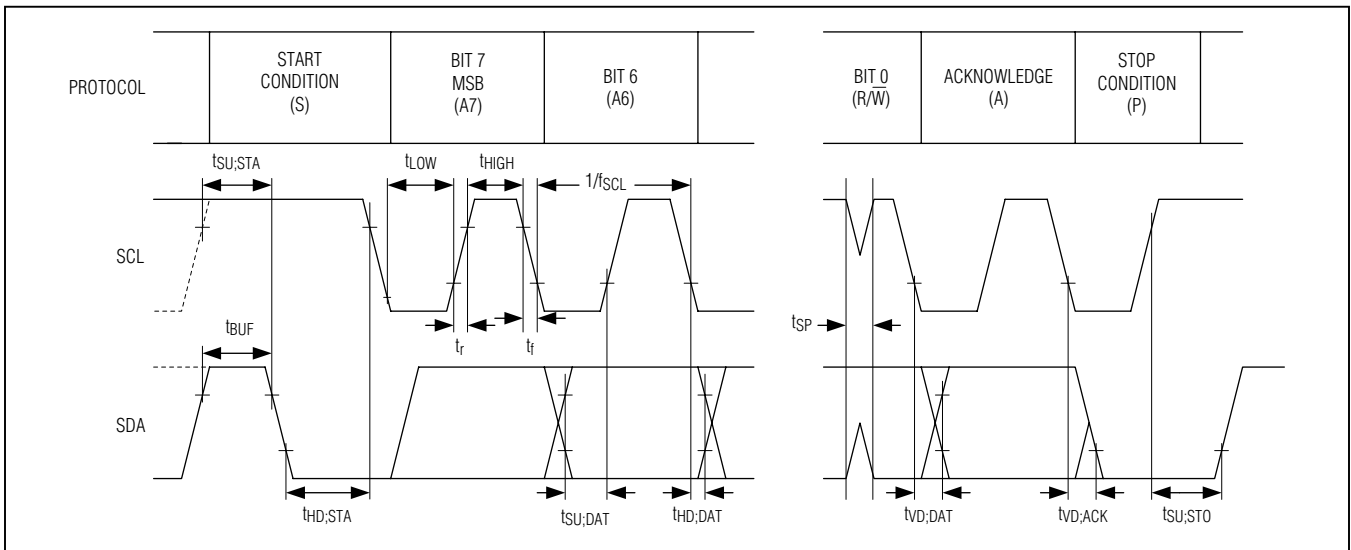


图6. I²C时序

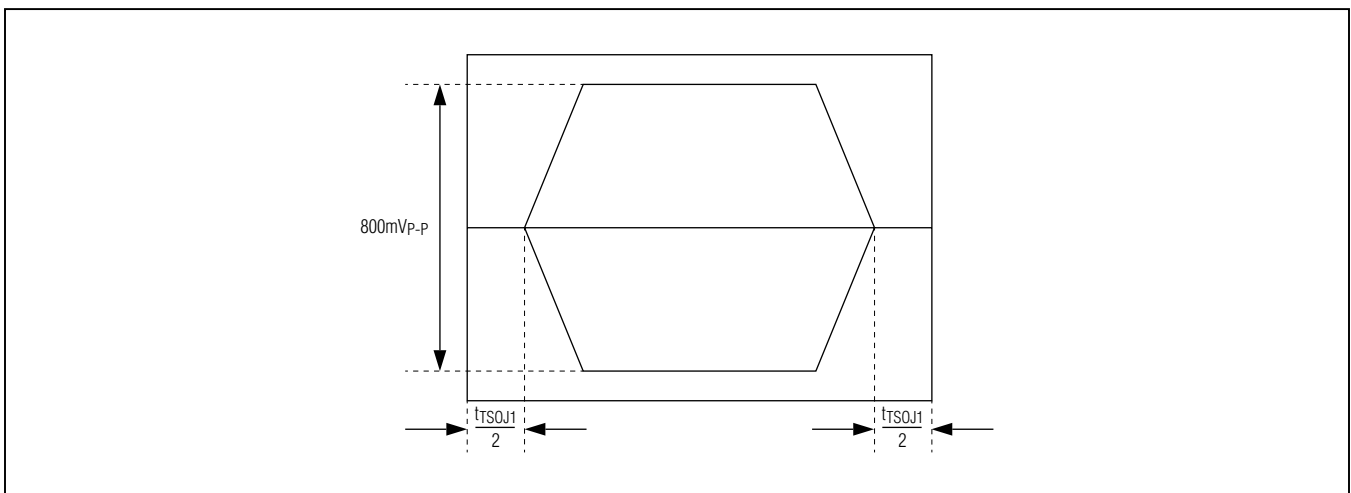


图7. 差分输出模板

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

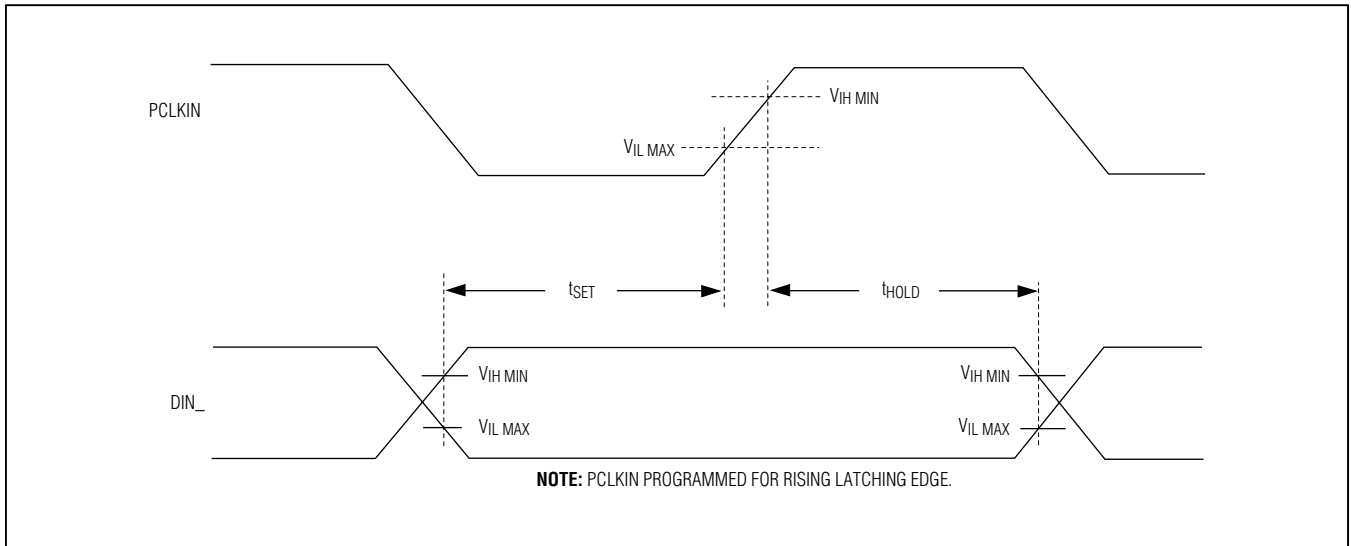


图8. 输入建立和保持时间

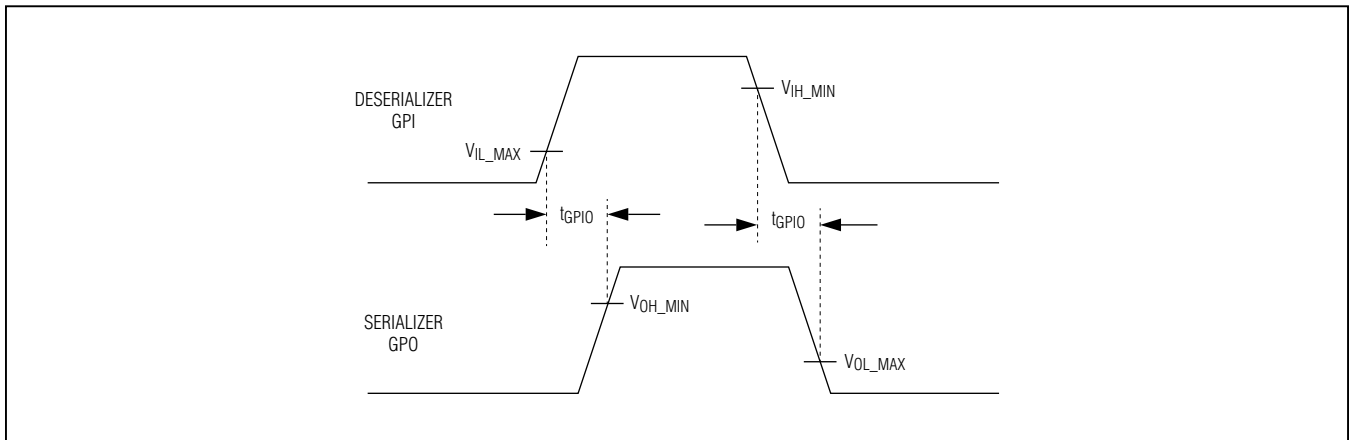


图9. GPI至GPO延时

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

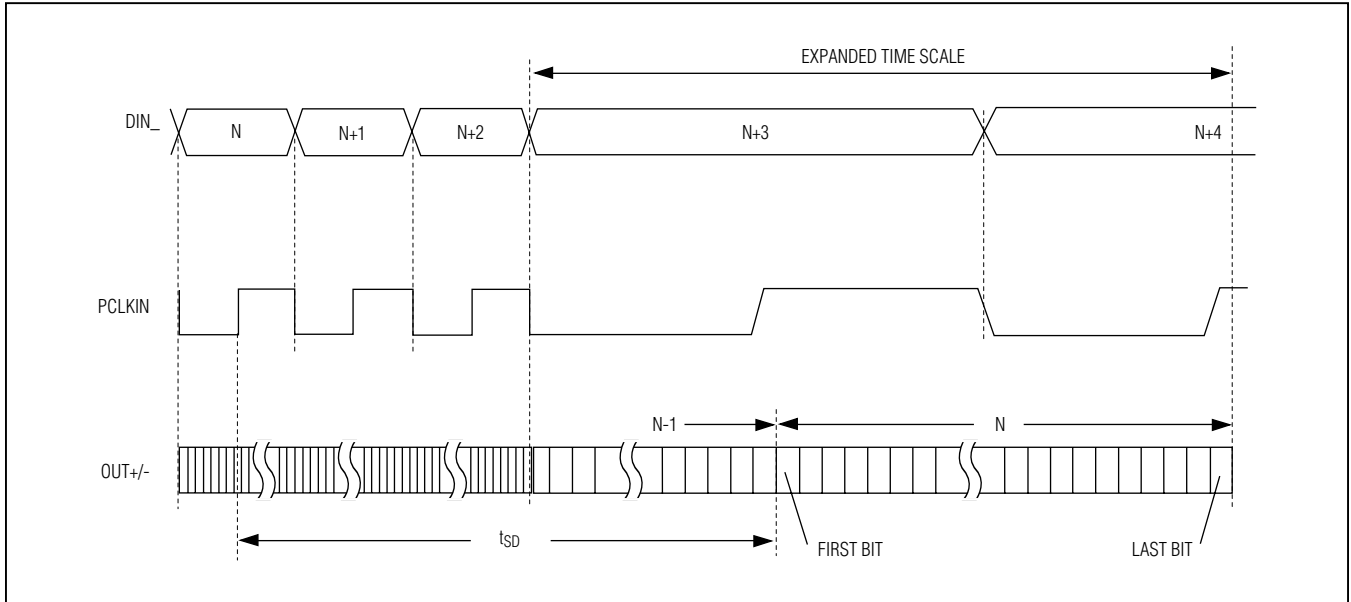


图10. 串行器延时

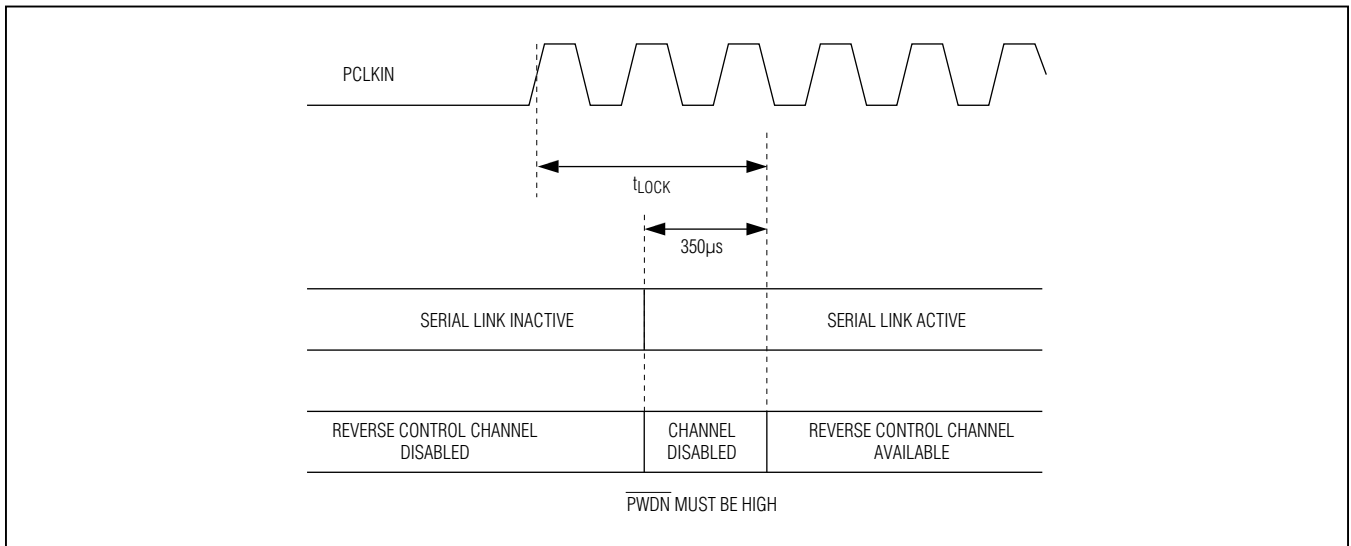


图11. 链路启动时间

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

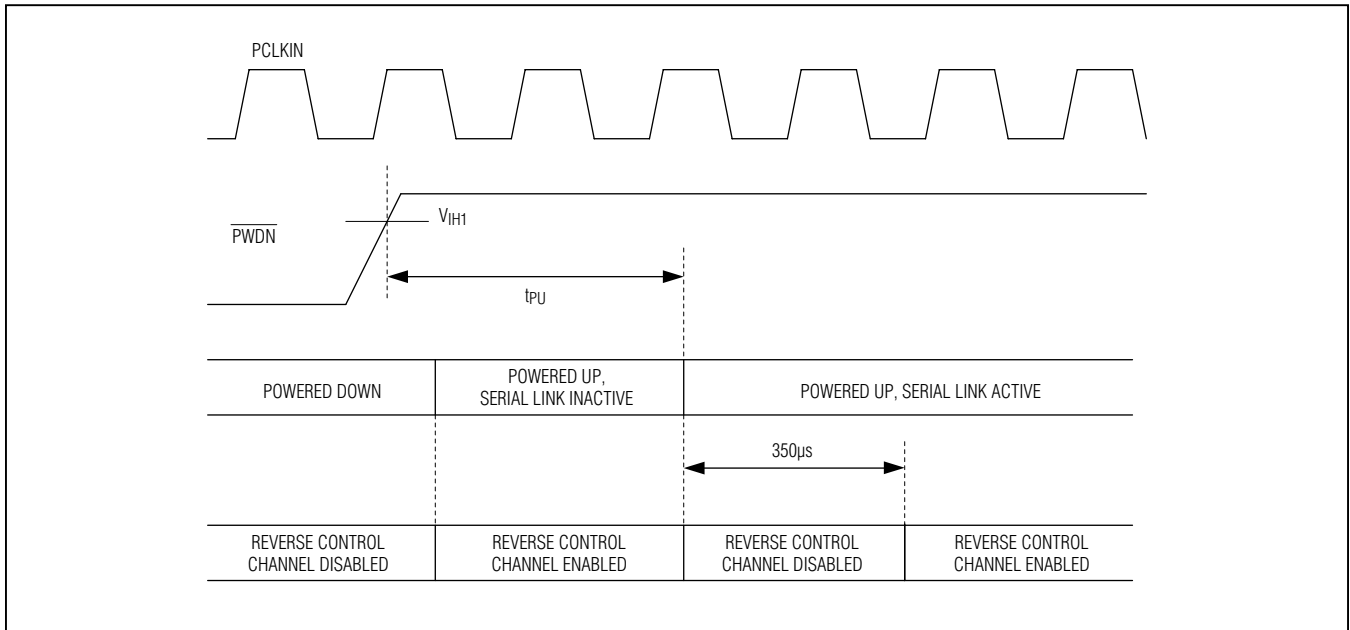


图12. 上电延时

详细说明

MAX9271串行器与MAX9272解串器配对使用，构成完备的链路传输功能；与其它GMSL解串器配对使用时，可提供基本的链路传输功能。

驱动15m或更长的电缆时，串行器的最大串行码率为1.5Gbps。在16位、单输入模式下，最大输入时钟为50MHz；在15位/11位、双输入模式下，最大输入时钟分别为75MHz/100MHz。预加重/去加重，以及GMSL解串器通道的均衡器用于扩展链路长度，提高链路可靠性。

µC利用控制通道配置串行器和解串器寄存器，并可设置外设寄存器。µC可位于链路的任意一端或两端。控制通道具有两种工作模式和相应的协议、数据格式。基本模式使用I²C或GMSL UART协议，旁路模式使用用户定义的UART协议。

器件具有扩频功能，可降低串行输出的EMI。串行输出符合ISO 10605和IEC 61000-4-2 ESD保护标准。

寄存器映射

寄存器用于设置串行器的工作条件，在基本模式下通过控制通道配置。串行器保存器件地址及其驱动解串器的器件地址。同样，所驱动的解串器将保存自身器件地址以及相配合的串行器地址。任一器件地址改变时，应将新地址写入两个器件。MAX9271串行器(或任意GMSL串行器)的默认器件地址为0x80，任何GMSL解串器的默认地址为0x90(表1)。两个器件中的寄存器0x00和0x01保存器件地址。

输入位映射

并行输入功能及位宽取决于双/单路输入模式(DBL)、HS/VS编码(HVEN)、纠错(EDC)及总线宽度(BWS)引脚的设置。DINA在单输入模式下由像素时钟锁存，在双输入模式下由第一个像素时钟锁存。双输入模式下，在第二个像素时钟锁存DINB，表2所列控制引脚设置的位映射。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表1. 寄存器默认上电设置(见表16)

寄存器地址 (十六进制)	上电默认值 (十六进制)	上电默认设置(最高有效位在前)
0x00	0x80	SERID = 1000000, 串行器器件地址 CFGBLOCK = 0, 寄存器0x00至0x1F可读/写
0x01	0x90	DESID = 1001000, 解串器器件地址 保留 = 0
0x02	0x1F	SS = 000, 不扩频 保留 = 1 PRNG = 11, 自动检测像素时钟范围 SRNG = 11, 自动检测串行数据率
0x03	0x00	AUTOFM = 00, 仅在锁定后校准一次扩频调制率 SDIV = 000000, 自动校准锯齿分频器
0x04	0x87	SEREN = 1, 使能串行链路 CLINKEN = 0, 禁止配置链路 PRBSEN = 0, 禁止PRBS测试 SLEEP = 0, 禁止休眠模式(见链路启动过程部分) INTTYPE = 01, 本地控制通道使用UART REVCCEN = 1, 反向控制通道有效(接收) FWDCCEN = 1, 正向控制通道有效(发送)
0x05	0x00	I2CMETHOD = 0, I ² C数据包包括寄存器地址 ENJITFILT = 0, 关闭抖动滤波器 PRBSLEN = 00, PRBS串长度 保留 = 00 ENWAKEN = 0, 禁止OUT-唤醒接收器 ENWAKEP = 1, 使能OUT+唤醒接收器
0x06	0x80, 0xA0	CMLLVL = 1000或1010, 输出电平由CONF1和CONF0上电时的状态决定 PREEMP = 0000, 禁止预加重
0x07	0xXX	DBL = 0或1, 单/双输入模式设置, 由LCCEN和TX/SCL/DBL启动时的状态决定 DRS = 0, 高数据率模式 BWS = 0或1, 位宽设置, 由LCCEN和GPIO1/BWS启动时的状态决定 ES = 0或1, 沿选择输入设置, 由LCCEN和TX/SCL/ES启动时的状态决定 保留 = 0 HVEN = 0或1, HS/VS跟踪编码设置, 由LCCEN和MS/HVEN启动时的状态决定 EDC = 00或10, 误码检测/纠错设置, 由LCCEN和RX/SDA/EDC启动时的状态决定
0x08	0x00	INVVS = 0, 串行器不反相VSYNC INVHS = 0, 串行器不反相HSYNC 保留 = 000000

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表1. 寄存器默认上电设置(见表16)(续)

寄存器地址 (十六进制)	上电默认值 (十六进制)	上电默认设置(最高有效位在前)
0x09	0x00	I2CSRCA = 0000000, I ² C地址转换器源A, 为0x00 保留 = 0
0x0A	0x00	I2CDSTA = 0000000, I ² C地址转换器目标A, 为0x00 保留 = 0
0x0B	0x00	I2CSRCA = 0000000, I ² C地址转换器源B, 为0x00 保留 = 0
0x0C	0x00	I2CDSTB = 0000000, I ² C地址转换器目标B, 为0x00 保留 = 0
0x0D	0xB6	I2CLOCACK = 1, 正向通道不可用时产生的应答 I2CSLVSH = 01, 469ns/234ns I ² C建立/保持时间 I2CMSTBT = 101, 339kbps (典型值) I ² C至I ² C主机码率设置 I2CSLVTO = 10, 1024μs (典型值) I ² C至I ² C从机远端超时
0x0E	0x42	DIS_REV_P = 0, 使能OUT+反向通道接收器 DIS_REV_N = 1, 禁止OUT-反向通道接收器 GPIO5EN = 0, 禁止GPIO5 GPIO4EN = 0, 禁止GPIO4 GPIO3EN = 0, 禁止GPIO3 GPIO2EN = 0, 禁止GPIO2 GPIO1EN = 1, 禁止GPIO1 保留 = 0
0x0F	0xFE	保留 = 11 GPIO5OUT = 1, GPIO5置为高电平 GPIO4OUT = 1, GPIO4置为高电平 GPIO3OUT = 1, GPIO3置为高电平 GPIO2OUT = 1, GPIO2置为高电平 GPIO1OUT = 1, GPIO1置为高电平 SETGPO = 0, GPO置为低电平
0x10	0x3E	保留 = 00 GPIO5IN = 1, GPIO5输入高电平 GPIO4IN = 1, GPIO4输入高电平 GPIO3IN = 1, GPIO3输入高电平 GPIO2IN = 1, GPIO2输入高电平 GPIO1IN = 1, GPIO1输入高电平 GPO_L = 0, GPO置为低电平
0x11	0x00	ERRGRATE = 00, 每2560位产生一个误码 ERRGTYPE = 0, 产生单位误码 ERRGCNT = 00, 连续产生误码 ERRGPER = 0, 关闭周期性产生误码 ERRGEN = 0, 关闭误码发生器

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表1. 寄存器默认上电设置(见表16)(续)

寄存器地址 (十六进制)	上电默认值 (十六进制)	上电默认设置(最高有效位在前)
0x12	0x40	保留 = 01000000
0x13	0x22	保留 = 00100010
0x14	0xXX	保留 = XXXXXXXX
0x15	0x00	CXTP = 0, CXTP为低 I2CSEL = 0, 输入为低 LCCEN = 0, 禁止本地控制通道 保留 = 000 OUTPUTEN = 0, 禁止输出 PCLKDET = 0, 未检测到有效PCLKIN
0x16	0xXX (read only)	保留 = XXXXXXXX
0x17	0xXX (read only)	保留 = XXXXXXXX
0x1E	0x09 (read only)	ID = 00001001, 器件ID为0x09
0x1F	0x0X (read only)	保留 = 000 CAPS = 0, 串行器无HDCP功能 REVISION = XXXX, 修订号

X = 无关。

表2. 输入映射

EDC	BWS	DBL	HVEN	DINA	DINB*	SERIAL LINK WORD BITS
0	0	0	0	0:15	—	0:15
0	0	0	1	0:13, HS, VS	—	0:13
0	0	1	0	0:10	0:10	0:21
0	0	1	1	0:10, HS, VS	0:10, HS, VS	0:21
0	1	0	0	0:15	—	0:15
0	1	0	1	0:13, HS, VS	—	0:13
0	1	1	0	0:14	0:14	0:29
0	1	1	1	0:13, HS, VS	0:13, HS, VS	0:13, 15:28
1	0	0	0	0:15	—	0:15
1	0	0	1	0:13, HS, VS	—	0:13
1	0	1	0	0:7	0:7	0:15
1	0	1	1	0:7, HS, VS	0:7, HS, VS	0:13
1	1	0	0	0:15	—	0:15
1	1	0	1	0:13, HS, VS	—	0:13
1	1	1	0	0:11	0:11	0:23
1	1	1	1	0:11, HS, VS	0:11, HS, VS	0:23

* 双输入模式(DBL = 1)下, 在PCLKIN的第一个周期锁存DINA, 在PCLKIN的第二个周期锁存DINB。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

并行输入具有两种模式：单和双速率输入。单输入模式下，LATCH A在每个PCLKIN周期储存DIN_输入数据(图13)，然后将来自LATCH A的并行数据送入串行器进行串行转换(图14)。器件支持6.25MHz至50MHz像素时钟。

双输入模式下，LATCH B储存两个输入字(图15)。来自LATCH B的数据作为组合字送入串行器。MAX9272解串器输出组

合字(单输出模式)或两个半字(双输出模式)。串行器/解串器在11位、双输入模式下使用33.3MHz至100MHz像素时钟；在15位、双输入模式下使用25MHz至75MHz像素时钟，时序详细信息参见图16。

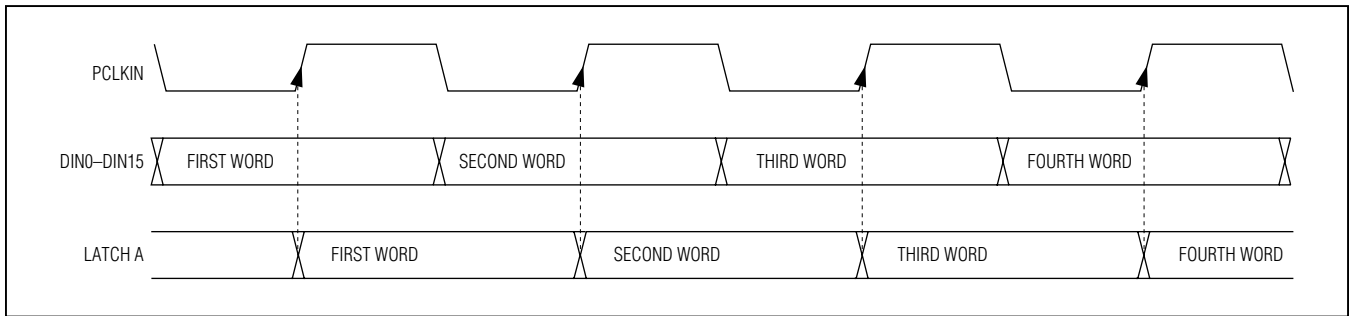


图13. 单输入波形(在所选PCLKIN的上升沿锁存)

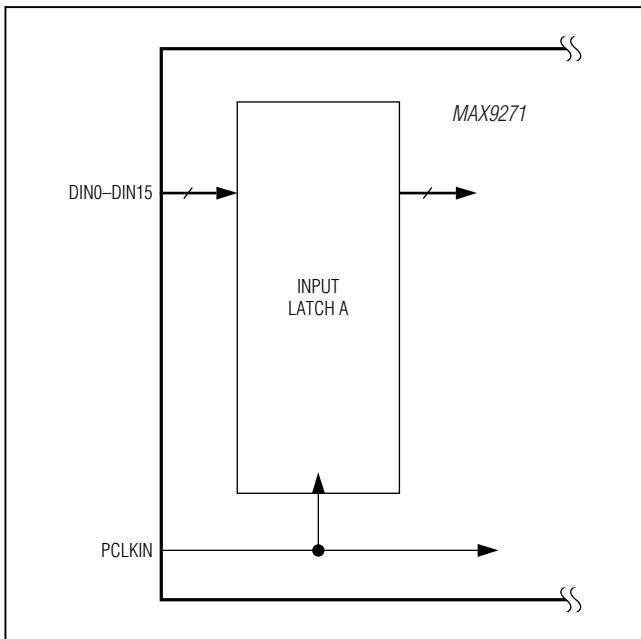


图14. 单输入功能框图

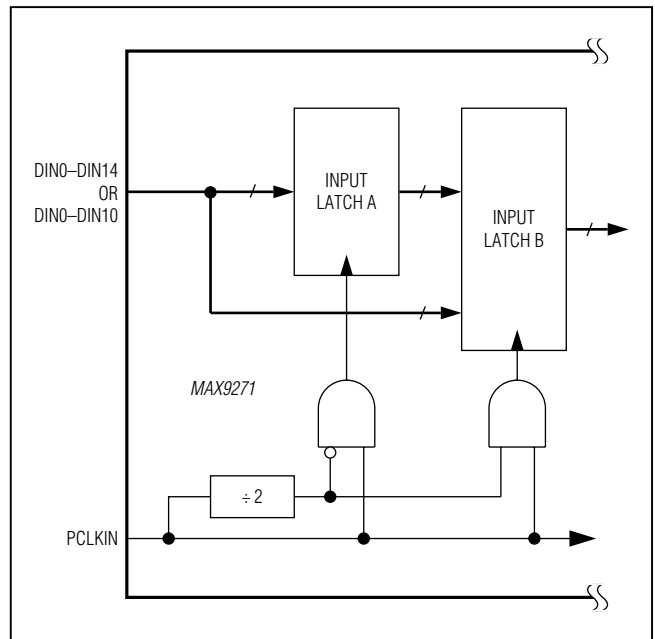


图15. 双输入功能框图

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

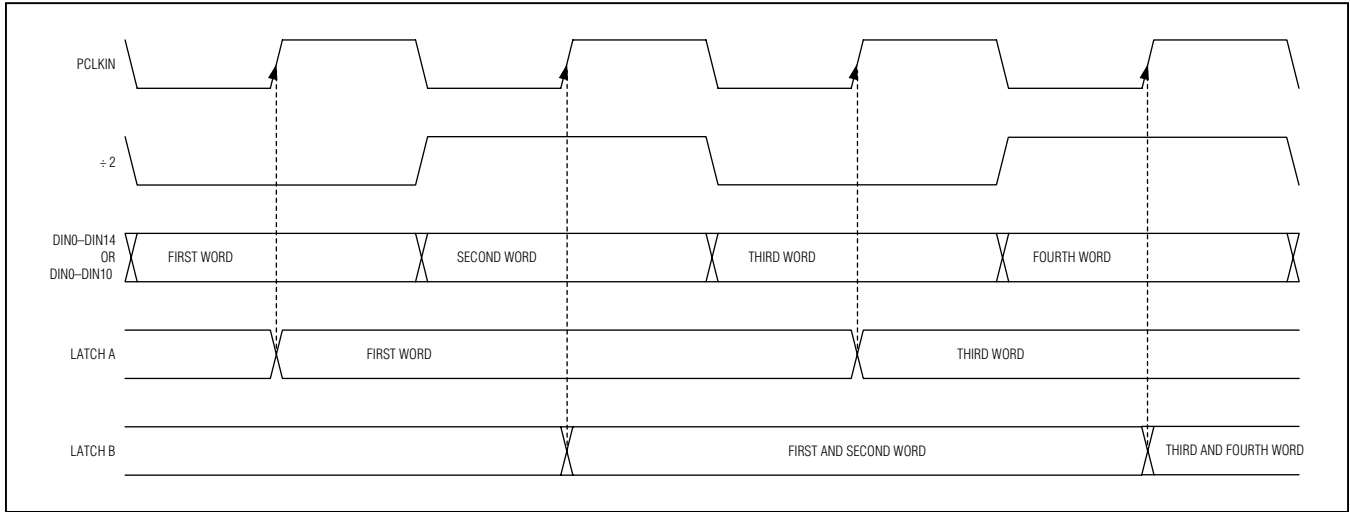


图16. 双输入波形(在所选PCLKIN的上升沿锁存)

串行链路信号和数据格式

串行器使用差分CML信号驱动双绞线电缆，使用单端CML驱动同轴电缆。输出幅值可编程。

对输入数据加入扰码，然后进行8b/10b编码。解串器恢复嵌入的串行时钟，然后对数据进行采样、解码和解串。24位或32位模式下，22或30位包含视频数据和/或纠错位(若使用)。第23或31位为正向控制通道数据，最后一位为前23或31位的校验位(图17)。

反向控制通道

串行器使用反向控制通道接收来自解串器的I²C/UART和GPO信号，与视频流方向相反。反向控制通道和正向视频数据共存于同一对串行电缆，形成双向链路。反向控制通道与正向控制通道的工作相互独立。上电后2ms，可以使用反向控制通道。启动/停止正向串行链路后，串行器将反向控制通道临时关闭350μs。

数据率选择

串行器/解串器使用DRS、DBL和BWS设置PCLKIN的频率范围(表3)。DRS = 1时，PCLKIN的频率范围为6.25MHz至12.5MHz (32位、单输入模式)或8.33MHz至16.66MHz

(24位、单输入模式)；DRS = 0时，为常规工作模式。DRS = 1时，不建议使用双输入模式。

控制通道和寄存器编程

提供控制通道，使μC能够通过串行链路与高速数据一起发送、接收控制数据。μC从串行器或解串器一侧控制链路。μC和串行器或解串器之间的控制通道工作在基本模式或旁路模式，取决于μC连接器件的模式选择(MS/HVEN)输入。基本模式为半双工控制通道，旁路模式为全双工控制通道。

UART接口

基本模式下，μC为主机，可从链路的任一侧使用GMSL UART协议存取串行器和解串器的寄存器。μC也可通过向串行器或解串器发送UART包设置远端外设，UART包由链路远端侧的器件转换为I²C。μC在基本模式下与UART外设通信(通过INTTYPE寄存器设置)，采用串行器/解串器的半双工、默认GMSL UART协议。可编程串行器/解串器在基本模式下的器件地址，串行器的默认值为0x80，解串器的默认值为0x90。

外设接口为I²C时，串行器/解串器将UART包转换为I²C，器件地址不同于串行器或解串器地址。转换得到的I²C码率与原始UART码率相同。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

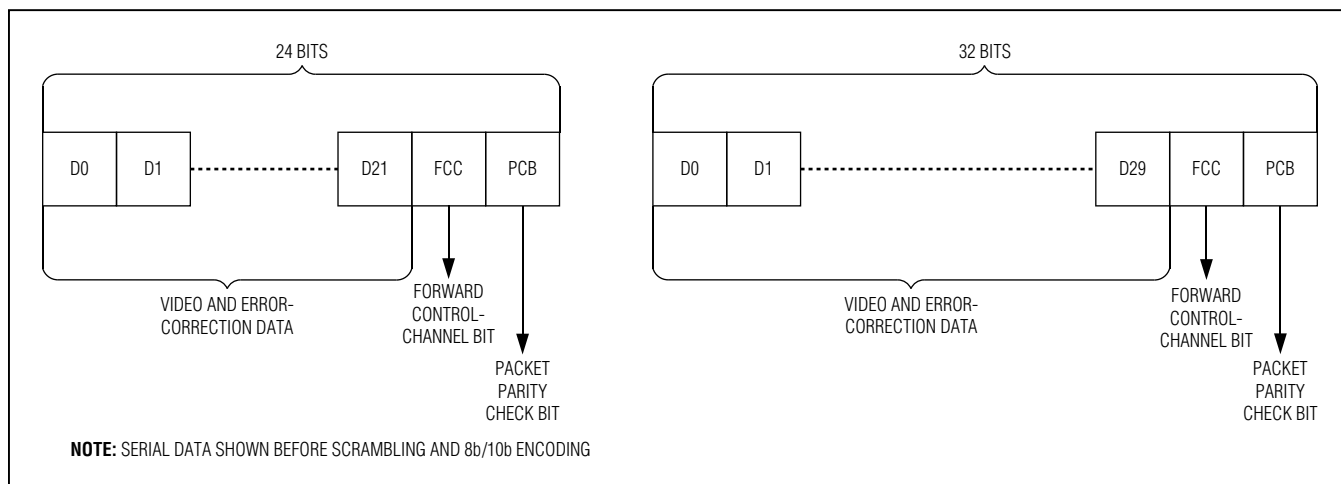


图17. 串行数据格式

表3. 数据率选择表

DRS SETTING	DBL SETTING	BWS SETTING	PCLKIN RANGE (MHz)
0	0 (single input)	0 (24-bit mode)	16.66 to 50
0	0	1 (32-bit mode)	12.5 to 35
0	1 (double input)	0	33.3 to 100
0	1	1	25 to 75
1	0	0	8.33 to 16.66
1	0	1	6.25 to 12.5
1	1	0	Do not use
1	1	1	Do not use

解串器采用差分线编码，通过反向通道将信号传送到串行器。控制通道在两个方向的传输码率均为9.6kbps至1Mbps。基本模式下，串行器/解串器自动检测控制通道码率。可根据步长调整数据包码率，使其高于或低于原码率3.5倍。关于改变控制通道码率的更多信息，请参考[更改时钟频率](#)部分。

图18所示为基本模式下， μC 和串行器/解串器之间进行读、写操作的UART协议。

图19所示为UART数据格式，图20和图21所示为SYNC字节(0x79)和ACK字节(0xC3)格式。 μC 与所连接的从机器件分别产生SYNC字节和ACK字节。 μC 将忽略控制通道产生

的器件唤醒、GPI等事件跳变。写入串行器/解串器的数据在发送ACK字节后才生效，使得 μC 能够验证成功接收到的写命令，即使写命令的结果直接影响串行链路。从机利用SYNC字节与主机的UART数据率同步。通过控制通道传输信息时，如果串行器的GPI或MS/HVEN输入发生切换，或者如果发生行错误，将终止控制通道通信。应答数据丢失或延迟(约1ms，由于控制通道超时)时， μC 应判断从器件接收数据包时发生错误，或者从器件响应期间发生错误。基本模式下， μC 必须将UART Tx/Rx线保持为高电平达16位时间，然后才能开始发送新数据包。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

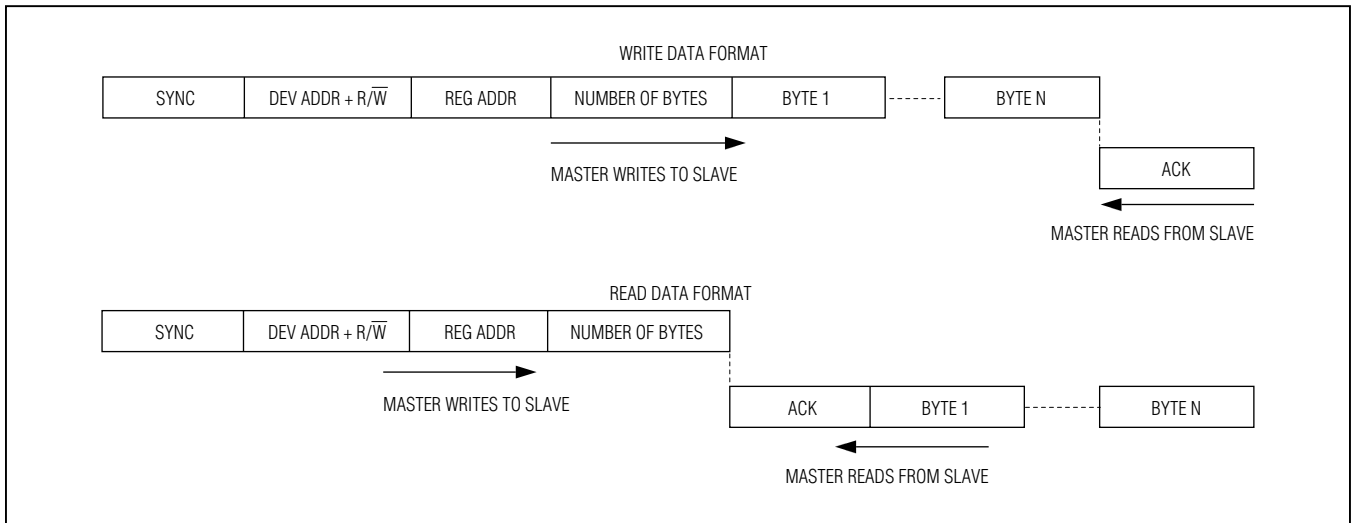


图18. 基本模式下的GMSL UART协议

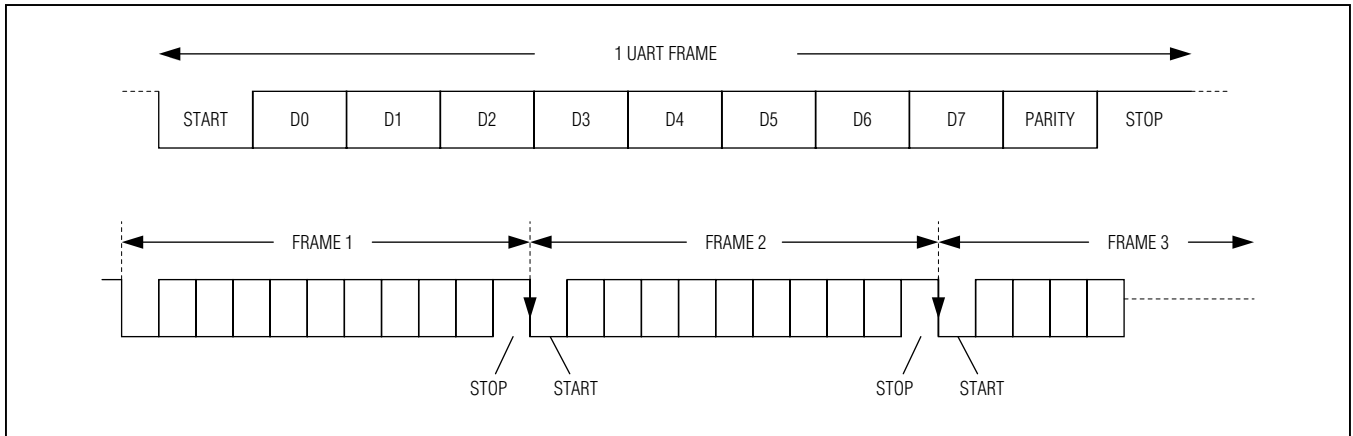


图19. 基本模式下的GMSL UART数据格式

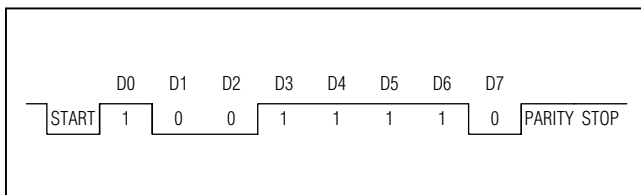


图20. SYNC字节(0x79)

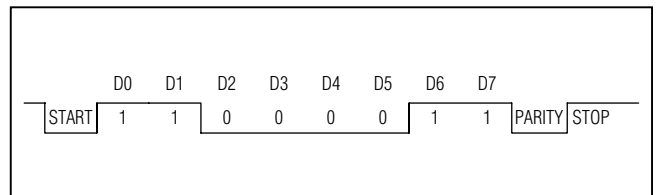


图21. ACK字节(0xC3)

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

UART旁路模式

旁路模式下，串行器/解串器忽略来自μC的UART命令，μC按照其默认的UART协议直接与外设通信。该模式下，μC不能读/写串行器/解串器的寄存器。由于UART信号通过PCLKIN进行异步采样，采用UART接口通过正向控制通道读/写外设时，需要处理至少一个PCLKIN周期±10ns抖动。MS/HVEN = 高电平时，将控制通道置于旁路模式。对于μC连接至解串器的应用，从MS/HVEN置为高电平到旁路控制通道有效需要1ms的等待时间；如果μC连接至串行器，切换至旁路模式时没有延时。不要发送长于100μs的逻辑低电平，以确保GPO正常工作。旁路模式下，任何方向均可接受最低10kbps的码率。关于GPO功能限制的详细信息，请参考[GPO/GPI控制](#)部分。如果使用GPO控制，控制通道数据码型保持为低电平的时间不应长于100μs。

如图22所示，远端器件将发送给外设/来自外设的数据包从UART格式转换成I²C格式，反之亦然。远端器件删除字节数字段，添加或接收I²C数据字节之间的ACK。I²C码率与原UART码率相同。

仅使用命令字节通过UART连接I²C器件

串行器/解串器的UART-I²C转换器可以连接不需要寄存器地址的器件，例如MAX7324 GPIO扩展器。该模式下，I²C主机忽略寄存器地址字节，直接读/写后续的数据字节(图23)。使用I2CMETHOD位改变I²C主机的通信方式。I2CMETHOD = 1时，设置为命令字节模式；I2CMETHOD = 0时，设置为常规模式，数据流的第一个字节为寄存器地址。

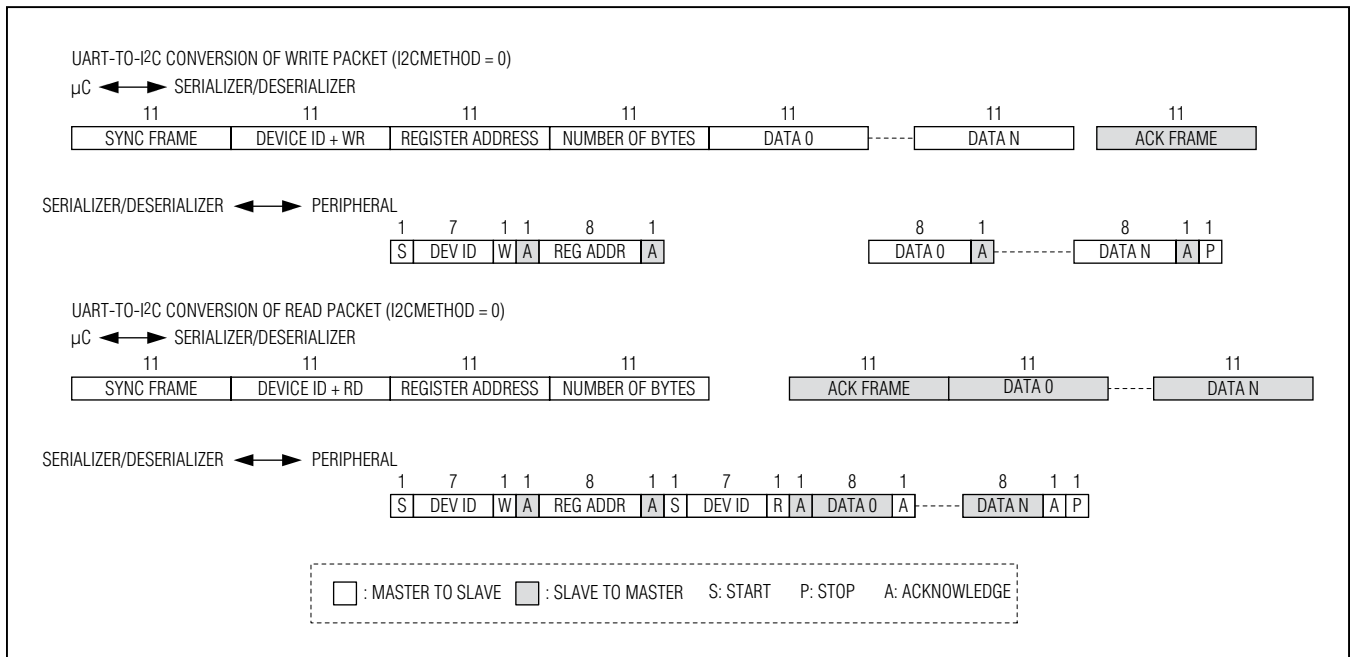


图22. 带有寄存器地址(I2CMETHOD = 0)时，GMSL UART和I²C之间的格式转换

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

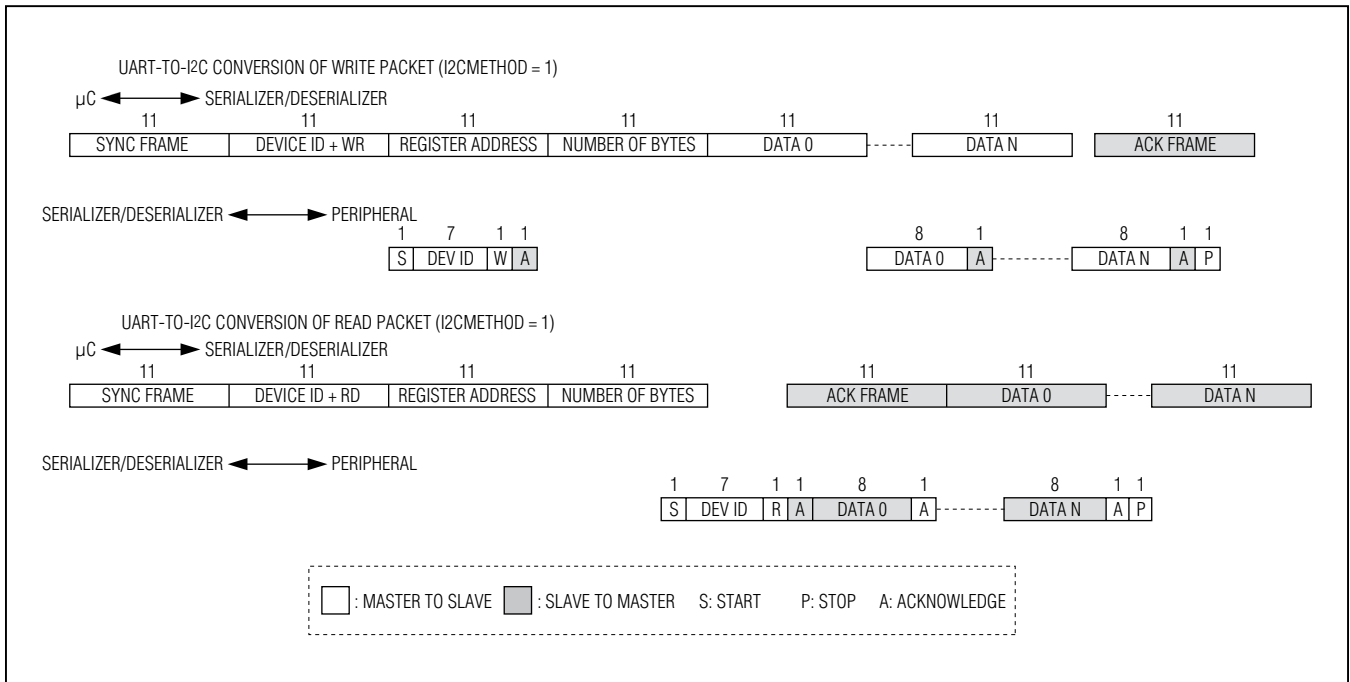


图23. 带有寄存器地址(I2CMETHOD = 1)时，GMSL UART和I2C之间的格式转换

I2C接口

I2C-I2C模式下，串行器的控制通道接口通过I2C兼容的2线接口发送、接收数据。该接口使用串行数据线(SDA)和串行时钟线(SCL)实现主机与从机之间的双向通信。μC主机启动与器件之间的所有数据传输，并生成用来同步数据传输的SCL时钟。本地器件的控制通道端口启动I2C传输时，远端器件的控制通道端口变为I2C主机，连接远端I2C外设。I2C主机必须接受串行器展宽的时钟(保持SCL为低电平)。SDA和SCL既是输入又是开漏输出，在SDA和SCL端需要接上拉电阻。每次传输包含一个主机发送的START条件(图6)，随后为器件的7位从地址、R \bar{W} 位、寄存器地址字节、一个或多个数据字节，最后是STOP条件。

START和STOP条件

接口空闲时SCL和SDA均为高。当SCL为高电平时，主机通过将SDA从逻辑高拉至逻辑低电平产生START (S)条件，表示传输开始信号。当主机完成与从机通信后，主机在

SCL为高电平时驱动SDA由低电平跳变到高电平，发出一个STOP (P)条件。此时，总线就绪，可进行下一次传输。

位传输

每个时钟脉冲传输一个数据位(图25)，当SCL为高电平时，SDA上的数据必须保持稳定。

应答

应答位是第9位数据，由接收方作为每个接收数据字节的握手信号。因此，每个字节的有效传输需要9位。主机产生第9个时钟脉冲，接收方在应答时钟脉冲期间将SDA拉低。在时钟脉冲为高电平期间，SDA稳定地保持在低电平。主机向从器件发送数据时，由于从器件为接收方，将由从器件产生应答位。从器件向主机发送数据时，由于主机为接收方，将由主机产生应答位。即使正向控制通道没有数据传输(为锁定状态)，器件也同样产生应答。为了防止正向控制通道没有数据传输时产生应答，须置位I2CLOCKACK。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

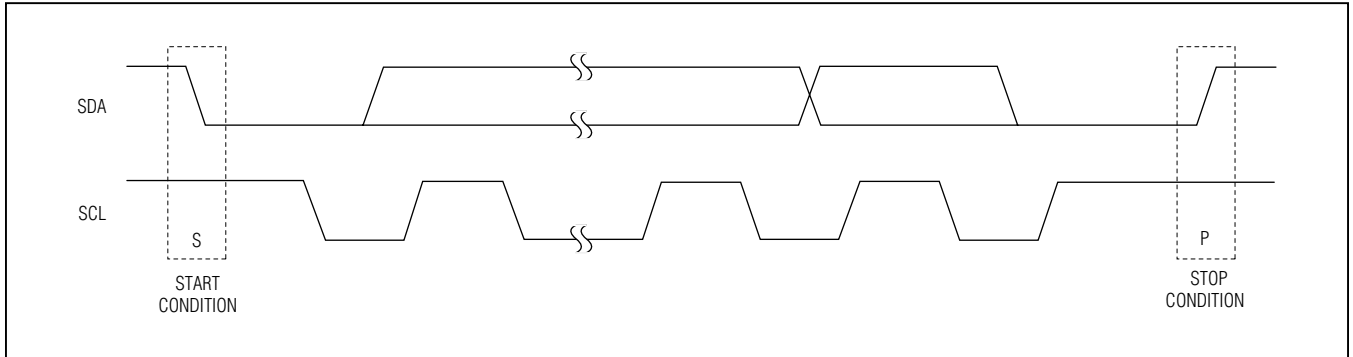


图24. START和STOP条件

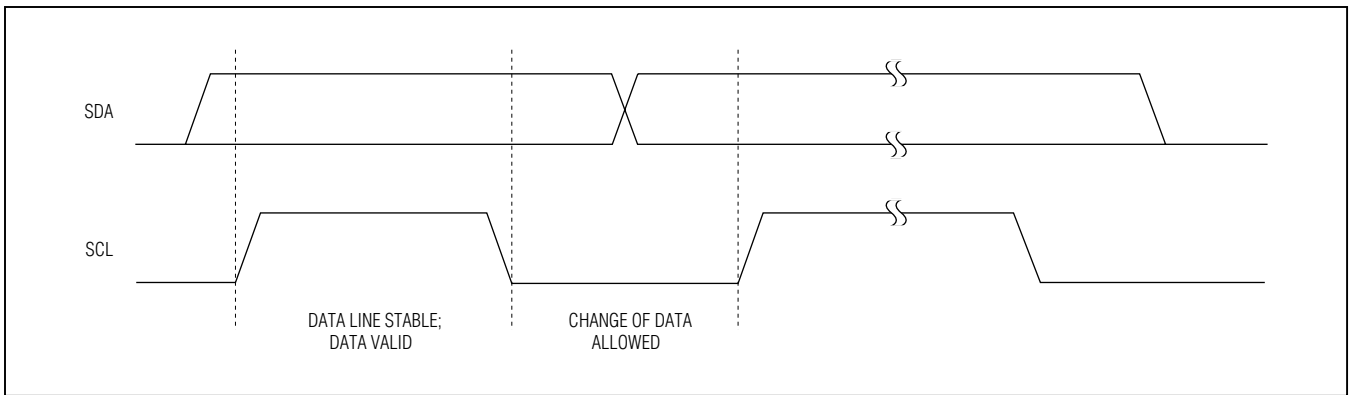


图25. 位传输

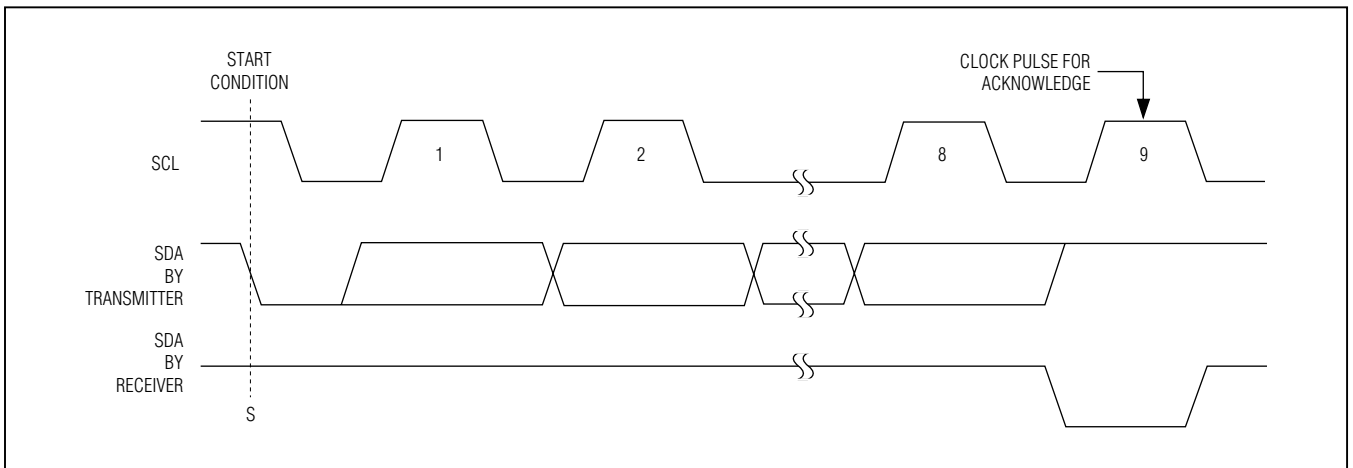


图26. 应答

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

从地址

串行器/解串器具有7位从地址，紧随7位从地址的是R/W位(第8位)，R/W位置低表示写操作，置高表示读操作。读操作时的从地址为10000001，写操作时为10000000，参见图27。

总线复位

器件通过读取I²C START条件复位总线。R/W位置1时，串行器/解串器向主机发送数据，主机从器件读取数据。

写操作格式

向串行器/解串器写数据时，首先发送器件的从地址，并将R/W位置0，随后至少发送一个字节的的信息。信息的第一

字节为寄存器地址或命令字节。寄存器地址决定下个字节(如果收到的话)写入器件的哪个寄存器。如果在收到寄存器地址后检测到STOP (P)条件，器件除了储存寄存器地址外不采取其它动作(图28)。寄存器地址字节之后接收的是数据字节。第一个数据字节存储至寄存器地址所选的寄存器，随后的数据字节分别存储在后续的寄存器(图29)。如果在STOP条件之前收到了多个数据字节，这些字节将存储到后续的寄存器，寄存器地址自动递增。

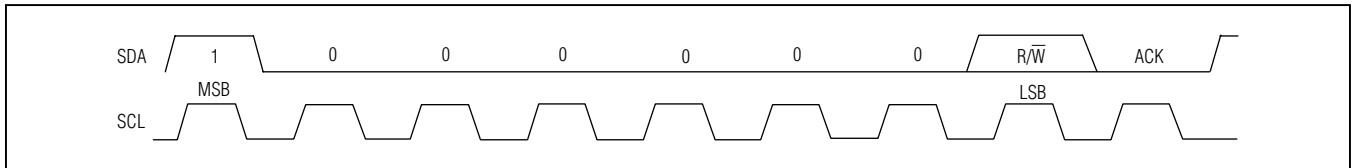


图27. 从地址

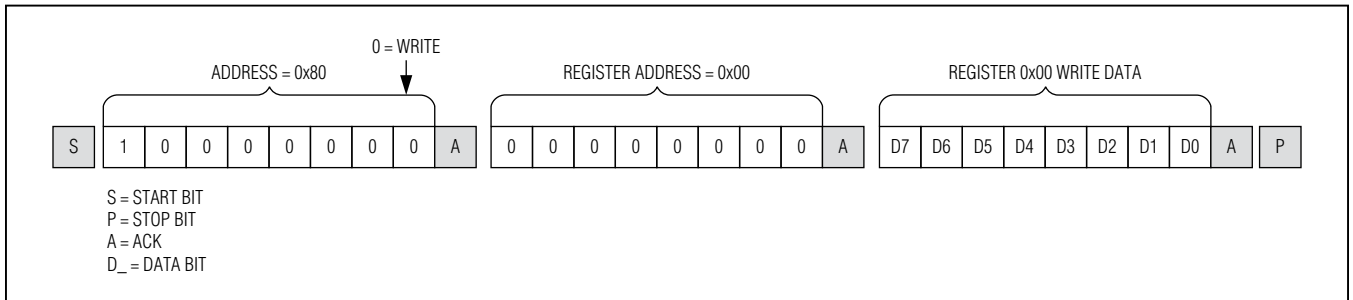


图28. I²C写操作格式

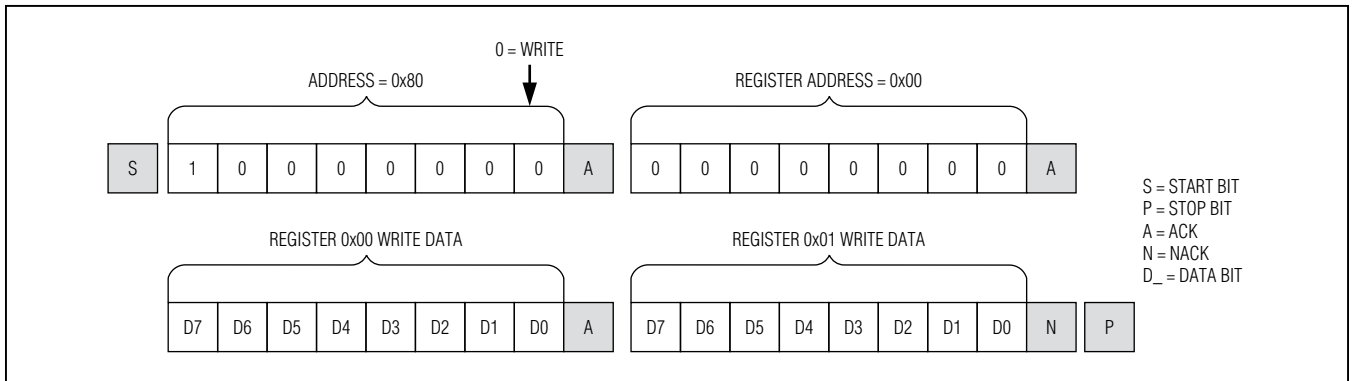


图29. 写多个寄存器的格式

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

读操作格式

读串行器/解串器时，内部存储的寄存器地址作为地址指针，按照写操作相同的方式存储寄存器地址、获取地址指针。读取每个数据字节后，指针自动递增，规则和写数据一样。首先通过执行写操作配置寄存器地址，启动读操作(图30)。主机即可从从器件连续读取字节，从写入的寄存器地址所指向的寄存器读取第一个数据字节。一旦主机发送NACK，器件将停止发送数据。

与远端器件的I2C通信

串行器支持采用SCL时钟展宽与通信链路上远端的外设进行I2C通信。虽然通信链路的任一端均可有多个主机，但不提供仲裁。连接的主机需要支持SCL时钟展宽并提供冲突检测。远端I2C码率范围必须根据本地I2C码率进行设置。支持的远端码率请参见表4。通过设置I2CMSTBT(寄存器0x0D)设置远端I2C码率。如果使用400kbps之外的其它码

率，应通过设置两端的SLV_SH寄存器设置来调整本地和远端的I2C建立和保持时间。

I2C地址转换

串行器支持多达两个器件地址的I2C地址转换。通过地址转换，利用有限的I2C地址为外设分配唯一的器件地址。源地址(被转换的地址)储存在寄存器0x09和0x0B，目标地址(转换结果地址)储存在寄存器0x0A和0x0C。

I2C广播模式

串行器支持控制多个外设器件的广播命令。选择一个未使用的器件地址作为广播器件地址。通过设置远端GMSL器件将广播器件地址(源地址储存在寄存器0x09、0x0B)转换为外设器件地址(目标地址储存在寄存器0x0A、0x0C)。发送至广播地址的任何命令都送至全部指定外设，而发送至外设唯一器件地址的命令仅被送至特定的器件。

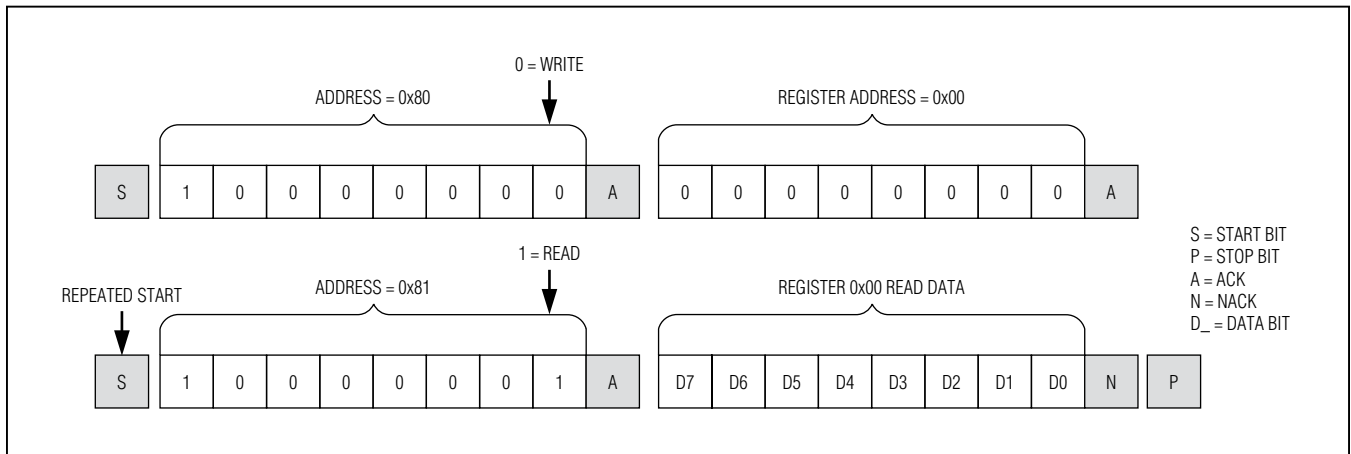


图30. I2C读操作的格式

表4. I2C码率范围

LOCAL BIT RATE	REMOTE BIT-RATE RANGE	I2CMSTBT SETTING
f > 50kbps	Up to 1Mbps	Any
20kbps > f > 50kbps	Up to 400kbps	Up to 110
f < 20kbps	Up to 10kbps	000

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

GPO/GPI控制

串行器上的GPO跟随解串器上的GPI跳变。这种GPO/GPI功能可用于环视摄像系统的帧同步信号，GPI至GPO延时为0.35ms(最大值)。须保证GPI两次跳变之间的时间至少为0.35ms,包括来自同轴电缆分配器中其它解串器的跳变。解串器内寄存器0x0E的D4位用于储存GPI输入状态，GPO在上电后为低电平。μC可通过写SET_GPO寄存器位置位GPO。无论工作在基本模式还是旁路模式，不要在解串器RX/SDA输入(UART模式)发送长于100μs的逻辑低电平信号，以确保GPO/GPI工作正常。

预加重/去加重驱动器

串行线驱动器采用电流模式逻辑(CML)信号，驱动双绞线(TP)时，驱动器输出差分信号；驱动同轴电缆时，采用CML驱动器的一端。线驱动器具有可编程预加重/去加重，对输出加以修正，以补偿电缆传输长度。如表5所示，提供13种预加重设置。负的预加重电平为去加重电平，此时的预加重摆幅电平与常规摆幅相同，但对非跳变数据(例如“1”的后面跟随另一个“1”)进行去加重。通过串行器的寄存器0x06 D[3:0]设置预加重电平，该预加重功能补偿电缆的高频损耗，能够在较长的传输线上实现可靠传输。可编程TP和同轴电缆的驱动电流，CMLLVL位(0x06, D[7:4])设

置TP和同轴电缆下的驱动电流，单端电压摆幅为100mV至500mV。

扩频

为降低串行链路信号跳变产生的EMI，可以配置串行器的扩频输出。如果串行器驱动的解串器具有可编程扩频功能，不要同时使能两者的扩频，否则将相互抵消频谱扩展的效果。解串器跟随串行器的扩频，并将扩频信号传输到解串器输出。可编程扩频范围为：±0.5%、±1%、±1.5%、±2%、±3%和±4% (表6)。有些扩频范围仅用于较低的PCLKIN频率(表7)。对于±0.5%扩频率，PCLKIN频率没有限制。

启用或禁止扩展频谱时，串行链路将停止几个微秒，然后重新开始，以确保解串器释放并重新锁定到新的串行数据流。

串行器包括锯齿分频器，以控制扩频调制率。自动检测PCLKIN工作范围，确保扩频调制频率在20kHz至40kHz。此外，手动配置锯齿分频器(SDIV: 0x03, D[5:0])允许用户根据PCLKIN频率设置调制频率。手动选择范围时，将SDIV设置在20kHz左右的固定调制频率。

表5. TP/同轴驱动电流(CMLLVL = 1000)

PREEMPHASIS LEVEL (dB)*	PREEMP SETTING (0x06, D[3:0])	I _{CML} (mA)	I _{PRE} (mA)	SINGLE-ENDED VOLTAGE SWING	
				MAX (mV)	MIN (mV)
-6.0	0100	12	4	400	200
-4.1	0011	13	3	400	250
-2.5	0010	14	2	400	300
-1.2	0001	15	1	400	350
0 (power-on default)	0000	16	0	400	400
1.1	1000	16	1	425	375
2.2	1001	16	2	450	350
3.3	1010	16	3	475	325
4.4	1011	16	4	500	300
6.0	1100	15	5	500	250
8.0	1101	14	6	500	200
10.5	1110	13	7	500	150
14.0	1111	12	8	500	100

* 负预加重电平表示去加重。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表6. 串行输出扩频

SS	扩频(%)
000	没有扩频，上电默认值。
001	±0.5%扩频。
010	±1.5%扩频。
011	±2%扩频。
100	无扩频。
101	±1%扩频。
110	±3%扩频。
111	±4%扩频。

表7. 扩频限制

BWS = 0 MODE, PCLKIN FREQUENCY (MHz)	BWS = 1 MODE, PCLKIN FREQUENCY (MHz)	SERIAL LINK BIT RATE (Mbps)	AVAILABLE SPREAD RATES
< 33.3 (DBL = 0)	< 25 (DBL = 0)	< 1000	All rates available
< 66.6 (DBL = 1)	< 50 (DBL = 1)		
33.3 to 50 (DBL = 0)	25 to 37.5 (DBL = 0)	≥ 1000	1.5%, 1.0%, 0.5%
66.6 to 100 (DBL = 1)	50 to 75 (DBL = 1)		

手动设置扩频分频器

调制率与PCLKIN频率的关系如下：

$$f_M = (1 + \text{DRS}) \frac{f_{\text{PCLKIN}}}{\text{MOD} \times \text{SDIV}}$$

式中：

f_M = 调制频率

DRS = DRS值(0或1)

f_{PCLKIN} = PCLKIN频率

MOD = 表8中的调制系数

SDIV = 6位SDIV设置，由μC手动设置

为了编程SDIV设置，首先根据所需总线宽度和扩频设置查找调制系数。利用相应的像素时钟和调制频率，解上式中的SDIV。如果计算得到的SDIV值大于表8中允许的最大SDIV值，将SDIV设置为最大值。

附加误码检测和纠错

默认模式下(禁止附加误码检测和纠错)，数据编码/解码与之前GMSL串行器/解串器相同(只有奇偶校验)。在串行器侧，对并行输入字加入扰码并增加奇偶校验位。将加入扰码后的字分为3或4个字节(取决于BWS设置)，进行8b/10b编码，然后串行发送输出。在解串器侧，以相反顺序执行相同操作。解串器利用奇偶校验位查找字的边界并进行误码检测。误码计数器寄存器对误码进行计数，通过误码指示引脚产生报警信号。串行器可使用两种附加的误码检测/纠错方法中的一种(由寄存器配置)：

- 1) 6位循环冗余码校验
- 2) 6位汉明码，带16字交织编码

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表8. 调制系数和最大SDIV设置

BWS	SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT (dec)	SDIV UPPER LIMIT (dec)
1	1	104	40
	0.5	104	63
	3	152	27
	1.5	152	54
	4	204	15
	2	204	30
0	1	80	52
	0.5	80	63
	3	112	37
	1.5	112	63
	4	152	21
	2	152	42

循环冗余码校验(CRC)

使能CRC时，串行器在输入数据中增加6位CRC。相对于没有CRC的情况，使得输入数据字中的有用位数减少了6位(详细信息参见表2)。例如，BWS = 0时，输入数据中有16位可用，而不是22位；BWS = 1时，24位可用，而不是30位。

CRC生成多项式为 $x^6 + x + 1$ (ITU-T G704电信标准所采纳)。

因为校验位用于字边界检测，所以使能CRC时，仍然增加校验位。使能CRC时，对每个数据字加扰码，然后在进行8b/10b编码时增加6位CRC和1位校验位。

在解串器侧，重新计算CRC码。如果重新计算的CRC码与接收到的CRC码不一致，说明出现误码。该CRC误码被通报到误码计数器。

汉明码

汉明码是一种简单而有效的纠错码，用以误码检测和/或纠错。MAX9271串行器(配合MAX9272 GMSL解串器使用时)采用每像素单次纠错、两次检错汉明码的方式。

对于突发性误码容错能力，串行器采用数据交织编码。可纠正串行链路上长达11位的连续突发性误码，可检测长达31位的连续突发误码。

汉明码增加了类似于CRC的开销，关于可用输入字大小的详细信息，请参考表2。

HS/VS编码和/或跟踪

GMSL串行器的HS/VS编码允许发送行同步和场同步信号，并有助于节省像素数据带宽。采用HS/VS编码时，可以最高100MHz的时钟传输10比特的像素数据，每一次HS/VS跳变传送一个视频像素；不采用HS/VS编码时，则以最高100MHz的时钟传输8比特数据。解串器执行HS/VS解码，跟踪HS/VS信号的周期，利用表决法滤除HS/VS误码。使用HS/VS编码时，如果MAX9271/MAX9273的DBL = 0，HS/VS的低脉冲持续时间至少为2个PCLKIN周期；DBL = 1时，最小低脉冲持续时间为5个PCLKIN周期，最小高脉冲持续时间为2个PCLKIN周期。使用带HS/VS编码的汉明码时，每16个PCLKIN周期发送的跳变不要超过2次。

串行器使用双输入模式时(DBL = 1)，有效持续时间加上HS或VS信号的消隐时间应为偶数个PCLKIN周期。

如果使用HS/VS跟踪，而不采用HS/VS编码，DIN0用于HSYNC，DIN1用于VSYNC。这种情况下，如果串行器和解串器的DBL值不同，则将解串器的UNEQDBL位置1。如果串行器和解串器的DBL设置不同且HVEN = 0，则HS/VS反相，只能用于DBL = 1的一侧。HSYNC或VSYNC为低电平时，HS/VS编码发送数据包，如果输入HSYNC和VSYNC信号在像素时钟无效的周期内采用低电平有效协议发送数据包，则使用H/V倒置寄存器位。

串行输出

驱动器输出可针对两类电缆进行配置：100Ω双绞线和50Ω同轴电缆(如需驱动75Ω电缆的串行器，请联系厂商)。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

同轴模式分配器

同轴模式下，OUT+和OUT-有效，并可用作1:2分配器(图31)。同轴模式下，将OUT+连接到解串器的IN+，将OUT-连接到第二个解串器的IN-。控制通道数据从串行器发送到两个解串器及其连接的外设。分配一个唯一的器件地址，可以向其中一个解串器发送控制数据。使所有未使用的IN_引脚浮空，或通过50Ω电阻和一个电容将其连接至地，以提高电源抑制比。如果不使用OUT-，通过50Ω电阻将OUT-连接至AVDD(图32)。当串行器以及每个解串器的位置都配有μC时，某一时刻只能有一个μC进行通信，关闭一个分配器控制通道以防冲突。使用DIS_REV_P或DIS_REV_N寄存器位禁止控制通道的链路。

配置输入(CONF1、CONF0)

CONF1和CONF0决定串行输出类型、输入数据锁存及控制通道接口的上电配置(表9)。上电后，通过写入相应的寄存器位，可更改这些功能。

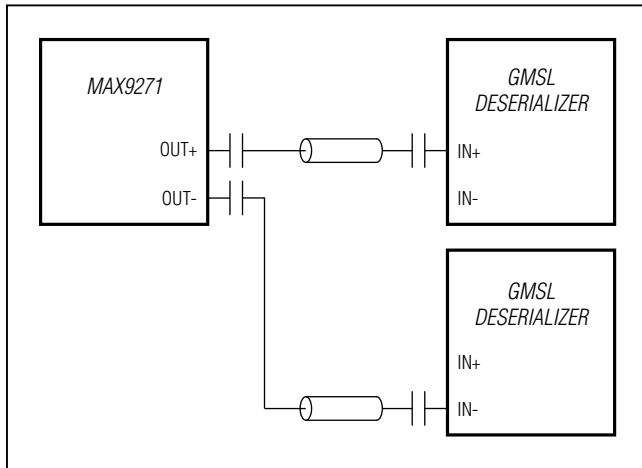


图31. 1:2同轴模式分配器连接图

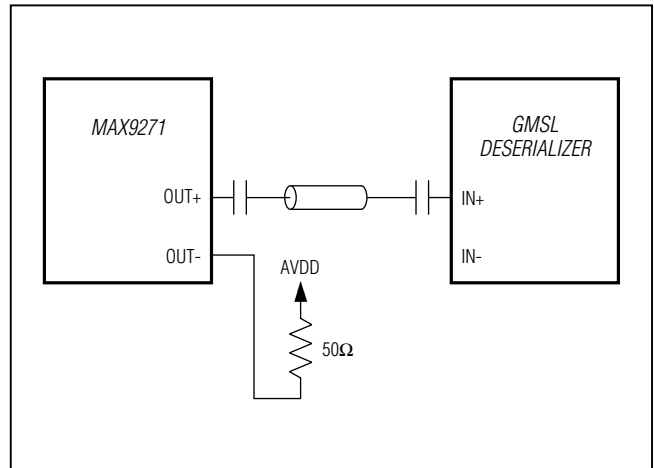


图32. 同轴模式连接图

表9. 配置输入映射

CONF1	CONF0	CXTP (OUT+/OUT- OUTPUT TYPE)	ES (PCLKIN LATCH EDGE)	I2CSEL (CONTROL-CHANNEL TYPE)
Low	Low	1 (coax)	1 (falling)	1 (I ² C-to-I ² C)
Low	Mid	1 (coax)	1 (falling)	0 (UART-to-I ² C/UART)
Low	High	1 (coax)	0 (rising)	1 (I ² C-to-I ² C)
Mid	Low	1 (coax)	0 (rising)	0 (UART-to-I ² C/UART)
Mid	Mid	0 (STP)	1 (falling)	1 (I ² C-to-I ² C)
Mid	High	0 (STP)	1 (falling)	0 (UART-to-I ² C/UART)
High	Low	0 (STP)	0 (rising)	1 (I ² C-to-I ² C)
High	Mid	0 (STP)	0 (rising)	0 (UART-to-I ² C/UART)
High	High	Do not use	Do not use	Do not use

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

关断模式

串行器具有关断模式，相对于休眠模式，具有更低功耗。将PVDN置为低电平，则进入关断模式。关断模式下，串行器输出为高阻。进入关断模式时，器件将复位寄存器；退出关断模式时，锁存GPIO1/BWS、MS/HVEN、LCCEN、CONF0、CONF1、RX/SDA/EDC和TX/SCL/DBL引脚的状态。

配置链路

在没有时钟输入的情况下，控制通道可工作在称为配置链路的低速模式，从而允许微处理器在启动视频链路之前设

置配置寄存器。内部振荡器为配置链路提供时钟，在串行器上设置CLINKEN = 1使能配置链路。配置链路保持有效，直到使能视频链路。SEREN = 1时，视频链路优先级高于配置链路，并尝试锁定。

链路启动过程

表10所示为视频显示的启动过程，表11所示为图像检测的启动过程。建立视频链路或配置链路后，可以使用控制通道。如果解串器在串行器之后启动，控制通道则不可用，需要等待2ms启动时间。

表10. 视频显示的启动过程

编号	μC	串行器	解串器
—	μC连接至串行器。	设置所有配置输入，如果链路一端的任何配置输入可用，而另一端不可用，则将配置输入连接至低电平。	设置所有配置输入，如果链路一端的任何配置输入可用，而另一端不可用，则将该配置输入连接至低电平。
1	上电。	上电并装载默认设置。	上电并装载默认设置。
2	通过设置CLINKEN = 1 (如果为自动使能)使能配置链路并接收应答，等待链路建立(约3ms)。	建立配置链路。	锁定至配置链路信号。
3	写解串器的链路配置位(DRS、BWS或EDC)，并接收应答。	—	从默认设置更改配置(如果BWS或EDC变化，则发生失锁)。
4	写相应的串行器链路配置位，接收应答。	从默认设置更改配置。	重新锁定至配置链路信号。
5	等待链路建立(约3ms)，然后重复步骤3至4，直到配置完全部串行链路位。	—	—
6	写串行器/解串器的其余配置位，接收应答。	从默认设置更改配置。	从默认设置更改配置。
7	通过设置SEREN = 1使能视频链路，接收应答。等待链路建立(约3ms)。	开始串行转换数据。	锁定至串行链路信号，开始解串数据。

16位GMSL串行器，带同轴或STP电缆驱动

表11. 图像检测的启动过程

编号	μC	串行器	解串器
—	μC连接至解串器。	设置所有配置输入。如果链路一端的任意配置输入可用，而另一端不可用，则将该配置输入连接至低电平。	设置所有配置输入。如果链路一端的任意配置输入可用，而另一端不可用，则将该配置输入连接至低电平。
1	上电。	上电并装载默认设置，建立串行链路。	上电并装载默认设置，锁定至串行链路信号。
3	写解串器配置位，接收应答。	—	从默认设置更改配置(如果BWS或EDC变化，则发生失锁)。
4	写串行器配置位。如果发生失锁，接收不到应答(或接收虚拟应答)。	从默认设置更改配置。	重新锁定至串行链路信号。
5	通过设置SEREN = 1 (如果未自动使能)，使能视频链路。如果发生失锁，接收不到应答(或接收虚拟应答)。等待链路建立(约3ms)。	开始串行转换数据。	锁定至串行链路信号，开始解串数据。

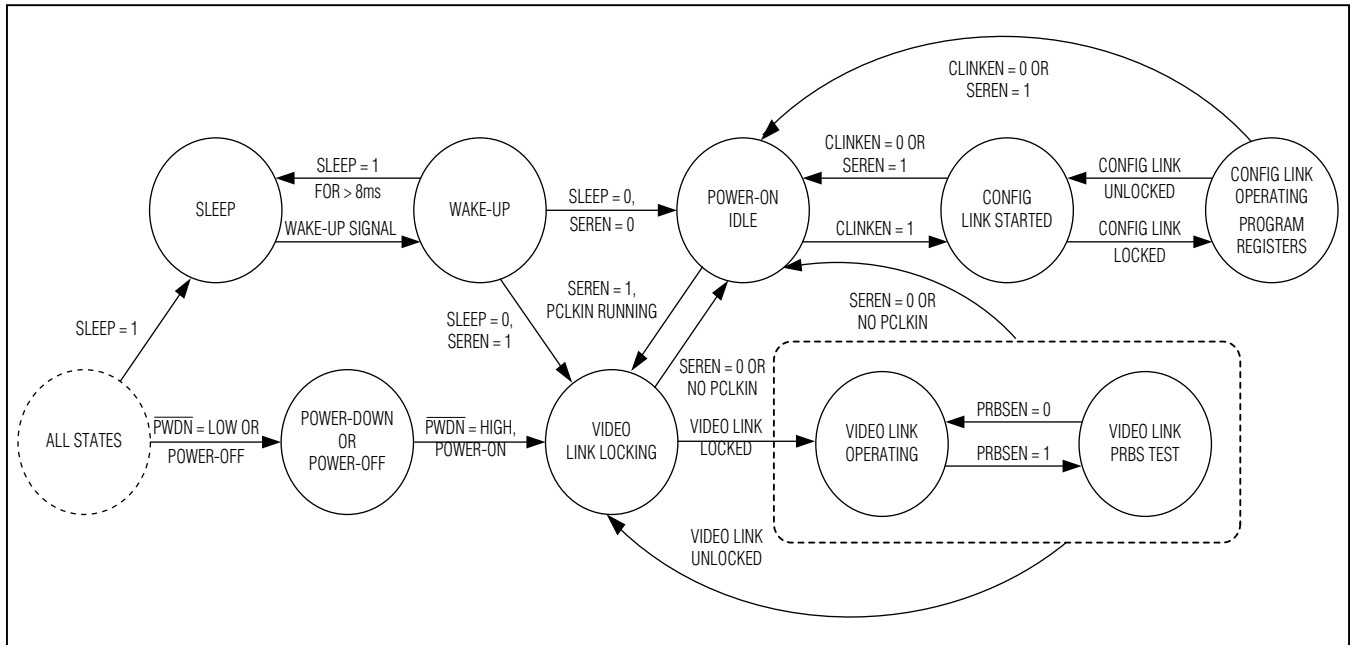


图33. 状态图，包括所有应用

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

应用信息

PRBS测试

串行器包括PRBS码型发生器，配合解串器中的误码验证操作。为运行PRBS测试，在解串器中设置PRBSEN = 1 (0x04, D5)，然后在串行器进行相应设置。为退出PRBS测试，在串行器中设置PRBSEN = 0 (0x04, D5)。

误码发生器

串行器包括误码发生器，能够重复测试GMSL链路的误码检测/纠错，寄存器0x11储存误码发生器的配置位。 μ C设置误码发生率、误码类型及误码数量。误码发生器默认为关断状态。

双 μ C控制

系统通常有一个 μ C操作控制通道，视频显示应用中，处理器位于串行器侧；图像检测应用中，处理器位于解串器侧。也可以在每侧同时放置一个 μ C，交替操作控制通道。这种情况下，每个 μ C都可以与串行器、解串器及任意外设进行通信。

如果两个 μ C试图同时占用控制通道，则会发生冲突，用户应利用高层协议避免发生这种冲突。此外，控制通道不提供链路两侧I²C主机之间的仲裁。由于冲突导致通信失败时，不产生应答帧。如果不需要通过串行链路通信，可使用串行器/解串器中的FWDCEN和REVCCEN位(0x04, D[1:0])禁止正向和反向控制通道，停止串行链路的通信，避免发生 μ C之间的冲突。

以图像检测应用中使用双 μ C为例，串行器可处于休眠模式，等待解串器侧的 μ C将其唤醒。唤醒后，串行器侧 μ C假设主机控制串行器的寄存器。

抖动滤波PLL

有些应用中，时钟输入(PCLKIN)包含噪声，降低了链路可靠性。时钟输入具有可编程窄带抖动滤波器PLL，用于衰减高于100kHz (典型值)的频率。通过设置ENJITFILT = 1 (0x05, D6)使能抖动滤波器。

PCLKIN扩频跟踪

串行器支持扩频PCLKIN信号。使用扩频PCLKIN信号时，通过设置ENJITFILT = 0 (0x05, D6)禁止抖动滤波器。请

勿超过表7中所列的扩频限制，使抖动调制低于40kHz。此外，可以关闭串行器/解串器的扩频功能，由串行器/解串器跟踪PCLKIN的扩频。

更改时钟频率

建议在视频时钟(f_{PCLKIN})和控制通道时钟(f_{UART}/f_{I2C})稳定后使能串行链路。更改时钟频率时，关闭视频时钟5 μ s，然后施加新的时钟频率，重新启动串行链路或切换SEREN。如果新的时钟频率立即建立且没有尖峰脉冲，则有可能即刻更改时钟频率。串行链路启动或关闭的350 μ s内，反向控制通道不可用。使用UART接口时，将f_{UART}的每次变化系数限制在3.5以内，确保器件能够识别UART同步码型。例如，将UART频率从1Mbps降低至100kbps时，首先以333kbps发送数据，然后再以100kbps发送数据，即降速比分别为3和3.333。

提供帧同步(摄像头应用)

GPI和GPO为需要ECU提供帧同步信号的摄像头(例如，环视摄像系统)提供了一个简单方案。将ECU帧同步信号连接至GPI输入，将GPO输出连接至摄像头帧同步输入。GPI/GPO的延迟典型值为275 μ s，多个GPI/GPO通道之间的延迟为115 μ s (最大)。如果需要较低延迟的信号，可以将摄像头的帧同步输入连接至串行器的一路GPIO，使用I²C广播写命令更改GPIO输出状态。这样，最大延迟可以控制在1.5 μ s，与使用的I²C码率无关。

用软件设置器件地址

可编程串行器和解串器的器件地址，从而允许同一控制通道连接多个GMSL器件，以及I²C外设。串行器地址位于每个器件的寄存器0x00，解串器地址位于每个器件的寄存器0x01。为更改器件地址，首先写入需要更改地址的器件(对于串行器地址更改，写串行器的寄存器0x00；对于解串器地址更改，写解串器的寄存器0x01)。然后将相同地址写入另一器件对应的寄存器(对于串行器地址更改，写解串器的寄存器0x00；对于解串器地址更改，写串行器的寄存器0x01)。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

三电平配置输入

CONF1和CONF0为三电平输入，控制串行接口配置和上电默认值。通过上拉电阻将CONF1或CONF0连接至IOVDD，设置为高电平；通过下拉电阻连接至GND，设置为低电平；连接至IOVDD/2或开路，则为中间电平。对于数字控制，使用三态逻辑驱动三电平逻辑输入。

屏蔽配置

串行器可屏蔽对寄存器的更改，将CFGBLOCK置1，使所有寄存器处于只读状态。一旦置于该状态，寄存器将保持屏蔽，直到断开电源或PWRDN为低电平。

与其它GMSL器件的兼容性

MAX9271与MAX9272解串器配对使用，但也可以与其他GMSL解串器配合使用，[表12](#)列出了一些工作限制。

表12. MAX9271功能兼容性

MAX9271功能	GMSL解串器
HSYNC/VSYNC编码	如果解串器不支持该功能，必须在串行器关闭该功能。
汉明码纠错	如果解串器不支持该功能，必须在串行器关闭该功能。
I ² C-I ² C	如果解串器不支持该功能，必须使用UART-I ² C或UART-UART功能。
CRC误码检测	如果解串器不支持该功能，必须在串行器关闭该功能。
双输入	如果解串器不支持该功能，以一半的输入频率将数据作为单字输出。
同轴	如果解串器不支持该功能，必须通过串联的200nF电容和50Ω电阻将未使用的串行输出连接至AVDD，将反向控制通道幅值设置为100mV。
I ² S编码	如果解串器支持该功能，禁止解串器中的I ² S。

表13. 双功能配置

LCCEN	GPIO1/BWS FUNCTION	MS/HVEN FUNCTION	RX/SDA/EDC FUNCTION	TX/SCL/DBL FUNCTION
High	Functions as GPIO	MS input (low = base mode high = bypass mode)	UART/I ² C input/output	UART/I ² C input/output
Low	BWS input (low = 24-bit mode, high = 32-bit mode)	HVEN input (low = HS/VS encoding disabled, high = HS/VS encoding enabled)	EDC input (low = error detection/correction disabled, high = error detection/ correction enabled)	DBL input (low = single input, high = double input)

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

内部输入下拉

控制和配置输入(三电平输入除外)具有连接至GND的下拉电阻，无需外部下拉电阻。

选择I²C/UART上拉电阻

I²C和UART开漏线需要上拉电阻提供逻辑高电平。在选择上拉电阻值时，需要在功耗和速率之间进行平衡。即使器件不工作，连接至总线的每个器件都会产生一定的电容。I²C规定快速模式下的上升时间为300ns (30%至70%)，适用于400kbps以下数据速率(详细信息见交流电气特性表中的I²C技术指标)。为满足快速模式对上升时间的要求，选择上拉电阻使上升时间 $t_R = 0.85 \times R_{PULLUP} \times C_{BUS} < 300ns$ 。如果跳变时间非常慢，则不能识别波形。串行器支持高达1Mbps (UART至I²C模式)和400kbps (I²C至I²C模式)的I²C/UART速率。

交流耦合

交流耦合将接收器与直流电压相隔离，直流电压最高可以达到电容的额定电压。为使链路正常工作，并在电缆任一端与电池短路时提供保护，串行器输出和解串器输入需要安装电容。交流耦合可以隔离低频地电位偏移和低频共模噪声。

表14. 典型电源电流(采用最差输入码型)

PCLK (MHz)	AVDD (mA)	DVDD (mA)	IOVDD (mA)
25	36.8	9.0	0.32
50	42.1	13.7	0.34

表15. 推荐GMSL连接器和电缆

SUPPLIER	CONNECTOR	CABLE	TYPE
Rosenberger	59S2AX-400A5-Y	RG174	Coax
JAE	MX38-FF	A-BW-Lxxxxx	STP
Nissei	GT11L-2S	F-2WME AWG28	STP
Rosenberger	D4S10A-40ML5-Z	Dacar 538	STP

交流耦合电容的选择

电压降与传输符号的数字和的变化(DSV)会造成信号从不同的电压跳变。由于跳变时间固定，如果信号从不同电压开始跳变的话，将会造成时间抖动。需要合理选择交流耦合链路的时间常数，将压降和抖动降至可接受的水平。交流耦合链路的RC网络由CML/同轴接收器匹配电阻(R_{TR})、CML/同轴驱动器匹配电阻(R_{TD})及串联交流耦合电容(C)组成。四个等值串联电阻的RC时间常数为 $(C \times (R_{TD} + R_{TR}))/4$ 。R_{TD}和R_{TR}需要匹配传输线阻抗(通常差分为100Ω，单端为50Ω)。由此，可通过选择电容来改变系统的时间常数。使用0.2μF或更大的高频表贴陶瓷电容，且额定电压足以承受电池短路故障，传输较低速率的反向控制通道信号。使用外壳尺寸小于3.2mm x 1.6mm的电容，对于高速信号具有较低的寄生效应。

供电电路和旁路

串行器采用1.7V至1.9V的AVDD和DVDD供电，除串行输出以外的所有输入和输出由1.7V至3.6V的IOVDD供电，与IOVDD成比例缩放。正确的电源旁路对于高频电路的稳定性至关重要。

电源表

电气特性表中所列的供电电流为AVDD、DVDD和IOVDD的电流之和，表14列出了每个电源的典型电流。

电缆和连接器

CML的连接器差分阻抗通常为100Ω。使用差分阻抗相匹配的电缆和连接器，以将阻抗突变降至最小。同轴电缆的特征阻抗通常为50Ω(如需驱动75Ω电缆，请联系厂商)。表15中给出了GMSL链路中推荐使用的电缆和连接器。

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

电路板布局

将LVCMOS逻辑信号与CML/同轴高速信号隔离开，以防串扰。采用四层PCB，电源、地、CML/同轴和LVCMOS逻辑信号分别布设在独立层。对于100Ω差分特征阻抗，使PCB走线彼此靠近。走线尺寸取决于使用的走线类型(微带

或带状线)。注意，两条50Ω PCB走线靠在一起时的差分阻抗并非100Ω——走线靠近时阻抗变小。驱动同轴电缆时，单端输出使用50Ω走线。

将差分CML的PCB走线并联，以维持差分特征阻抗，避免使用过孔。使组成差分线对的PCB走线等长，以避免差分线对的延迟。

ESD保护

器件提供人体模式ESD保护和IEC 61000-4-2、ISO 10605 ESD保护。ISO 10605和IEC 61000-4-2标准规定了电子设备的ESD保护能力，串行输出端具有ISO 10605 ESD保护及IEC 61000-4-2 ESD保护。所有引脚针对人体模式经过测试，人体模式下，放电元件为 $C_S = 100\text{pF}$ 及 $R_D = 1.5\text{k}\Omega$ (图34)；IEC 61000-4-2模式下，放电元件为 $C_S = 150\text{pF}$ 及 $R_D = 330\Omega$ (图35)；ISO 10605模式下，放电元件为 $C_S = 330\text{pF}$ 及 $R_D = 2\text{k}\Omega$ (图36)。

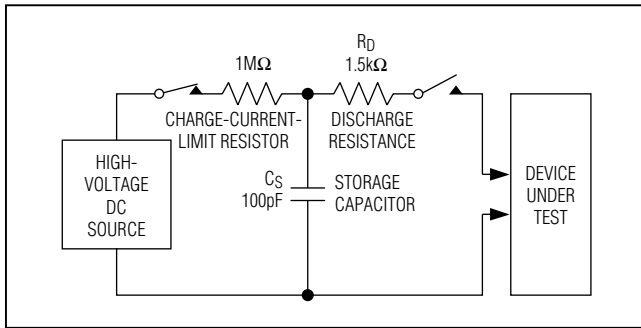


图34. 人体模式ESD测试电路

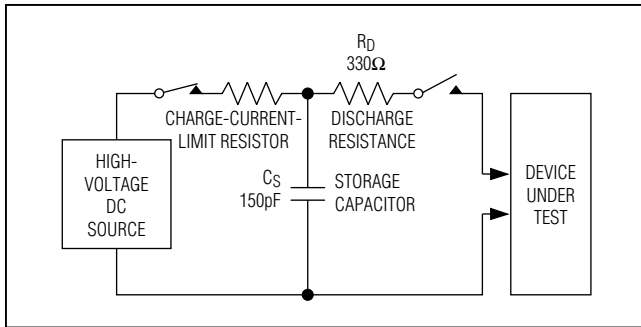


图35. IEC 61000-4-2接触放电ESD测试电路

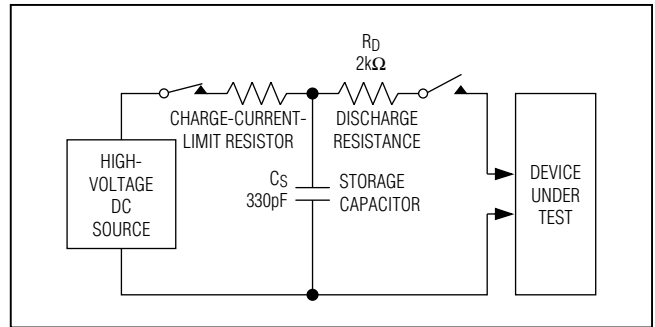


图36. ISO 10605接触放电ESD测试电路

MAX9271

16位GMSL串行器，带同轴或 STP电缆驱动

表16. 寄存器表(见表1)

寄存器地址	位	名称	参数值	功能	默认值
0x00	D[7:1]	SERID	XXXXXXX	串行器器件地址。	1000000
	D0	CFGBLOCK	0	常规工作。	0
	1		寄存器0x00至0x1F为只读。		
0x01	D[7:1]	DESID	XXXXXXX	解串器器件地址。	1001000
	D0	—	0	保留。	0
0x02	D[7:5]	SS	000	无扩频。	000
			001	±0.5%扩频。	
			010	±1.5%扩频。	
			011	±2%扩频。	
			100	无扩频。	
			101	±1%扩频。	
			110	±3%扩频。	
			111	±4%扩频。	
	D4	—	1	保留。	1
	D[3:2]	PRNG	00	12.5MHz至25MHz像素时钟。	11
			01	25MHz至50MHz像素时钟。	
			10	自动检测像素时钟范围。	
			11	自动检测像素时钟范围。	
	D[1:0]	SRNG	00	0.5至1Gbps串行码率。	11
01			1至2Gps串行码率。		
10			自动检测串行码率。		
11			自动检测串行码率。		
0x03	D[7:6]	AUTOFM	00	仅在锁定后校准一次扩频调制率。	00
			01	锁定后，每2ms校准扩频调制率。	
			10	锁定后，每16ms校准扩频调制率。	
			11	锁定后，每256ms校准扩频调制率。	
	D[5:0]	SDIV	000000	自动校准锯齿分频器。	000000
			XXXXXX	手动SDIV设置，参见手动设置扩频分频器部分。	

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x04	D7	SEREN	0	禁止串行链路。串行器启动/停止串行链路后350μs，反向控制通道通信保持不可用。	1
			1	使能串行链路。串行器启动/停止串行链路后350μs，反向控制通道通信保持不可用。	
	D6	CLINKEN	0	禁止配置链路。	0
			1	使能配置链路。	
	D5	PRBSEN	0	禁止PRBS测试。	0
			1	使能PRBS测试。	
	D4	SLEEP	0	常规模式。	0
			1	激活休眠模式。	
	D[3:2]	INTTYPE	00	I2CSEL = 0时，本地控制通道使用I ² C。	01
			01	I2CSEL = 0时，本地控制通道使用UART。	
			10, 11	禁止本地控制通道。	
	D1	REVCCEN	0	禁止来自于解串器的反向控制通道(接收)。	1
1			使能来自于解串器的反向控制通道(接收)。		
D0	FWDCCEN	0	禁止至解串器的正向控制通道(发送)。	1	
		1	使能至解串器的正向控制通道(发送)。		
0x05	D7	I2CMETHOD	0	将UART转换至I ² C时，I ² C转换发送寄存器地址。	0
			1	将UART转换至I ² C时，禁止发送I ² C寄存器地址(仅命令字节模式)。	
	D6	ENJITFILT	0	禁止抖动滤波器。	0
			1	激活抖动滤波器。	
	D[5:4]	PRBSLEN	00	连续PRBS长度。	00
			01	9.83Mbit PRBS长度。	
			10	167.1Mbit PRBS长度。	
			11	1341.5Mbit PRBS长度。	
	D[3:2]	—	00	保留。	00
	D1	ENWAKEN	0	禁止唤醒接收器。	0
			1	使能休眠模式期间OUT-唤醒接收器。	
	D0	ENWAKEP	0	禁止唤醒接收器。	1
1			使能休眠模式期间OUT-唤醒接收器。		

MAX9271

16位GMSL串行器，带同轴或 STP电缆驱动

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x06	D[7:4]	CMLLVL	0000	不使用。	1000, 1010
			0001	不使用。	
			0010	100mV输出电平。	
			0011	150mV输出电平。	
			0100	200mV输出电平。	
			0101	250mV输出电平。	
			0110	300mV输出电平。	
			0111	350mV输出电平。	
			1000	400mV输出电平。选择双绞线输出时的上电默认值(表9)。	
			1001	450mV输出电平。	
			1010	500mV输出电平。选择同轴电缆输出时的上电默认值(表9)。	
			1011	不使用。	
			1100	不使用。	
			1101	不使用。	
			1110	不使用。	
	1111	不使用。			
	D[3:0]	PREEMP	0000	关闭预加重。	0000
			0001	-1.2dB预加重。	
			0010	-2.5dB预加重。	
			0011	-4.1dB预加重。	
			0100	-6.0dB预加重。	
			0101	不使用。	
			0110	不使用。	
			0111	不使用。	
			1000	1.1dB预加重。	
			1001	2.2dB预加重。	
			1010	3.3dB预加重。	
1011			4.4dB预加重。		
1100			6.0dB预加重。		
1101			8.0dB预加重。		
1110			10.5dB预加重。		
1111	14.0dB预加重。				

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x07	D7	DBL	0	单输入模式。LCCEN = 高电平或TX/SCL/DBL = 低电平时的上电默认值。	0, 1
			1	双输入模式。LCCEN = 低电平且TX/SCL/DBL = 高电平时的上电默认值。	
	D6	DRS	0	高数据率模式。	0
			1	低数据率模式。	
	D5	BWS	0	24位模式。LCCEN = 高电平或GPIO1/BWS = 低电平时的默认值。	0, 1
			1	32位模式。LCCEN = 低电平且GPIO1/BWS = 高电平时的默认值。	
	D4	ES	0	在PCLKIN的上升沿锁定输入数据。上电默认值由CONF1和CONF0 (表9)决定。像素时钟工作时不要更改该值。	0, 1
			1	在PCLKIN的下降沿锁定输入数据。上电默认值由CONF1和CONF0 (表9)决定。像素时钟工作时不要更改该值。	
	D3	—	0	保留。	0
	D2	HVEN	0	禁止HS/VS编码。LCCEN = 高电平或MS/HVEN = 低电平时的上电默认值。	0, 1
			1	使能HS/VS编码。LCCEN = 低电平且MS/HVEN = 高电平时的上电默认值。	
	D[1:0]	EDC	00	1位奇偶校验误码检测(GMSL兼容)。LCCEN = 高电平或RX/SDA/EDC = 低电平时的上电默认值。	00, 10
01			6位CRC误码校验。		
10			6位汉明码(单位纠错、双位检错)和16字交织编码。LCCEN = 低电平且RX/SDA/EDC = 高电平时的上电默认值。		
11			不使用。		
0x08	D7	INVVS	0	VS或DIN0不反相。	0
			1	HVEN = 1时，反相VS。 HVEN = 0时，反相DIN0。 如果串行器中DBL = 0及解串器中DBL = 1，不使用。	
	D6	INVHS	0	HS或DIN1不反相。	0
			1	HVEN = 1时，反相HS。 HVEN = 0时，反相DIN1。 如果串行器中DBL = 0及解串器中DBL = 1，不使用。	
	D[5:0]	—	000000	保留。	000000

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x09	D[7:1]	I2CSRCA	XXXXXXX	I ² C地址转换器源A。	0000000
	D0	—	0	保留。	0
0x0A	D[7:1]	I2CDSTA	XXXXXXX	I ² C地址转换器目标A。	0000000
	D0	—	0	保留。	0
0x0B	D[7:1]	I2CSRCA	XXXXXXX	I ² C地址转换器源B。	0000000
	D0	—	0	保留。	0
0x0C	D[7:1]	I2CDSTB	XXXXXXX	I ² C地址转换器目标B。	0000000
	D0	—	0	保留。	0
0x0D	D7	I2CLOCKACK	0	正向通道可用时，不产生应答。	1
			1	正向通道可用时，I ² C至I ² C从机产生本地应答。	
	D[6:5]	I2CSLVSH	00	352ns/117ns I ² C建立/保持时间。	01
			01	469ns/234ns I ² C建立/保持时间。	
			10	938ns/352ns I ² C建立/保持时间。	
			11	1046ns/469ns I ² C建立/保持时间。	
	D[4:2]	I2CMSTBT	000	8.47kbps (典型值) I ² C-I ² C主机码率设置。	101
			001	28.3kbps (典型值) I ² C-I ² C主机码率设置。	
			010	84.7kbps (典型值) I ² C-I ² C主机码率设置。	
			011	105kbps (典型值) I ² C-I ² C主机码率设置。	
			100	173kbps (典型值) I ² C-I ² C主机码率设置。	
			101	339kbps (典型值) I ² C-I ² C主机码率设置。	
			110	533kbps (典型值) I ² C-I ² C主机码率设置。	
			111	837kbps (典型值) I ² C-I ² C主机码率设置。	
	D[1:0]	I2CSLVTO	00	64μs (典型值) I ² C-I ² C从机远端超时。	10
			01	256μs (典型值) I ² C-I ² C从机远端超时。	
10			1024μs (典型值) I ² C-I ² C从机远端超时。		
11			没有I ² C-I ² C从机远端超时。		

MAX9271

16位GMSL串行器，带同轴或 STP电缆驱动

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x0E	D7	DIS_REV_P	0	使能OUT+反向通道接收器。	0
			1	禁止OUT+反向通道接收器。	
	D6	DIS_REV_N	0	使能OUT-反向通道接收器。	1
			1	禁止OUT-反向通道接收器。	
	D5	GPIO5EN	0	禁止GPIO5。	0
			1	使能GPIO5。	
	D4	GPIO4EN	0	禁止GPIO4。	0
			1	使能GPIO4。	
	D3	GPIO3EN	0	禁止GPIO3。	0
			1	使能GPIO3。	
	D2	GPIO2EN	0	禁止GPIO2。	0
			1	使能GPIO2。	
	D1	GPIO1EN	0	禁止GPIO1。	1
			1	使能GPIO1。	
D0	—	0	保留。	0	
0x0F	D[7:6]	—	11	保留。	11
	D5	GPIO5OUT	0	设置GPIO5为低电平。	1
			1	设置GPIO5为高电平。	
	D4	GPIO4OUT	0	设置GPIO4为低电平。	1
			1	设置GPIO4为高电平。	
	D3	GPIO3OUT	0	设置GPIO3为低电平。	1
			1	设置GPIO3为高电平。	
	D2	GPIO2OUT	0	设置GPIO2为低电平。	1
			1	设置GPIO2为高电平。	
	D1	GPIO1OUT	0	设置GPIO1为低电平。	1
			1	设置GPIO1为高电平。	
	D0	SETGPO	0	设置GPO为低电平。	0
			1	设置GPO为高电平。	
	0x10	D[7:6]	—	00	保留。
D5		GPIO5IN	0	GPIO5为低电平。	1 (read only)
			1	GPIO5为高电平。	
D4		GPIO4IN	0	GPIO4为低电平。	1 (read only)
			1	GPIO4为高电平。	
D3		GPIO3IN	0	GPIO3为低电平。	1 (read only)
			1	GPIO3为高电平。	
D2		GPIO2IN	0	GPIO2为低电平。	1 (read only)
			1	GPIO2为高电平。	
D1		GPIO1IN	0	GPIO1为低电平。	1 (read only)
			1	GPIO1为高电平。	
D0		GPO_L	0	设置GPO为低电平。	0 (read only)
			1	设置GPO为高电平。	

MAX9271

16位GMSL串行器，带同轴或 STP电缆驱动

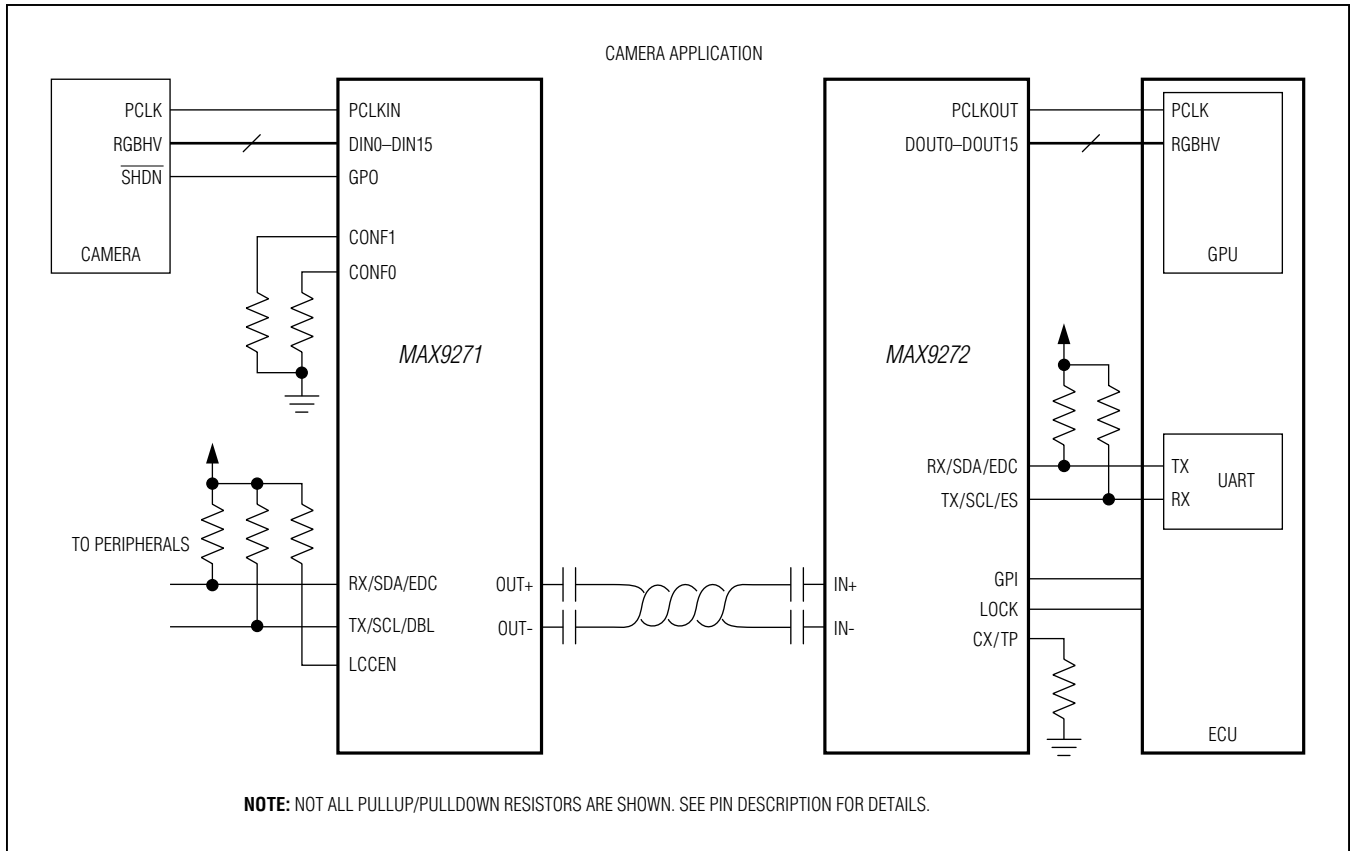
表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x11	D[7:6]	ERRGRATE	00	每2560位产生一位误码。	00
			01	每40,960位产生一位误码。	
			10	每655,360位产生一位误码。	
			11	每10,485,760位产生一位误码。	
	D[5:4]	ERRGTYPE	00	产生单位误码。	00
			01	产生2 (8b/10b)符号误码。	
			10	产生3 (8b/10b)符号误码。	
			11	产生4 (8b/10b)符号误码。	
	D[3:2]	ERRGCNT	00	连续产生误码。	00
			01	16位产生的误码。	
			10	128位产生的误码。	
			11	1024位产生的误码。	
D1	ERRGPER	0	禁止定期产生误码。	0	
		1	使能定期产生误码。		
D0	ERRGEN	0	禁止产生误码。	0	
		1	使能产生误码。		
0x12	D[7:0]	—	01000000	保留。	01000000
0x13	D[7:0]	—	00100010	保留。	00100010
0x14	D[7:0]	—	XXXXXXXX	保留。	00000000 (read only)
0x15	D7	CXTP	0	CXTP为低电平。	0 (read only)
			1	CXTP为高电平。	
	D6	I2CSEL	0	输入为高电平。	0 (read only)
			1	输入为低电平。	
	D5	LCCEN	0	输入为高电平。	0 (read only)
			1	输入为低电平。	
	D[4:2]	—	000	保留。	000 (read only)
	D1	OUTPUTEN	0	禁止输出。	0 (read only)
1			使能输出。		
D0	PCLKDET	0	检测到有效PCLKIN。	0 (read only)	
		1	未检测到有效PCLKIN。		
0x16	D[7:0]	—	XXXXXXXX	保留。	00000000 (read only)
0x17	D[7:0]	—	XXXXXXXX	保留。	00000000 (read only)
0x1E	D[7:0]	ID	00001001	器件标识(MAX9271 = 0x09)。	00001001 (read only)
0x1F	D[7:5]	—	000	保留。	000 (read only)
	D4	CAPS	0	不支持HDCP。	0 (read only)
			1	支持DCP。	
D[3:0]	REVISION	XXXX	器件版本。	(read only)	

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

典型应用电路



订购信息

型号	温度范围	引脚-封装
MAX9271GTJ+	-40°C至+105°C	32 TQFN-EP*
MAX9271GTJ/V+**	-40°C至+105°C	32 TQFN-EP*

V表示汽车级器件。

+表示无铅(Pb)/符合RoHS标准的封装。

*EP = 裸焊盘。

**未来产品——请联系工厂。

芯片信息

PROCESS: CMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外型编号	焊盘布局编号
32 TQFN-EP	T3255+5	21-0140	90-0013

MAX9271

16位GMSL串行器，带同轴或STP电缆驱动

修订历史

修订号	修订日期	说明	修改页
0	7/12	最初版本。	—
1	11/12	在订购信息中增加了非自动封装。	48

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

49

© 2012 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。