

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

## 概述

MAX9225/MAX9226串行器/解串器芯片组可将10位并行数据串行化，并通过一对差分线传输，从而减少了连线。器件在每个并行输入时钟周期内将10位并行数据串行化，得到100Mbps到200Mbps的净串行数据速率。MAX9225能够将电话翻盖内摄像头输出的8位YUV、HSYNC和VSYNC输出串行化，减少了穿过转轴连接到电话基带处理器的连线。2线串行接口采用小电流差分信号(LCDS)，可实现低EMI、高共模噪声抑制能力和对地电位偏差的容限。发生信号中断时，MAX9225/MAX9226自动识别串行数据中的字边界。MAX9226的关断由MAX9225控制。在关断模式下，MAX9225/MAX9226仅消耗3.5 $\mu$ A或更低的电流。

MAX9225串行器采用+2.375V到+3.465V的单电源供电，可接受+1.71V到+3.465V的输入。MAX9226解串器的核电压为+2.375V到+3.465V，具有独立的输出缓冲器电源输入(V<sub>DDO</sub>)，支持+1.71V到+3.465V高电平输出。

MAX9225/MAX9226工作在-40°C到+85°C的扩展级温度范围，采用带裸焊盘的16引脚TQFN (3mm x 3mm x 0.8mm)封装。

## 应用

手机照相机  
数码相机

## 特性

- ◆ 非常适合手机照相机并行接口的串行化处理
- ◆ MAX9225可串行化处理8位YUV，HSYNC和VSYNC信号
- ◆ LCDS有助于抑制共模噪声
- ◆ 信号中断后，自动定位字边界
- ◆ 通过串行链路实现关断控制
- ◆ 关断电源电流
  - MAX9225: 0.5 $\mu$ A (最大)
  - MAX9226: 3.0 $\mu$ A (最大)
- ◆ +2.375V至+3.465V的核电源电压
- ◆ 并行I/O可直接与1.8V至3.3V逻辑接口
- ◆  $\pm$ 15kV的人体模型ESD保护
- ◆ -40°C到+85°C的工作温度范围

## 订购信息

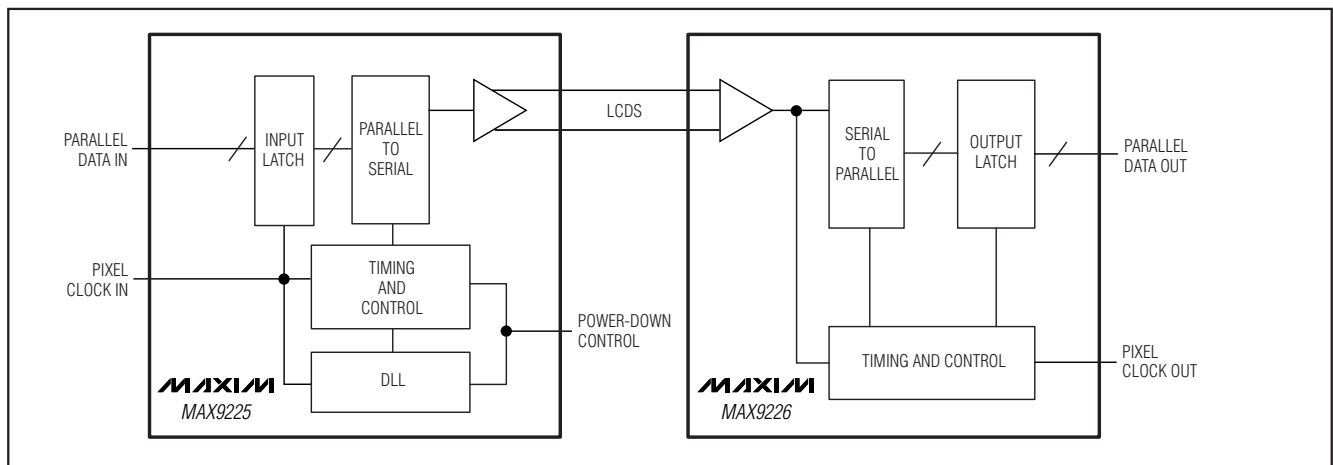
PART	TEMP RANGE	PIN-PACKAGE	PKG CODE	TOP MARK
MAX9225ETE	-40°C to +85°C	16 TQFN-EP*	T1633-4	ADO
MAX9225ETE+	-40°C to +85°C	16 TQFN-EP*	T1633-4	ADO
MAX9226ETE	-40°C to +85°C	16 TQFN-EP*	T1633-4	ADX
MAX9226ETE+	-40°C to +85°C	16 TQFN-EP*	T1633-4	ADX

+表示无铅封装。

\*EP = 裸焊盘。

引脚配置在数据资料的最后给出。

## 典型应用电路



# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND .....	-0.5V to +4.0V	Storage Temperature Range .....	-65°C to +150°C
V <sub>DDO</sub> to GND .....	-0.5V to +4.0V	Junction Temperature .....	+150°C
Serial Interface (SDO+, SDO-, SDI+, SDI-) to GND .....	-0.5V to +4.0V	Lead Temperature (soldering, 10s) .....	+300°C
Single-Ended Inputs (DIN_, PCLKIN, PWRDN) to GND .....	-0.5V to (V <sub>DD</sub> + 0.5V)	ESD Protection (Human Body Model)	
Single-Ended Outputs (DOUT_, PCLKOUT) to GND .....	-0.5V to (V <sub>DDO</sub> + 0.5V)	SDO+, SDO-, SDI+, SDI- to GND .....	> ±15kV
Continuous Power Dissipation (T <sub>A</sub> = +70°C)		All Other Pins to GND .....	> ±2kV
16-Pin TQFN (3mm x 3mm x 0.8mm)			
Multilayer PCB (derate 20.8mW/°C above +70°C) .....	1667mW		
Single-Layer PCB (derate 15.6mW/°C above +70°C) .....	1250mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS (MAX9225)

(V<sub>DD</sub> = +2.375V to +3.465V, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at V<sub>DD</sub> = +2.5V, T<sub>A</sub> = +25°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>SINGLE-ENDED INPUTS (PCLKIN, DIN_, PWRDN)</b>						
High-Level Input Voltage	V <sub>IH</sub>		1.19	V <sub>DD</sub> + 0.3		V
Low-Level Input Voltage	V <sub>IL</sub>		-0.3	+0.3		V
Input Current	I <sub>IN</sub>	V <sub>IN</sub> = 0V to V <sub>DD</sub>	-20	+20		μA
		-0.3V ≤ V <sub>IN</sub> < 0V	-100	+100		
		V <sub>DD</sub> < V <sub>IN</sub> ≤ (V <sub>DD</sub> + 0.3V)				
<b>LCDS OUTPUT (SDO+, SDO-)</b>						
Differential Output Current	I <sub>ODH</sub>	High level	575	643	880	μA
	I <sub>ODL</sub>	Low level	200	229	300	
Output Short-Circuit Current	I <sub>OS</sub>	Shorted to 0V or V <sub>DD</sub>			880	μA
<b>POWER SUPPLY</b>						
Supply Current	I <sub>DD</sub>	V <sub>DD</sub> = 2.5V	PCLKIN = 10MHz, 100Mbps	4.7	8.2	mA
			PCLKIN = 20MHz, 200Mbps	6.2	8.2	
Worst-Case Pattern Supply Current	I <sub>DDW</sub>	V <sub>DD</sub> = 2.5V, Figure 1	PCLKIN = 10MHz, 100Mbps	4.7	10.6	mA
			PCLKIN = 20MHz, 200Mbps	6.2	10.6	
Power-Down Supply Current	I <sub>DDZ</sub>	All inputs = low			0.5	μA

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

MAX9225/MAX9226

## DC ELECTRICAL CHARACTERISTICS (MAX9226)

( $V_{DD} = +2.375V$  to  $+3.465V$ ,  $V_{DDO} = +1.71V$  to  $+3.465V$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $V_{DD} = V_{DDO} = +2.5V$ ,  $T_A = +25^{\circ}C$ .) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>SINGLE-ENDED OUTPUTS (PCLKOUT, DOUT_)</b>						
High-Level Output Voltage	$V_{OH}$	$V_{DDO} = +2.375V$ to $+3.465V$ , $I_{OH} = -1mA$	0.8 x $V_{DDO}$			V
Low-Level Output Voltage	$V_{OL}$	$V_{DDO} = +2.375V$ to $+3.465V$ , $I_{OL} = 1mA$			0.2	V
Output Short-Circuit Current	$I_{OS}$	Output shorted to ground	$V_{DDO} = 2.375V$	-2		mA
			$V_{DDO} = 3.135V$	-9		
			$V_{DDO} = 3.465V$		-25	
<b>LCDS INPUT (SDI+, SDI-)</b>						
Differential Input-Current Threshold	$I_{ID}$			400		$\mu A$
Common-Mode Input Current	$I_{IC}$		-300	$\pm 400$	+300	$\mu A$
Differential Input Impedance	$Z_{ID}$	$I_{IC} = 0\mu A$ , $V_{DD} = 3.3V \pm 5\%$	69	90	114	$\Omega$
		$I_{IC} = 0\mu A$ , $V_{DD} = 2.8V \pm 5\%$	82	108	137	
		$I_{IC} = 0\mu A$ , $V_{DD} = 2.5V \pm 5\%$	95	125	161	
		$I_{IC} = \pm 300\mu A$ , $V_{DD} = 3.3V \pm 5\%$	67	91	117	
		$I_{IC} = \pm 300\mu A$ , $V_{DD} = 2.8V \pm 5\%$	86	108	141	
Common-Mode Input Impedance	$Z_{IC}$	$I_{IC} = \pm 300\mu A$	90	167	375	$\Omega$
Input Capacitance	$C_{IN}$	SDI+ or SDI- to ground		2		pF
<b>POWER SUPPLY</b>						
Supply Current	$I_{TOT}$	$V_{DD} = V_{DDO} = 2.5V$ (Note 4)	PCLKOUT = 10MHz, 100Mbps	8.4	12	mA
			PCLKOUT = 20MHz, 200Mbps	9.1	12	
Worst-Case Pattern Supply Current	$I_{TOTW}$	$C_L = 5pF$ , $V_{DD} = V_{DDO} = 2.5V$ , Figure 2 (Note 4)	PCLKOUT = 10MHz, 100Mbps	9.7	12	mA
			PCLKOUT = 20MHz, 200Mbps	11.6	13	
Power-Down Supply Current	$I_{TOTZ}$	(Note 4)		0.3	3.0	$\mu A$
Supply Difference	$V_{SD}$	MAX9225 $V_{DD}$ to MAX9226 $V_{DD}$	-5		+5	%
<b>GROUND POTENTIAL</b>						
Ground Difference	$V_{GD}$	MAX9225 to MAX9226 ground difference	-0.2		+0.2	V

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

## AC ELECTRICAL CHARACTERISTICS (MAX9225)

( $V_{DD} = +2.375V$  to  $+3.465V$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $V_{DD} = +2.5V$ ,  $T_A = +25^{\circ}C$ .) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>PCLKIN INPUT REQUIREMENTS (Figure 3)</b>						
Input Rise Time	$t_R$				2	ns
Input Fall Time	$t_F$				2	ns
PCLKIN Period	$t_P$		50		100	ns
High-Level Pulse Width	$t_{PWH}$		$0.3 \times t_P$		$0.7 \times t_P$	ns
Low-Level Pulse Width	$t_{PWL}$		$0.3 \times t_P$		$0.7 \times t_P$	ns
Setup Time	$t_S$		3			ns
Hold Time	$t_H$		1			ns

## AC ELECTRICAL CHARACTERISTICS (MAX9226)

( $V_{DD} = V_{DDO} = +2.375V$  to  $+3.465V$ ,  $C_L = 5pF$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $V_{DD} = V_{DDO} = +2.5V$ ,  $T_A = +25^{\circ}C$ .) (Notes 3, 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PCLKOUT Period	$t_P$	Figure 4	50		100	ns
High-Level Pulse Width	$t_{PWH}$	Figure 4	$0.4 \times t_P$		$0.6 \times t_P$	ns
Low-Level Pulse Width	$t_{PWL}$	Figure 4	$0.4 \times t_P$		$0.6 \times t_P$	ns
Data Valid Before PCLKOUT	$t_{VB}$	Figure 4	5			ns
Data Valid After PCLKOUT	$t_{VA}$	Figure 4	5			ns
<b>SERIALIZER AND DESERIALIZER LINK</b>						
Power-Up Time	$t_{PU1}$	From $V_{DD} = V_{DDO} = 2.375V$ when supplies are ramping up			$11,264 \times t_P$	ns
	$t_{PU2}$	From $\overline{PWRDN}$ low to high			$4096 \times t_P$	
Power-Down Time	$t_{PWRDN}$	From $\overline{PWRDN}$ high to low		2.8	10	$\mu s$

**Note 1:** Current into a pin is defined as positive. Current out of a pin is defined as negative. All voltages are referenced to ground.

**Note 2:** Maximum and minimum limits over temperature are guaranteed by design and characterization. Devices are production tested at  $T_A = +85^{\circ}C$ .

**Note 3:** Parameters are guaranteed by design and characterization and are not production tested. Limits are set at  $\pm 6$  sigma.

**Note 4:**  $I_{TOT} = I_{DD} + I_{DDO}$ .

**Note 5:**  $C_L$  includes probe and test jig capacitance.

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

测试电路/时序图

MAX9225/MAX9226

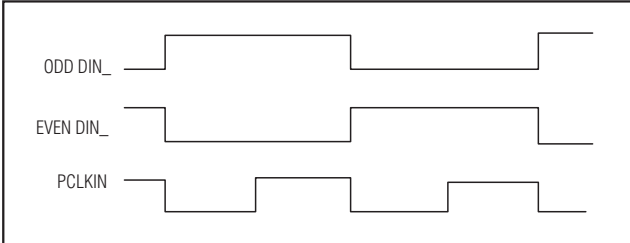


图1. 最坏情况下的串行器切换模式

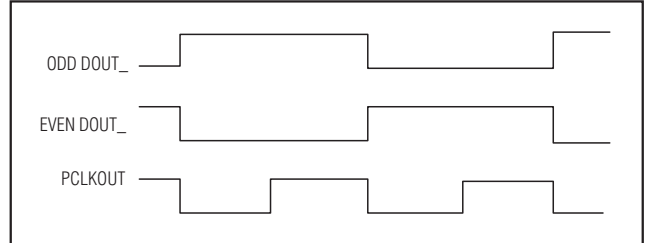


图2. 最坏情况下的解串器切换模式

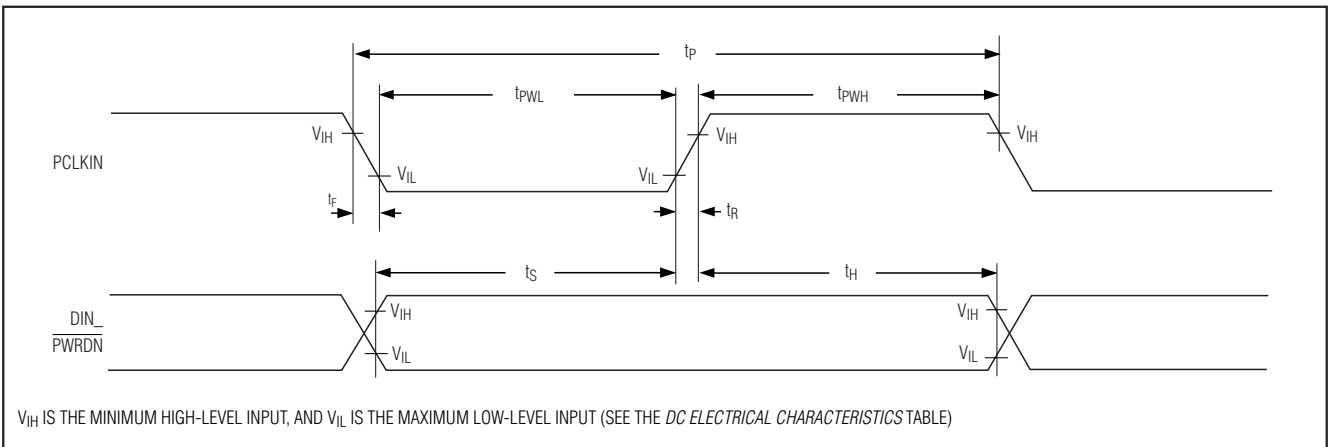


图3. 串行器输入时序

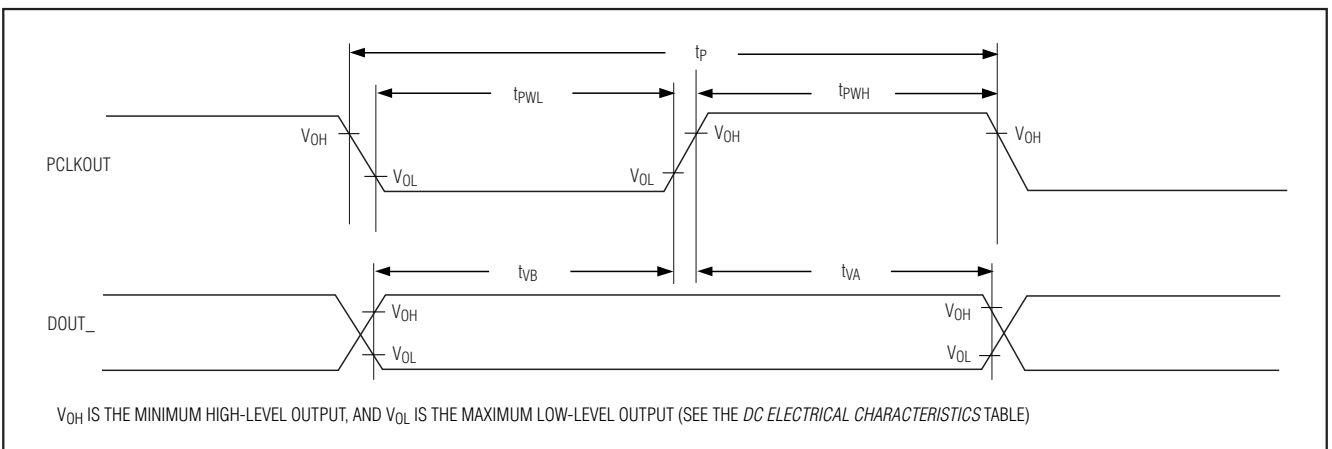
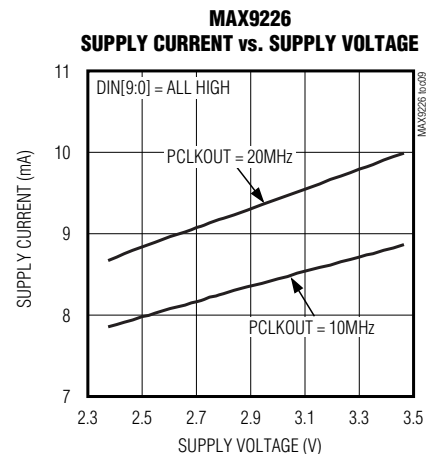
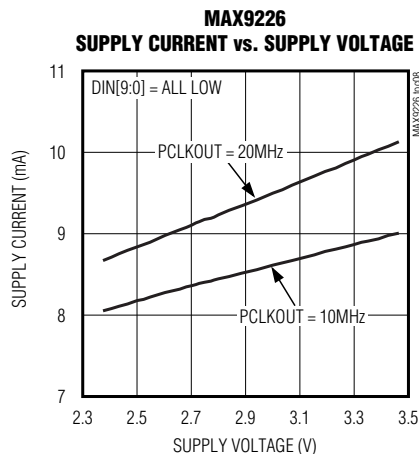
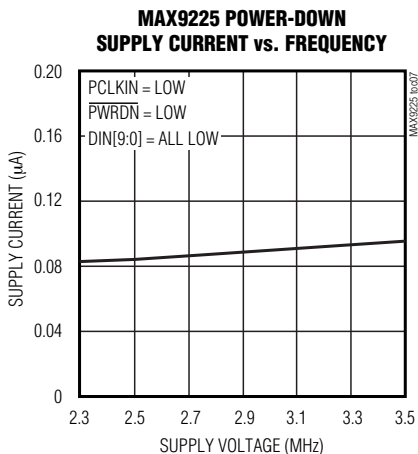
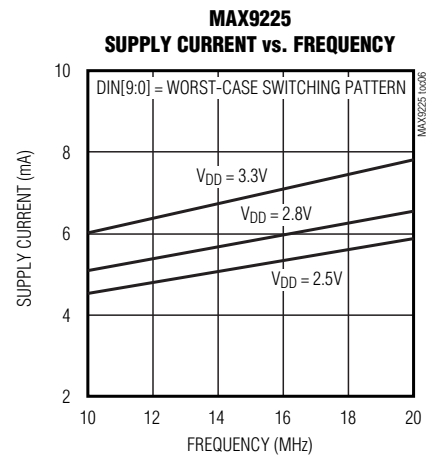
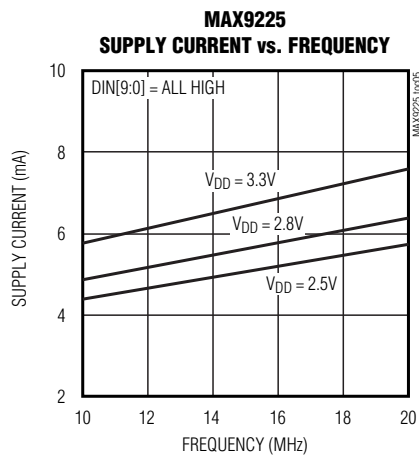
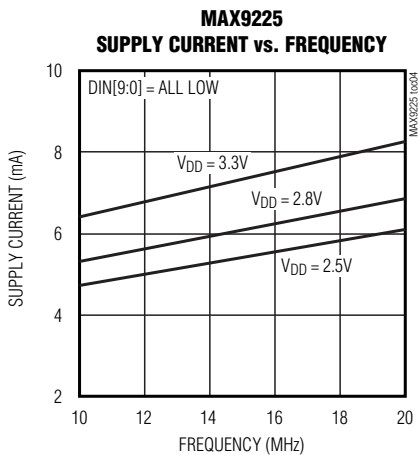
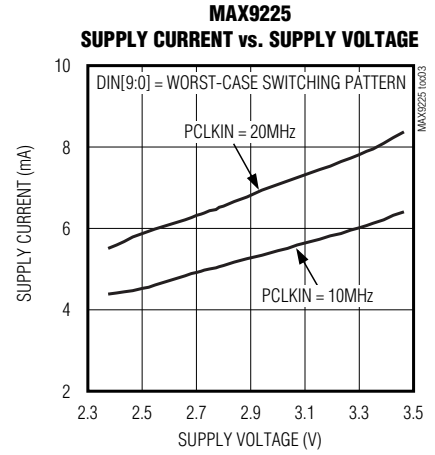
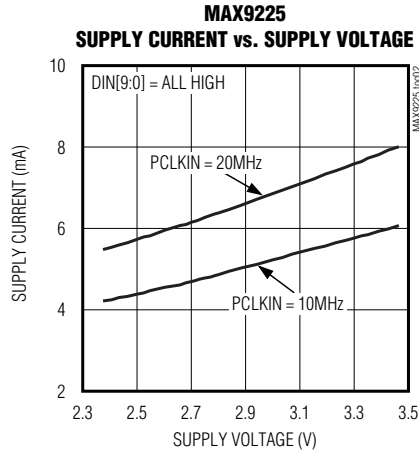
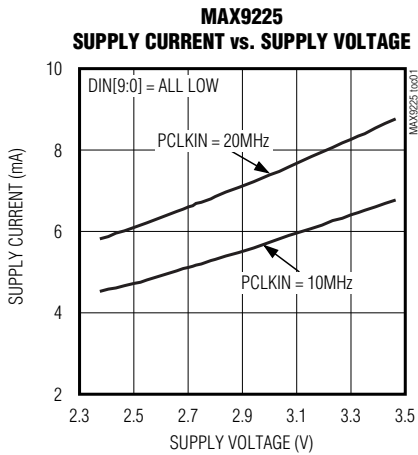


图4. 解串器输出时序

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

## 典型工作特性

( $V_{DD} = V_{DDO} = +2.8V$ , logic input levels = 0 to +2.8V, logic output load  $C_L = 5pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

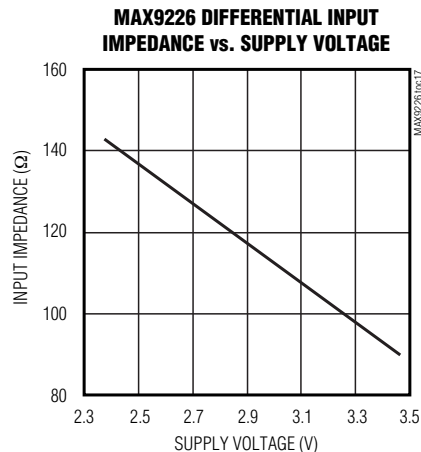
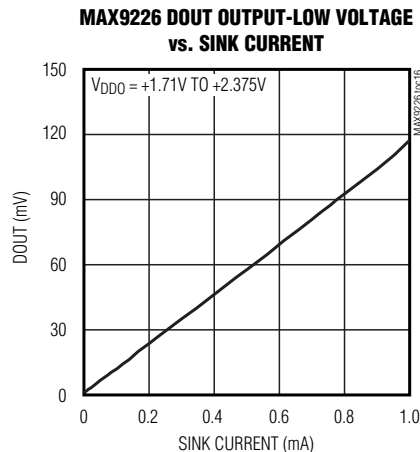
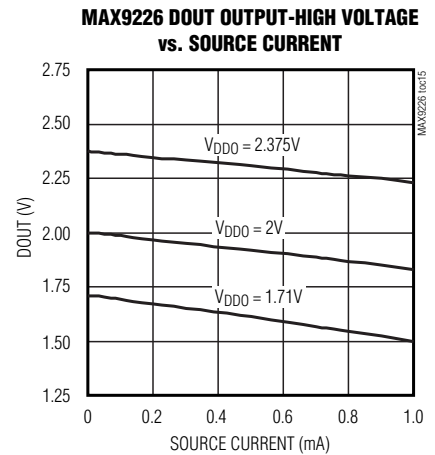
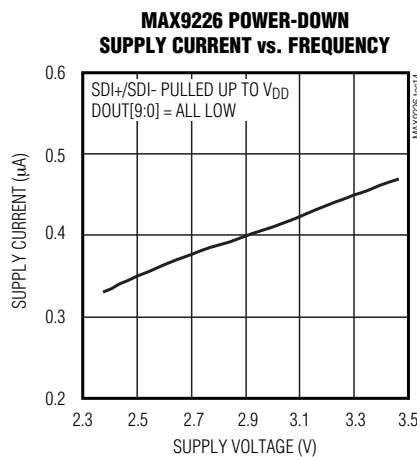
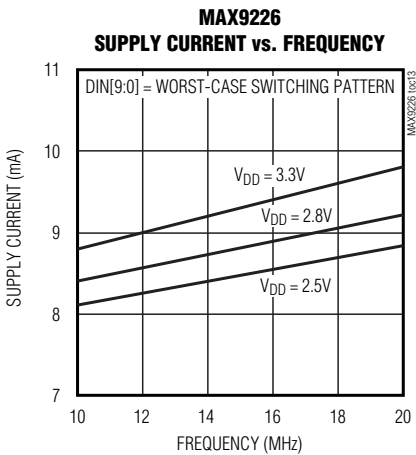
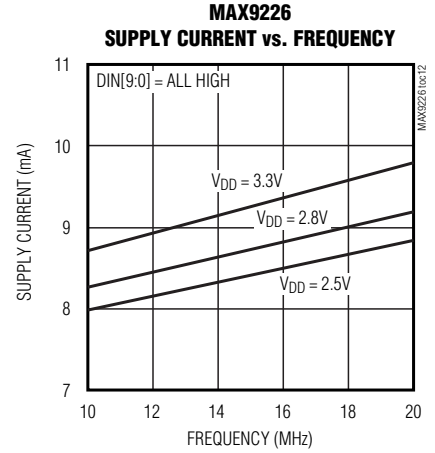
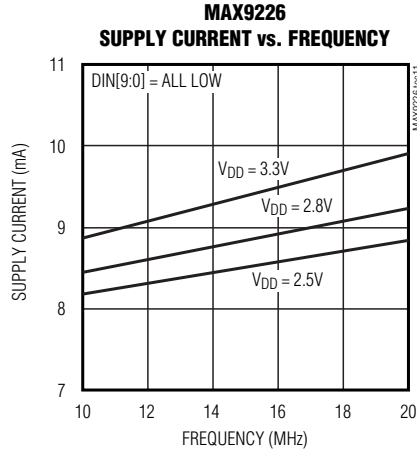
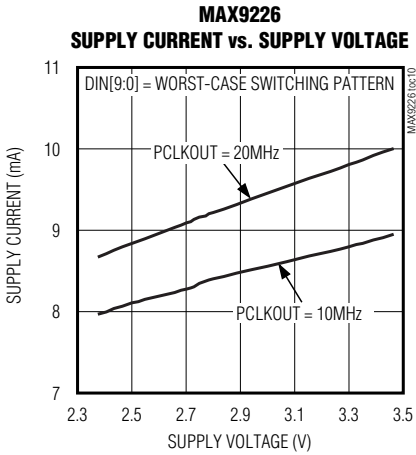


# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

典型工作特性(续)

( $V_{DD} = V_{DDO} = +2.8V$ , logic input levels = 0 to +2.8V, logic output load  $C_L = 5pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

MAX9225/MAX9226



# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

## 引脚说明(MAX9225)

引脚	名称	功能
1-7, 14, 15, 16	DIN6-DIN0, DIN9, DIN8, DIN7	单端并行数据输入。在PCLKIN信号的上升沿, 10位数据被装入输入锁存器。可接受1.71V到3.465V电平, 内部下拉到GND。
8	PCLKIN	并行时钟输入。在PCLKIN (通常为像素时钟)上升沿锁存并行输入数据。内部下拉到GND。
9	$\overline{\text{PWRDN}}$	关断模式输入。拉低 $\overline{\text{PWRDN}}$ 使MAX9225/MAX9226进入关断模式。驱动 $\overline{\text{PWRDN}}$ 至高, 器件进入正常工作模式。内部下拉到GND。
10	SDO-	LCDS串行数据输出反相端。
11	SDO+	LCDS串行数据输出同相端。
12	GND	地。
13	V <sub>DD</sub>	核电源输入端。用0.1 $\mu\text{F}$ 和0.01 $\mu\text{F}$ 并联电容旁路到GND, 电容应尽可能靠近器件, 并且最小的电容距离器件电源引脚最近。
—	EP	裸焊盘。将EP接地。

## 引脚说明(MAX9226)

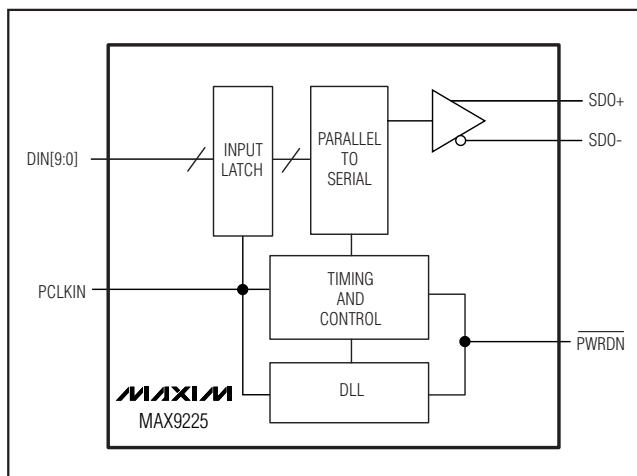
引脚	名称	功能
1	GND	地。
2	SDI+	LCDS串行数据同相输入端。
3	SDI-	LCDS串行数据反相输入端。
4	V <sub>DD</sub>	核电源输入端。用0.1 $\mu\text{F}$ 和0.01 $\mu\text{F}$ 并联电容旁路至GND, 电容尽可能靠近器件, 并且最小的电容距离器件电源引脚最近。
5	PCLKOUT	并行时钟输出。在PCLKOUT上升沿(通常作为像素时钟)并行输出数据有效。
6-15	DOUT0-DOUT9	单端并行数据输出。在PCLKOUT信号上升沿DOUT[9:0]输出数据有效。
16	V <sub>DDO</sub>	输出级电源电压。用0.1 $\mu\text{F}$ 和0.01 $\mu\text{F}$ 并联电容旁路到GND, 电容尽可能靠近器件, 并且最小的电容距离器件电源引脚最近。
—	EP	裸焊盘。将EP接地。



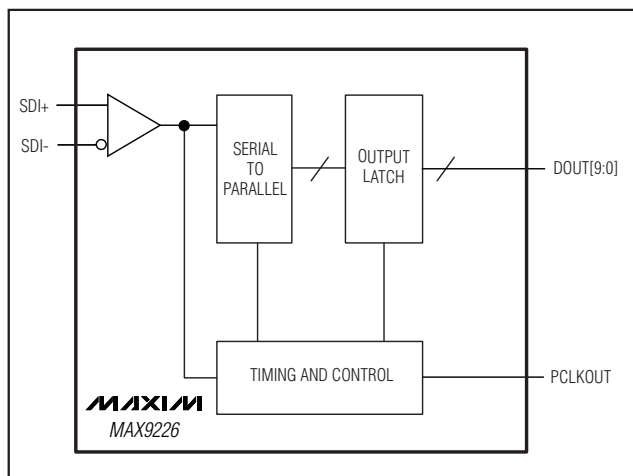
# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

MAX9225/MAX9226

功能框图(MAX9225)



功能框图(MAX9226)



## 详细说明

MAX9225 串行器工作在 10MHz 到 20MHz 的并行时钟频率下，在每个并行时钟周期将 10 位并行输入数据 DIN[9:0] 串行化。DIN[9:0] 数据在 PCLKIN 的上升沿被锁存。串行数据与内部产生的串行时钟结合后，采用多电平 LCDS 由 SDO+/SDO- 输出。MAX9226 解串器在 SDI+/SDI- 端接收 LCDS 信号。解串后的数据和恢复的并行时钟分别由 DOUT[9:0] 和 PCLKOUT 输出。器件在 PCLKOUT 的上升沿输出有效的数据。

传输时首先发送第 0 位 (DIN[0])。MAX9226 解串器利用边界标识位 OH1 和 OH2 识别字边界。OH1 是数据第 9 位 (DIN[9]) 的反码，OH2 是 OH1 的反码。因此，在一个字中保证至少出现两次电平变化。器件从串行输入中恢复出时钟。

### 串行字格式：

0	1	2	3	4	5	6	7	8	9	OH1	OH2
---	---	---	---	---	---	---	---	---	---	-----	-----

## LCDS

MAX9225/MAX9226 采用了专有的多电平 LCDS 接口。图 5 给出了多电平 LCDS 接口中数据和时钟的示意图。该接口较其它类型的芯片组具有很多优点，例如，仅要求一对差分线作为传输媒介、自然对齐的数据与时钟、消耗电流远小于传统 LVDS 接口的 4mA 等等。

### MAX9225/MAX9226 握手功能

MAX9225/MAX9226 具有握手功能，在检测到字边界错误时两器件之间可进行双向互动。在发送数据之前，MAX9225 串行器在锁存的字的末尾加上边界位 (OH)。这些边界位是锁存的字的最后一位的反码。数据传输过程中，MAX9226 解串器持续检测每个字的边界位状态。若检测到边界位错误，则将串行链路上拉至  $V_{DD}$ ，MAX9226 进入关断状态。MAX9225 检测到串行链路被上拉后，关断 1.0 $\mu$ s。1.0 $\mu$ s 以后，MAX9225 上电，并使 MAX9226 也上电。随后重新建立字边界，恢复数据传输。当引脚  $\overline{PWRDN}$  拉低时，握手功能关闭。

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

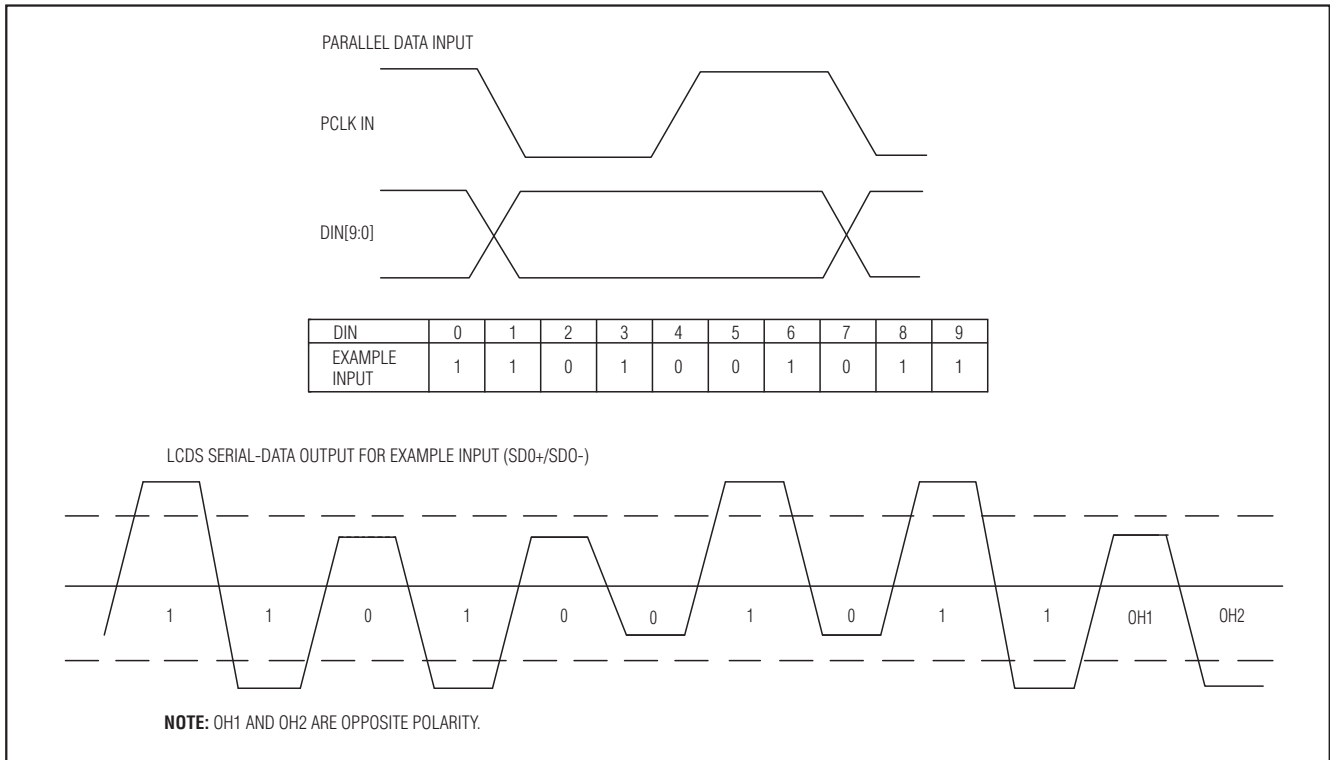


图5. 多电平LCDS输出示意图

## 应用信息

### PCLKIN 锁存沿

MAX9225串行器的并行输入数据在PCLKIN的上升沿被锁存，图3给出了串行器的输入时序。

### PCLKOUT 选通

MAX9226解串器的输出数据在PCLKOUT上升沿有效，图4给出了解串器的输出时序。

### 关断与上电

拉低 $\overline{\text{PWRDN}}$ 使MAX9225进入关断模式，并发送一个脉冲信号以关断MAX9226。关断模式下，DLL停止工作，引脚SD0+/SD0-对地和相互间呈高阻态，LCDS链路则被弱偏置在 $(V_{DD} - 0.8V)$ 左右。 $\overline{\text{PWRDN}}$ 和所有的输入都为低时，芯片组MAX9225/MAX9226的总供电电流降至 $3.5\mu\text{A}$ 或更低。

驱动 $\overline{\text{PWRDN}}$ 为高可启动DLL，使其锁定至PCLKIN，并启动MAX9226的上电过程。在DLL锁定时钟前，MAX9225

不驱动LCDS输出。上电与链路同步过程需要11,264个时钟周期，之后才能锁存有效的DIN。上电与关断全过程时序见图6。为保证正常工作，在 $\overline{\text{PWRDN}}$ 变为高电平之前，PCLKIN必须开始工作并已经稳定。

若 $V_{DD} = 0$ ，LCDS输出对地和相互间呈高阻态。

### 地电位偏差

即使地电位存在一个小的偏差，MAX9225/MAX9226仍能保证正常工作。然而，为保证正常工作，MAX9226解串器的地电位与MAX9225串行器的地电位相对偏差应在 $\pm 0.2V$ 之内。

### MAX9226输出缓冲器电源( $V_{DDO}$ )

MAX9226的并行输出由 $V_{DDO}$ 供电，其电压范围为 $+1.71V$ 到 $+3.465V$ ，以便直接与1.8V到3.3V逻辑接口。

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

MAX9225/MAX9226

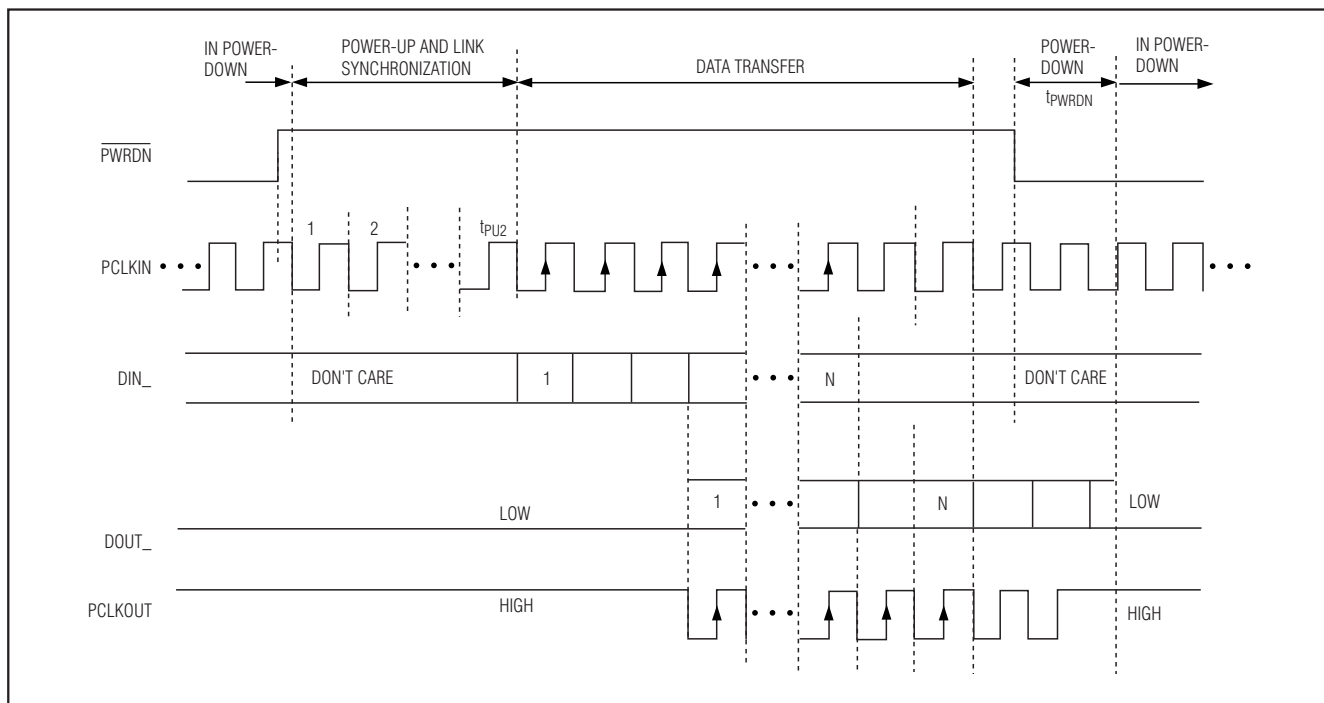


图6. MAX9225/MAX9226上电与关断时序

## 柔性电缆, PCB互连和连接器

LCDS的互连通常需要 $100\Omega$ 的差分阻抗。采用差分阻抗匹配的互连线和连接器, 将阻抗的不连续性减至最小。

## 电路板布板与电源旁路

将LVTTTL/LVCMOS信号与LCDS信号隔离, 避免相互串扰。推荐采用具有独立的电源、地和信号层的PCB或柔性板。

采用并联的 $0.1\mu\text{F}$ 和 $0.01\mu\text{F}$ 高频表贴陶瓷电容, 尽量靠近器件旁路各个 $V_{DD}$ 和 $V_{DDO}$ , 最小的电容距离器件电源引脚最近。

## ESD保护

MAX9225/MAX9226具有额定为 $\pm 15\text{kV}$ 的人体模型ESD保护。人体模型的放电元件为 $C_S = 100\text{pF}$ ,  $R_D = 1.5\text{k}\Omega$  (如图7)。

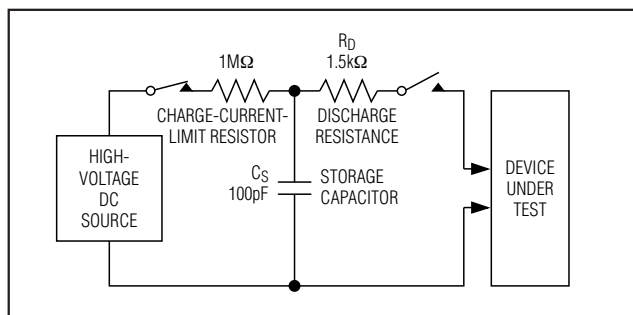
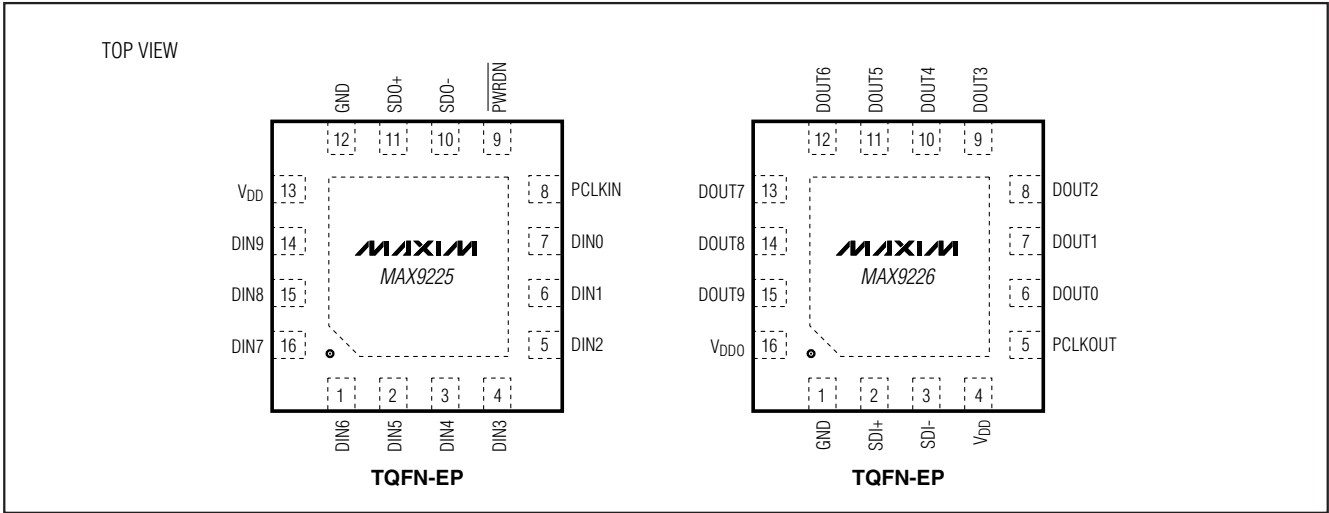


图7. 人体模型ESD测试电路

## 芯片信息

PROCESS: CMOS

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

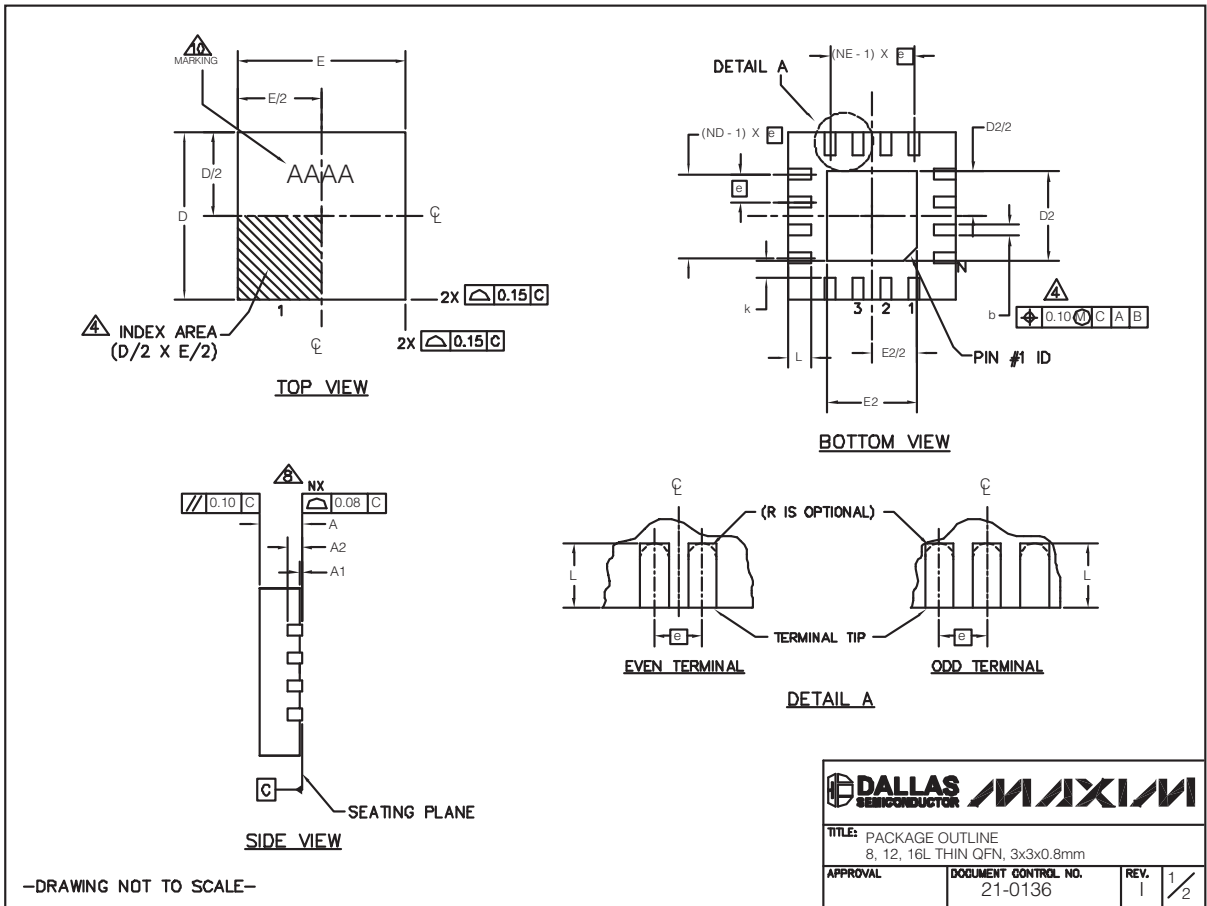


# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)

MAX92225/MAX92226



# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)

PKG	8L 3x3			12L 3x3			16L 3x3		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.		
L	0.35	0.55	0.75	0.45	0.55	0.65	0.30	0.40	0.50
N	8			12			16		
ND	2			3			4		
NE	2			3			4		
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-	0.25	-	-

PKG CODES	D2			E2			PIN ID	JEDEC
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
TQ833-1	0.25	0.70	1.25	0.25	0.70	1.25	0.35 x 45°	WEEC
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633FH-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633-5	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2

## NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- △ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- △ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- △ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- △ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.
- △ MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- WARPAGE NOT TO EXCEED 0.10mm.

-DRAWING NOT TO SCALE-

		
<b>TITLE:</b> PACKAGE OUTLINE 8, 12, 16L THIN QFN, 3x3x0.8mm		
<b>APPROVAL</b>	<b>DOCUMENT CONTROL NO.</b> 21-0136	<b>REV.</b> 1 / 2

# 10位、低功耗、10MHz至20MHz 串行器与解串器芯片组

修订历史

修订次数	修订日期	说明	修改页
0	1/06	最初版本。	—
1	12/07	将 <i>Electrical Characteristics</i> 表中的最大输出短路电流由-20改为-25；以及一些表达形式的修改。	2, 3, 11

MAX9225/MAX9226

## Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

**Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600** \_\_\_\_\_ 15