



双路、高效率、降压型控制器， 关断状态下提供高阻

MAX8743

概述

MAX8743是一款双路脉宽调制(PWM)控制器，专为降压型(buck)拓扑设计，具有高效率、卓越的瞬态响应和高DC输出精度等特点，这些特性是笔记本电脑中从高压电池降压得到芯片组和RAM所需的低压电源所必须的。将其CS_输入引脚接至低侧检流电阻可提供精确的电流限制，或者与LX_连接，利用低侧MOSFET作为电流检测元件。关断模式下输出变为高阻，这样就避免了输出出现负压，可省下一只输出端的肖特基二极管的成本。

PWM控制器是一个自激振荡、具有输入前馈的恒导通时间控制器。这种结构提供超高速瞬态响应，可适应很宽范围的输入-输出电压差，具有低电源电流和很好的负载调节能力。MAX8743的补偿非常简单。

MAX8743用于单级buck转换直接从高压电池降压可获得最高的转换效率。作为另外一种选择，采用两级转换(以更高的开关频率从5V系统电源降压而非从电池)可实现最小的物理尺寸。

MAX8743用来为芯片组、DRAM、CPU I/O或其他低压系统提供低至1V的电源。MAX8743采用28引脚QSOP和36引脚薄型QFN封装。

应用

笔记本电脑

CPU核电源

芯片组/RAM供电，电压可低至1V

1.8V与2.5V I/O电源

特性

- ◆ 超高效率
- ◆ 可选择精密限流
- ◆ 100ns负载瞬态响应的Quick-PWM™
- ◆ 整个输入和负载范围内1%的V_{OUT}精度
- ◆ 关断模式下输出为高阻
- ◆ Dual Mode™固定1.8V/1.5V/可调输出或固定2.5V/可调输出
- ◆ 1V到5.5V的输出可调范围
- ◆ 2V到28V的电池输入范围
- ◆ 200kHz/300kHz/420kHz/540kHz的额定开关频率
- ◆ 可调过压保护
- ◆ 1.7ms数字软启动
- ◆ 能驱动大功率同步整流器FET
- ◆ 电源就绪窗口比较器
- ◆ 2V ±1%的基准输出

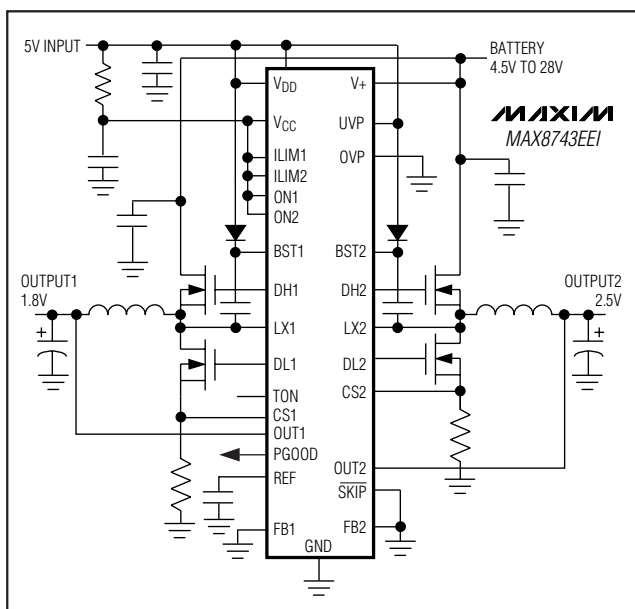
订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX8743EEI	-40°C to +85°C	28 QSOP
MAX8743EEI+	-40°C to +85°C	28 QSOP

+表示无铅封装。

订购信息(续)在数据资料的最后给出。

简化工作电路



引脚配置在数据资料的最后给出。

Quick-PWM和Dual Mode是Maxim Integrated Products, Inc.的商标。



Maxim Integrated Products 1

本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。

索取免费样品和最新版的数据资料，请访问Maxim的主页：www.maxim-ic.com.cn。

双路、高效率、降压型控制器， 关断状态下提供高阻

ABSOLUTE MAXIMUM RATINGS (Note 1)

V+ to AGND	-0.3 to +30V
V _{CC} to AGND	-0.3V to +6V
V _{DD} to PGND	-0.3V to +6V
AGND to PGND	-0.3V to +0.3V
PGOOD, OUT ₋ to AGND	-0.3V to +6V
OVP, UVP, ILIM ₋ , FB ₋ , REF, SKIP, TON, ON ₋ to AGND	-0.3V to (V _{CC} + 0.3V)
DL ₋ to PGND	-0.3V to (V _{DD} + 0.3V)
BST ₋ to AGND	-0.3V to +36V
CS ₋ to AGND	-6V to +30V
DH1 to LX1	-0.3V to (V _{BST1} + 0.3V)

LX ₋ to BST ₋	-6V to +0.3V
DH2 to LX2	-0.3V to (V _{BST2} + 0.3V)
REF Short Circuit to GND	Continuous
Continuous Power Dissipation (T _A = +70°C)	
28-Pin QSOP (derate 10.8mW/°C above +70°C)	860mW
36-Pin 6mm × 6mm Thin QFN (derate 26.3mW/°C above +70°C)	2105mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Note 1: For the MAX8743EEI, AGND and PGND refer to a single pin designated GND.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, V_{DD} = V_{CC} = 5V, $\overline{\text{SKIP}}$ = AGND, V+ = 15V, T_A = 0°C to +85°C, typical values are at +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
PWM CONTROLLERS							
Input Voltage Range	V+	Battery voltage, V+		2		28	V
	V _{CC} /V _{DD}	V _{CC} , V _{DD}		4.5		5.5	
DC Output Voltage OUT1 (Note 2)	V _{OUT1}	V+ = 2V to 28V, I _{LOAD} = 0 to 8A, $\overline{\text{SKIP}}$ = V _{CC} , +25°C to +85°C	FB1 to AGND	1.782	1.8	1.818	V
			FB1 to V _{CC}	1.485	1.5	1.515	
			FB1 to OUT1	0.99	1	1.01	
		V+ = 2V to 28V, I _{LOAD} = 0 to 8A, $\overline{\text{SKIP}}$ = V _{CC} , 0°C to +85°C	FB1 to AGND	1.773	1.8	1.827	
			FB1 to V _{CC}	1.477	1.5	1.523	
			FB1 to OUT1	0.985	1	1.015	
DC Output Voltage OUT2 (Note 2)	V _{OUT2}	V+ = 4.5V to 28V, I _{LOAD} = 0 to 4A, $\overline{\text{SKIP}}$ = V _{CC} , +25°C to +85°C	FB2 to AGND	2.475	2.5	2.525	V
			FB2 to OUT2	0.99	1	1.01	
		V+ = 4.5V to 28V, I _{LOAD} = 0 to 4A, $\overline{\text{SKIP}}$ = V _{CC} , 0°C to +85°C	FB2 to AGND	2.463	2.5	2.537	
			FB2 to OUT2	0.985	1	1.015	
Output Voltage Adjust Range		OUT1, OUT2		1		5.5	V
Dual-Mode Threshold, Low		OVP, FB ₋		0.05	0.1	0.15	V
Dual-Mode Threshold, High		OVP, ILIM ₋		V _{CC} - 1.5		V _{CC} - 0.4	V
		FB1		1.9	2.0	2.1	
OUT ₋ Input Resistance	ROUT1	V _{OUT1} = 1.5V		75			kΩ
	ROUT2	V _{OUT2} = 2.5V		100			
FB ₋ Input-Bias Current	I _{FB}			-0.1		+0.1	μA
Soft-Start Ramp Time		Zero to full ILIM		1700			μs

双路、高效率、降压型控制器， 关断状态下提供高阻

MAX8743

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = AGND$, $V+ = 15V$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, typical values are at $+25^{\circ}C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
On-Time, Side 1	tON1	V+ = 24V, VOUT1 = 2V (Note 3)	TON = AGND	120	137	153	ns
			TON = REF	153	174	195	
			TON = float	222	247	272	
			TON = VCC	316	353	390	
On-Time, Side 2	tON2	V+ = 24V, VOUT2 = 2V (Note 3)	TON = AGND	160	182	204	ns
			TON = REF	205	234	263	
			TON = float	301	336	371	
			TON = VCC	432	483	534	
On-Time Tracking		On-time 2 with respect to on- time 1 (Note 3)	TON = AGND	125	135	145	%
			TON = REF	125	135	145	
			TON = float	125	135	145	
			TON = VCC	125	135	145	
Minimum Off-Time	tOFF	(Note 3)			400	500	ns
Quiescent Supply Current (VCC)	ICC	FB_ forced above the regulation point			1100	1500	μA
Quiescent Supply Current (VDD)	IDD	FB_ forced above the regulation point			<1	5	μA
Quiescent Supply Current (V+)	I+	Measured at V+			25	70	μA
Shutdown Supply Current (VCC)		ON1 = ON2 = AGND, OVP = VCC			<1	5	μA
Shutdown Supply Current (VDD)		ON1 = ON2 = AGND			<1	5	μA
Shutdown Supply Current (V+)		ON1 = ON2 = AGND, measured at V+, VCC = AGND or 5V			<1	5	μA
Reference Voltage	VREF	VCC = 4.5V to 5.5V, no external REF load		1.98	2	2.02	V
Reference Load Regulation		IREF = 0 to 50μA				0.01	V
REF Sink Current		REF in regulation		10			μA
REF Fault Lockout Voltage		Falling edge, hysteresis = 40mV			1.6		V
Overvoltage Trip Threshold (Fixed-Threshold Mode)		OVP = AGND, with respect to error- comparator trip threshold		112	114	117	%
Overvoltage Comparator Offset (Adjustable-Threshold Mode)		1V < VOVP < 1.8V, external feedback, measured at FB_ with respect to VOVP		-28	0	+28	mV
		1V < VOVP < 1.8V, internal feedback, measured at OUT_ with respect to OUT_ regulation point		-3.5	0	+3.5	%
OVP Input Leakage Current		1V < VOVP < 1.8V		-100	<1	+100	nA
Overvoltage Fault Propagation Delay		FB_ forced 2% above trip threshold			1.5		μs
Output Undervoltage Threshold		UVP = VCC, with respect to error-comparator trip threshold		65	70	75	%
Output Undervoltage Protection Blanking Time		From ON_ signal going high		10		30	ms

双路、高效率、降压型控制器， 关断状态下提供高阻

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = AGND$, $V_+ = 15V$, $T_A = 0^\circ C$ to $+85^\circ C$, typical values are at $+25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Current-Limit Threshold (Fixed)		AGND - VCS ₋ , ILIM ₋ = VCC		40	50	60	mV
Current-Limit Threshold (Adjustable)		AGND - VCS ₋ , ILIM ₋ = 0.5V		40	50	60	mV
		AGND - VCS ₋ , ILIM ₋ = 1V		85	100	115	
ILIM ₋ Adjustment Range	VILIM ₋			0.3		2.5	V
Negative Current-Limit Threshold (Fixed)		VCS ₋ - AGND, ILIM ₋ = VCC, T _A = +25 °C		-75	-60	-45	mV
Thermal-Shutdown Threshold		Hysteresis = 15°C		+160			°C
VCC Undervoltage-Lockout Threshold		Rising edge, hysteresis = 20mV, PWMs disabled below this level		4.05		4.40	V
DH Gate-Driver On-Resistance		BST - LX forced to 5V (Note 4)	MAX8743EEI	1.5		5	Ω
			MAX8743ETX	1.5		6	Ω
DL Gate-Driver On-Resistance		DL, high state (Note 4)	MAX8743EEI	1.5		5	Ω
			MAX8743ETX	1.5		6	Ω
DL Gate-Driver On-Resistance		DL, low state (Note 4)	MAX8743EEI	0.5		1.7	Ω
			MAX8743ETX	0.5		2.7	Ω
DH_ Gate-Driver Source/Sink Current		VDH ₋ = 2.5V, VBST ₋ = VLX ₋ = 5V		1			A
DL_ Gate-Driver Sink Current		VDL ₋ = 2.5V		3			A
DL_ Gate-Driver Source Current		VDL ₋ = 2.5V		1			A
Logic Input High Voltage	VIH	ON ₋ , SKIP		2.4			V
		UVP		VCC - 0.4			
Logic Input Low Voltage	VIL	ON ₋ , SKIP				0.8	V
		UVP				0.05	
TON Input Logic Level		VCC level		VCC - 0.4			V
		Float level		3.15		3.85	
		REF level		1.65		2.35	
		AGND level				0.5	
Logic Input Current		TON (AGND or VCC)		-3		+3	μA
Logic Input Current		ON ₋ , SKIP, UVP		-1		+1	μA
PGOOD Trip Threshold (Lower)		With respect to error-comparator trip threshold, falling edge		-12.5	-10	-7.5	%
PGOOD Trip Threshold (Upper)		With respect to error-comparator trip threshold, rising edge		+7.5	+10	+12.5	%
PGOOD Propagation Delay		Falling edge, FB ₋ forced 2% below PGOOD trip threshold		1.5			μs
PGOOD Output Low Voltage		ISINK = 1mA				0.4	V
PGOOD Leakage Current		High state, forced to 5.5V				1	μA

双路、高效率、降压型控制器， 关断状态下提供高阻

MAX8743

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = AGND$, $V_+ = 15V$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
PWM CONTROLLERS							
Input Voltage Range	V+	Battery voltage, V+		2		28	V
	VCC/VDD	VCC, VDD		4.5		5.5	
DC Output Voltage, OUT1	VOUT1	V+ = 2V to 28V, $\overline{\text{SKIP}} = V_{\text{CC}}$, ILOAD = 0 to 8A (Note 2)	FB1 to AGND	1.773		1.827	V
			FB1 to VCC	1.477		1.523	
			FB1 to OUT1	0.985		1.015	
DC Output Voltage, OUT2	VOUT2	V+ = 2V to 28V, $\overline{\text{SKIP}} = V_{\text{CC}}$, ILOAD = 0 to 4A (Note 2)	FB2 to AGND	2.463		2.537	V
			FB2 to OUT2	0.985		1.015	
Output Voltage Adjust Range		OUT1, OUT2		1.0		5.5	V
Dual-Mode Threshold, Low		OVP, FB_		0.05		0.15	V
Dual-Mode Threshold, High		OVP, ILIM_		VCC - 1.5		VCC - 0.4	V
		FB_		1.9		2.1	
OUT_ Input Resistance	ROUT1	VOUT1 = 1.5V		75			kΩ
	ROUT2	VOUT2 = 2.5V		100			
FB_ Input Bias Current	IFB			-0.1		+0.1	μA
On-Time, Side 1	tON1	V+ = 24V, VOUT1 = 2V (Note 3)	TON = AGND	120		153	ns
			TON = REF	153		195	
			TON = float	217		272	
			TON = VCC	308		390	
On-Time, Side 2	tON2	V+ = 24V, VOUT2 = 2V (Note 3)	TON = AGND	160		204	ns
			TON = REF	205		263	
			TON = float	295		371	
			TON = VCC	422		534	
On-Time Tracking		On-time 2, with respect to on-time 1 (Note 3)	TON = AGND	125		145	%
			TON = REF	125		145	
			TON = float	125		145	
			TON = VCC	125		145	
Minimum Off-Time	tOFF	(Note 3)				500	ns
Quiescent Supply Current (VCC)	ICC	FB forced above the regulation point				1500	μA
Quiescent Supply Current (VDD)	IDD	FB forced above the regulation point				5	μA
Quiescent Supply Current (V+)	I+	Measured at V+				70	μA
Reference Voltage	VREF	VCC = 4.5V to 5.5V, no external REF load		1.98		2.02	V
Reference Load Regulation		IREF = 0 to 50μA				0.01	V
Overvoltage Trip Threshold (Fixed-Threshold Mode)		OVP = GND, with respect to FB_ regulation point, no load		112		117	%
Output Undervoltage Threshold		UVP = VCC, with respect to FB_ regulation point, no load		65		75	%
Current-Limit Threshold (Fixed)		AGND - VCS_, ILIM_ = VCC		35		65	mV

双路、高效率、降压型控制器， 关断状态下提供高阻

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = AGND$, $V_+ = 15V$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current-Limit Threshold (Adjustable)		AGND - $V_{CS_}$, $ILIM_ = 0.5V$	35		65	mV
		AGND - $V_{CS_}$, $ILIM_ = 1V$	80		120	
V_{CC} Undervoltage-Lockout Threshold		Rising edge, hysteresis = 20mV, PWMs disabled below this level	4.05		4.40	V
Logic Input High Voltage	V_{IH}	$ON_$, $\overline{SKIP}$	2.4			V
		UVP	$V_{CC} - 0.4$			
Logic Input Low Voltage	V_{IL}	$ON_$, $\overline{SKIP}$			0.8	V
		UVP			0.05	
Logic Input Current		T_{ON} (AGND or V_{CC})	-3		+3	μA
		$ON_$, $\overline{SKIP}$, UVP	-1		+1	

Note 2: When the inductor is in continuous conduction, the output voltage will have a DC regulation level higher than the error-comparator threshold by 50% of the output voltage ripple. In discontinuous conduction ($\overline{SKIP} = AGND$, light load), the output voltage has a DC regulation higher than the error-comparator threshold by approximately 1.5% due to slope compensation.

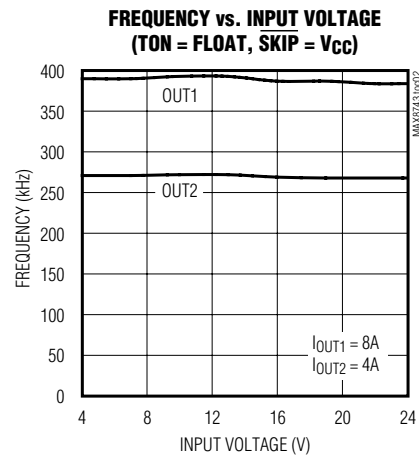
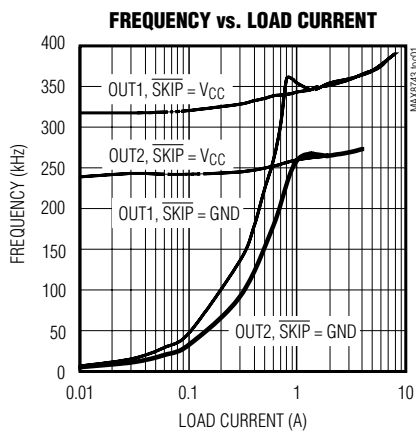
Note 3: On-time and off-time specifications are measured from the 50% point to the 50% point at $DH_$ with $LX_ = GND$, $BST_ = 5V$, and a 250pF capacitor connected from $DH_$ to $LX_$. Actual in-circuit times may differ due to MOSFET switching speeds.

Note 4: Production testing limitations due to package handling require relaxed maximum on-resistance specifications for the QFN package. The MAX8743EEI and MAX8743ETX contain the same die, and the QFN package imposes no additional resistance in-circuit.

Note 5: Specifications to $-40^\circ C$ are guaranteed by design, not production tested.

典型工作特性

(Circuit of Figure 1, components from Table 1, $V_{IN} = 15V$, $\overline{SKIP} = GND$, $T_{ON} =$ unconnected, $T_A = +25^\circ C$, unless otherwise noted.)

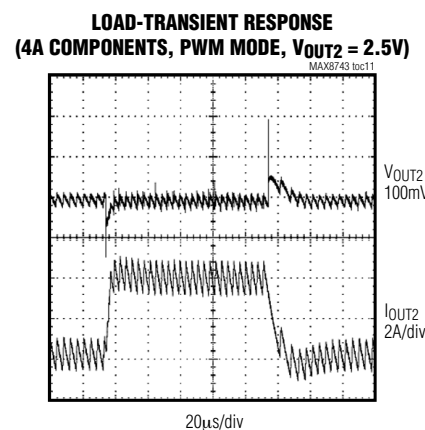
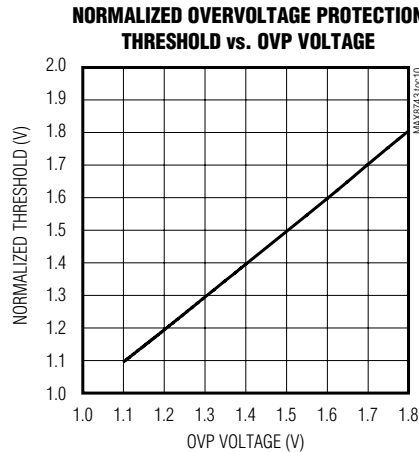
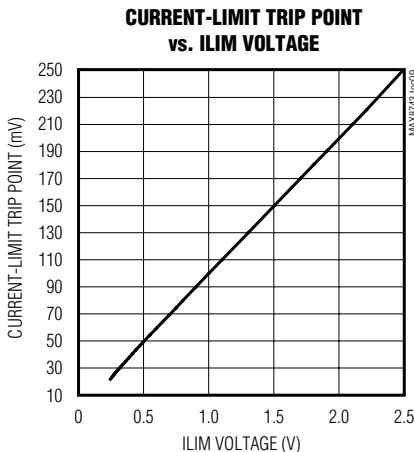
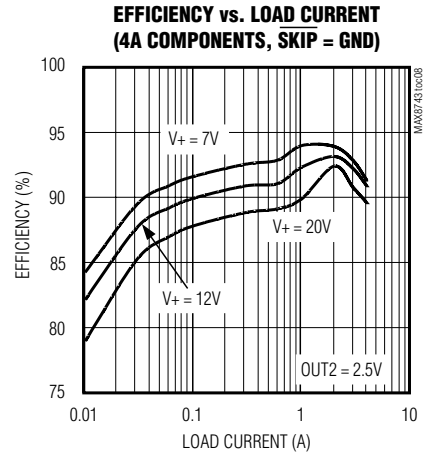
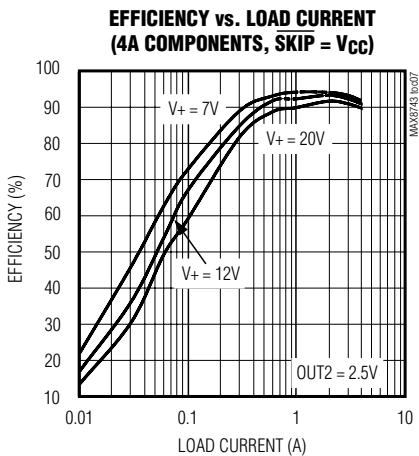
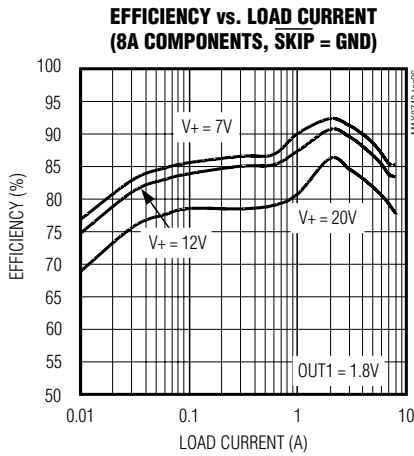
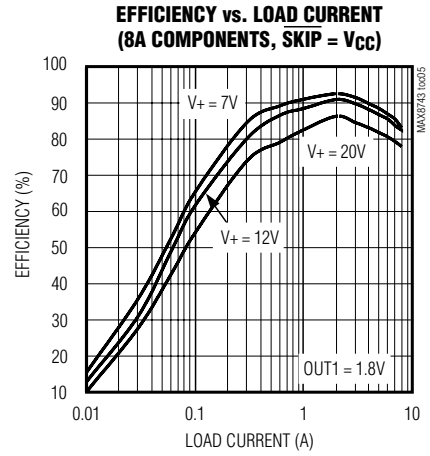
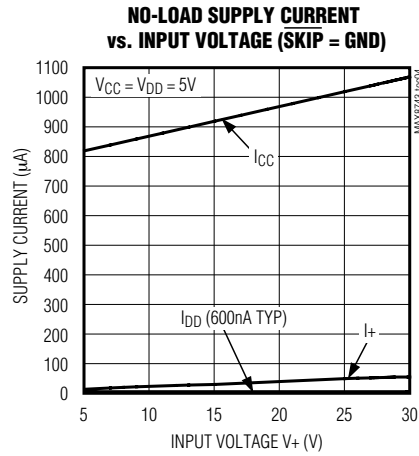
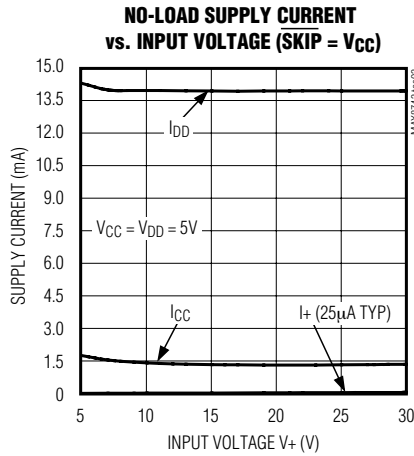


双路、高效率、降压型控制器， 关断状态下提供高阻

典型工作特性(续)

(Circuit of Figure 1, components from Table 1, $V_{IN} = 15V$, $\overline{SKIP} = GND$, $T_{ON} = \text{unconnected}$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX8743

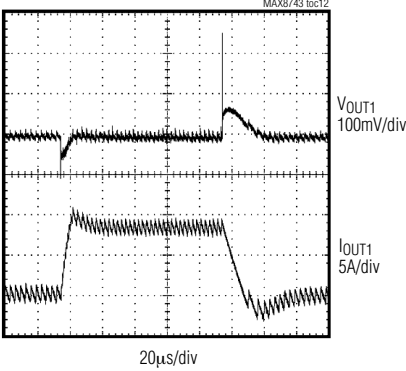


双路、高效率、降压型控制器，
关断状态下提供高阻

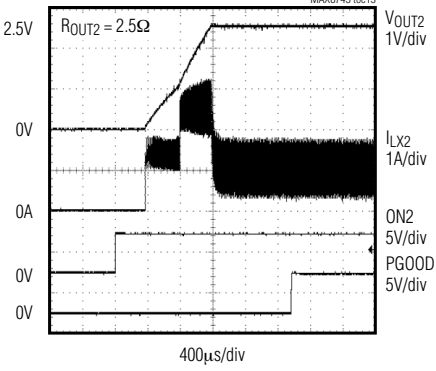
典型工作特性(续)

(Circuit of Figure 1, components from Table 1, $V_{IN} = 15V$, $\overline{SKIP} = GND$, $T_{ON} = \text{unconnected}$, $T_A = +25^{\circ}C$, unless otherwise noted.)

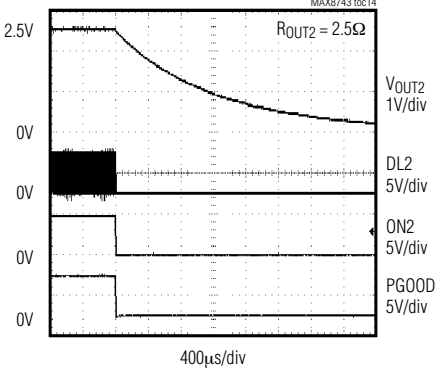
LOAD-TRANSIENT RESPONSE
(8A COMPONENTS, PWM MODE, $V_{OUT1} = 1.8V$)



STARTUP WAVEFORM (V_{OUT2})



SHUTDOWN WAVEFORM (V_{OUT2})



引脚说明

引脚		名称	功能
QSOP	TQFN		
1	32	OUT1	OUT1 PWM的输出电压连接点。直接接至外部电感与输出滤波电容的连接点处。OUT1检测输出电压，确定导通时间，在固定输出模式中也用作反馈输入。
2	33	FB1	OUT1的反馈输入。接至GND，固定输出1.8V，或者接至 V_{CC} ，固定输出1.5V，或者与OUT1之间接一只分压电阻，调节输出为1V到5.5V。
3	34	ILIM1	OUT1限流门限调节。CS1处的限流门限为ILIM1电压的0.1倍。与REF之间接一只分压电阻，设定限流门限为25mV到250mV (ILIM1处电压为0.25V至2.5V)。接至 V_{CC} ，采用50mV默认限流门限。
4	35	V+	电池电压检测连接点。接至输入电源。V+仅用于调节伪定频工作中的DH_导通时间。
5	1	TON	导通时间选择控制输入。该四电平输入引脚设定DH_导通时间，以便确定工作频率。
			TON频率(OUT1) (kHz)频率(OUT2) (kHz)
			AGND620460
			REF485355
			Open345255
			VCC235170
6	2	$\overline{SKIP}$	跳脉冲控制输入。接 V_{CC} 选择低噪强制PWM模式。接AGND使能跳脉冲模式。

双路、高效率、降压型控制器， 关断状态下提供高阻

引脚说明(续)

MAX8743

引脚		名称	功能
QSOP	TQFN		
7	3	PGOOD	电源就绪开漏极输出。在1.7ms的软启动时间内，当输出电压比正常稳压点高或低10%时，PGOOD为低。
8	4	OVP	过压保护门限。如果FB1电压或FB2电压大于设定的过压触发门限，则判断为发生过压故障。调节范围为1V(100%)至1.8V(180%)。将OVP接至GND，设置默认过压门限为标准值的114%。接至V _{CC} ，禁止OVP，并解除OVP闭锁。
9	5	UVP	欠压保护门限。如果FB1电压或FB2电压小于欠压触发门限(70%标准值)，则判断为发生欠压故障。将UVP接至V _{CC} 使能欠压保护功能。接至GND，禁止欠压保护功能，并解除UVP闭锁。
10	7	REF	+2.0V基准电压输出。对GND接0.22μF(最小值)旁路电容。可为外部负载提供50μA电流。
11	8	ON1	OUT1 ON/ÖFF(开启/关闭)控制输入。接至AGND，关闭OUT1。接至V _{CC} ，开启OUT1。
12	11	ON2	OUT2 ON/ÖFF(开启/关闭)控制输入。接至AGND，关闭OUT2。接至V _{CC} ，开启OUT2。
13	12	ILIM2	OUT2限流门限调节。CS2处的限流门限为ILIM2电压的0.1倍。与REF之间接一只分压电阻，设定限流门限为25mV到250mV(ILIM处电压为0.25V至2.5V)。接至V _{CC} ，采用50mV默认限流门限。
14	13	FB2	OUT2反馈输入。接至GND，固定输出2.5V，或者与OUT2之间接一只分压电阻，调节输出为1V到5.5V。
15	14	OUT2	OUT2 PWM的输出电压连接点。直接接至外部电感与输出滤波电容的连接点处。OUT2检测输出电压，确定导通时间，在固定输出模式中也用作反馈输入。
16	15	CS2	OUT2的检流输入。CS2为限制谷电流的限流电路输入。若使成本最低，效率最高，则接至LX2。若要求高精度，则采用一只检测电阻。请参见限流电路(ILIM_)部分。
17	16	LX2	OUT2的外部电感连接点。接至电感的开关侧。LX2也用作DH2高侧栅极驱动器内部电源的低端。
18	18	DH2	OUT2的高侧栅极驱动器输出。在LX2电压到BST2电压间摆动。
19	19	BST2	OUT2的自举浮动电容连接点。根据图1所示的标准应用电路外接一只电容和二极管。请参见MOSFET栅极驱动器(DH_和DL_)部分。
20	20	DL2	OUT2低侧栅极驱动器输出。DL2电压在PGND电压到V _{DD} 电压间摆动。
21	21	VDD	DL栅极驱动器电源输入。接至+4.5V至+5.5V的系统电源电压。对PGND接一只低ESR的4.7μF旁路电容。
22	22	VCC	模拟电源输入。利用一只20Ω串联电阻，接至+4.5V至+5.5V的系统电源电压。对AGND接一只1μF旁路电容。
23	—	GND	地。模拟地和功率地的交汇地。为CS_放大器的反相输入。

双路、高效率、降压型控制器，
关断状态下提供高阻

引脚说明(续)

引脚		名称	功能
QSOP	TQFN		
—	23	AGND	模拟地。为CS ₁ 放大器的反相输入。将背面焊盘接至AGND。
—	24	PGND	功率地。
24	26	DL1	OUT1低侧栅极驱动器输出。DL1电压在PGND电压到V _{DD} 电压间摆动。
25	27	BST1	OUT1的自举浮动电容连接点。根据图1所示的标准应用电路外接一只电容和二极管。请参见MOSFET栅极驱动器(DH ₁ 和DL ₁)部分。
26	28	DH1	OUT1的高侧栅极驱动器输出。在LX1电压到BST1电压间摆动。
27	30	LX1	OUT1的外部电感连接点。接至电感的开关侧。将LX1也用作DH1高侧栅极驱动器内部电源的低端。
28	31	CS1	OUT1检流输入。CS1为限制谷电流的限流电路输入。若使成本最低，效率最高，则接至LX2。若要求高精度，则采用一只检测电阻。请参见限流电路(ILIM ₁)部分。
—	6, 9, 10, 17, 25, 29, 36	N.C.	不连接。

标准应用电路

标准应用电路(图1)提供一路1.8V和一路2.5V电源，常用于笔记本电脑。
有关器件选择，请参见表1。表2列出了器件厂商。

详细说明

MAX8743 buck控制器专为笔记本电脑的低压电源而设计。MAX8743采用了Maxim专有的Quick-PWM脉宽调制器(图2)，这种控制方式专为处理快速负载阶跃，同时在一个很宽的输入电压范围内保持相对恒定的工作频率和电感工作点而设计。Quick-PWM结构巧妙解决了固定频率电流模式PWM负载瞬态响应差的问题，同时避免了常规的恒导通时间和恒关断时间PWM开关频率在很大范围内变化的问题。

5V偏置电源(V_{CC}和V_{DD})

除了电池，MAX8743还需要一个外部的5V偏置电源。一般来说，这个5V偏置电源取自效率高达95%的系统电源。将这个偏置电源放在IC的外部可提高效率，并省下了一个5V线性稳压器的成本，否则的话，还需要集成一个线性稳压器来为PWM电路和栅极驱动器供电。若需要单独运行，则可外接一只如MAX1615之类的线性稳压器来提供5V电源。

如果输入源为固定的4.5V至5.5V供电，则将电源输入和5V偏置输入接在一起。若5V偏置电源比电池电源先上电，则必须延迟使能信号(ON1和ON2)，直至电池电压能够确保启动。5V偏置电源必须提供V_{CC}和栅极驱动电源，这样提供的最大电流为：

$I_{BIAS} = I_{CC} + f(Q_{G1} + Q_{G2}) = 5mA \text{ 至 } 30mA \text{ (典型值)}$

其中，I_{CC}为1mA(典型值)，f为开关频率，Q_{G1}和Q_{G2}为MOSFET数据资料中V_{GS} = 5V时总栅极电荷的极限规格。

自激振荡、具有输入前馈的恒导通时间PWM控制器

Quick-PWM控制结构是伪定频、恒导通时间、带电压前馈的电流模式控制器(图3)。该结构依靠输出滤波电容的等效串联电阻(ESR)作为检流电阻，因此输出纹波电压被作为PWM斜坡信号。控制原理很简单：高侧开关的导通时间仅受控于一个单稳态电路，该电路触发后产生的单脉冲宽度反比于输入电压而正比于输出电压。另一个单稳态电路设定了一个最短关断时间(典型值为400ns)。如果误差比较器输出为低，低侧开关电流低于限流门限，而且最短关断时间单稳态电路已复位(关断时间已超过最短关断时间)，则单稳态导通过程被触发(表3)。

双路、高效率、降压型控制器， 关断状态下提供高阻

导通时间单稳态(TON)

PWM内核的核心是单稳态电路，它设定了两个转换器高侧开关的导通时间。这种快速、低抖动、可调节的单稳态电路能够根据电池电压和输出电压改变导通时间。高侧开关的导通时间反比于通过V₊输入测得的电池电压，而与输出电压成正比。尽管该方案缺乏固定频率时钟发生器，但依然会形成近似恒定的开关频率。恒定开关频率的优点有两点：首先，选择该频率，可避开如455kHz IF (中频)频段的噪声敏感区；其次，电感纹波电流工作点保持相对稳定，使设计更容易，并且可预测输出电压纹波。“1”侧控制器的导通时间比“2”侧控制器的导通时间长35%。这样可防止异步开关的两侧控制器产生音

频“差拍”。导通时间由下式给出：

$$\text{导通时间} = K (V_{\text{OUT}} + 0.075\text{V}) / V_{\text{IN}}$$

其中，K通过TON引脚的连接设定(表4)，0.075V是对低侧MOSFET开关上的压降的近似估计。由于存在固定传输延迟，单稳态定时误差将随着导通时间的缩短而增加；对于较高频率近似为±12.5%，对于较低频率近似为±10%。这相当于降低了较高频率时的开关频率精度(表4)。开关频率会随着负载电流而增加，这是因为随着电流的增大，低侧MOSFET上的压降增大，致使电感电流更快地释放。*Electrical Characteristics*表中保证的导通时间还受外部高侧功率MOSFET开关延迟的影响。

影响开关频率精确度的两个外部因素是两个传导环路中的阻性压降(包括电感和印刷电路的电阻)和死时间效应。

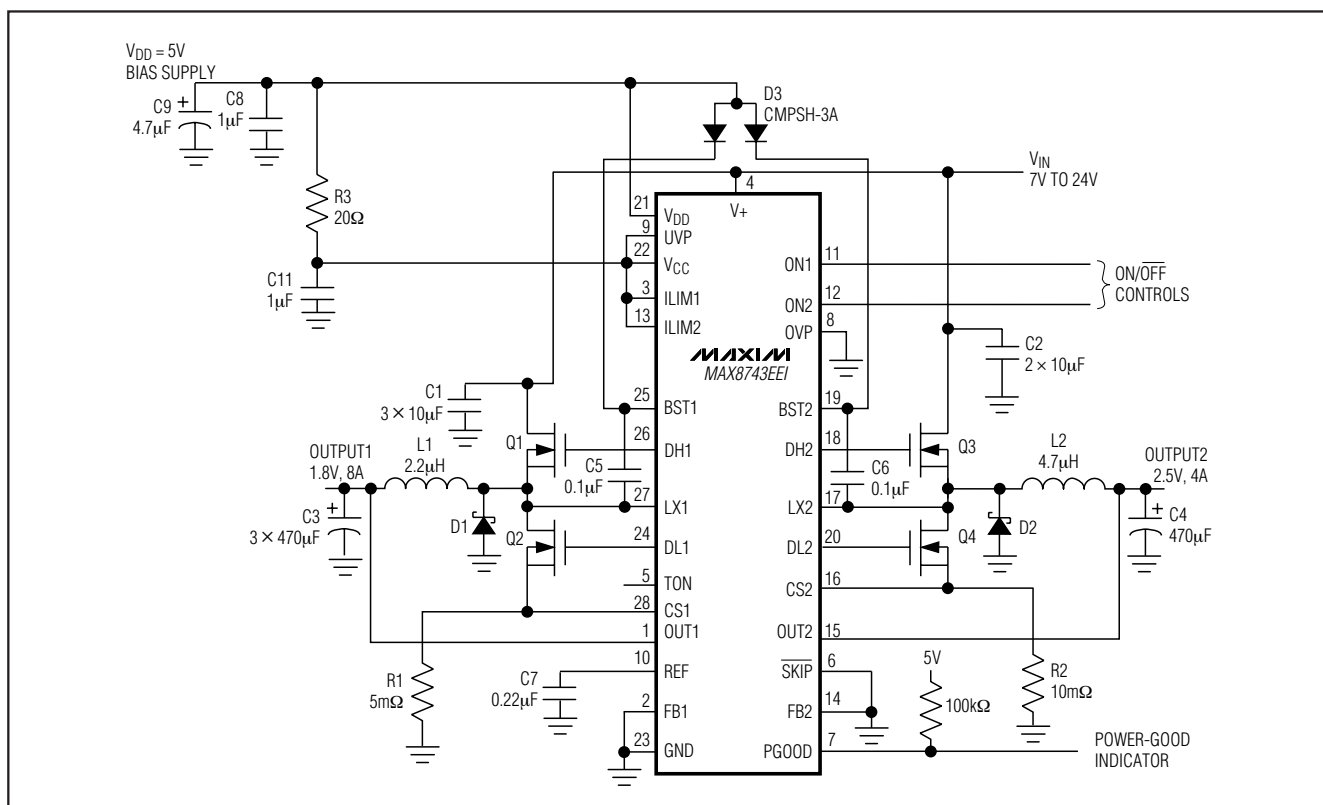


图1. 标准应用电路

双路、高效率、降压型控制器， 关断状态下提供高阻

表1. 标准应用中的元件选择

COMPONENT	SIDE 1: 1.8V AT 8A/ SIDE 2: 2.5V AT 4A
Input Range	4.5V to 28V
Q1 High-Side MOSFET	Fairchild Semiconductor FDS6612A
Q2 Low-Side MOSFET	Fairchild Semiconductor FDS6670A
Q3, Q4 High/Low-Side MOSFETs	Fairchild Semiconductor FDS6982A
D1, D2 Rectifier	Nihon EP10QY03
D3 Rectifier	Central Semiconductor CMPSH-3A
L1 Inductor	2.2μH Panasonic ETQP6F2R2SFA or Sumida CDRH127-2R4
L2 Inductor	4.7μH Sumida CDRH124-4R7MC
C1 (3), C2 (2) Input Capacitor	10μF, 25V Taiyo Yuden TMK432BJ106KM or TDK C4532X5R1E106M
C3 (3), C4 Output Capacitor	470μF, 6V Kemet T510X477M006AS or Sanyo 6TPB330M
R _{SENSE1}	5mΩ, ±1%, 1W IRC LR2512-01-R005-F or Dale WSL-2512-R005F
R _{SENSE2}	10mΩ, ±1%, 0.5W IRC LR2010-01-R010-F or Dale WSL-2010-R010F

这些影响是随负载电流变化而改变频率的最主要因素。死时间效应延长了有效导通时间，降低了开关频率。这种效应只发生在PWM模式($\overline{\text{SKIP}} = \text{高}$)，当电感电流在轻载或负负载电流时发生反转的时候。随着电感电流的反转，电感的感生电动势使LX电压比通常情况提前变高，将导通时间延长了一个由低到高转换的死时间。

表2. 元件供应商

MANUFACTURER	WEBSITE
Central Semiconductor	www.centalsemi.com
Fairchild Semiconductor	www.fairchildsemi.com
International Rectifier	www.irf.com
IRC	www.ircctt.com
Kemet	www.kemet.com
NIEC (Nihon)	www.niec.co.jp
Panasonic	www.panasonic.com
Sanyo	www.sanyo.com/components
Sumida	www.sumida.com
Taiyo Yuden	www.t-yuden.com
TDK	www.component.tdk.com
Vishay/Dale	www.vishay.com

对于高于临界切换点的负载，实际的开关频率为：

$$f = \frac{V_{\text{OUT}} + V_{\text{DROP1}}}{t_{\text{ON}}(V_{\text{IN}} + V_{\text{DROP2}})}$$

其中， V_{DROP1} 为电感放电通道中的寄生压降总和，包括同步整流器、电感和PCB电阻； V_{DROP2} 为充电通道中的电阻压降总和； t_{ON} 为由MAX8743计算出的导通时间。

跳脉冲模式的自动切换

如果选择跳脉冲模式($\overline{\text{SKIP}} = \text{GND}$)，轻载时将发生脉冲频率调制模式(PFM)的自动切换。这种切换受一只比较器的控制，该比较器在电感电流过零时终止低侧开关的导通时间。这种机制导致跳脉冲的PFM和非跳脉冲的PWM两种工作模式间的分界点，与连续和非连续两种电感工作模式(也称为临界切换点)间的分界点相重合。对于7V至24V的电池电压范围，这个分界点相对稳定，仅受电池电压的轻微影响：

$$I_{\text{LOAD(SKIP)}} \approx \frac{K \times V_{\text{OUT}}}{2L} \left(\frac{V_{\text{IN}} - V_{\text{OUT}}}{V_{\text{IN}}} \right)$$

其中，K为导通时间比例因子(表4)。PFM/PWM转折点的负载电流， $I_{\text{LOAD(SKIP)}}$ ，等于峰峰值纹波电流的1/2，是

双路、高效率、降压型控制器， 关断状态下提供高阻

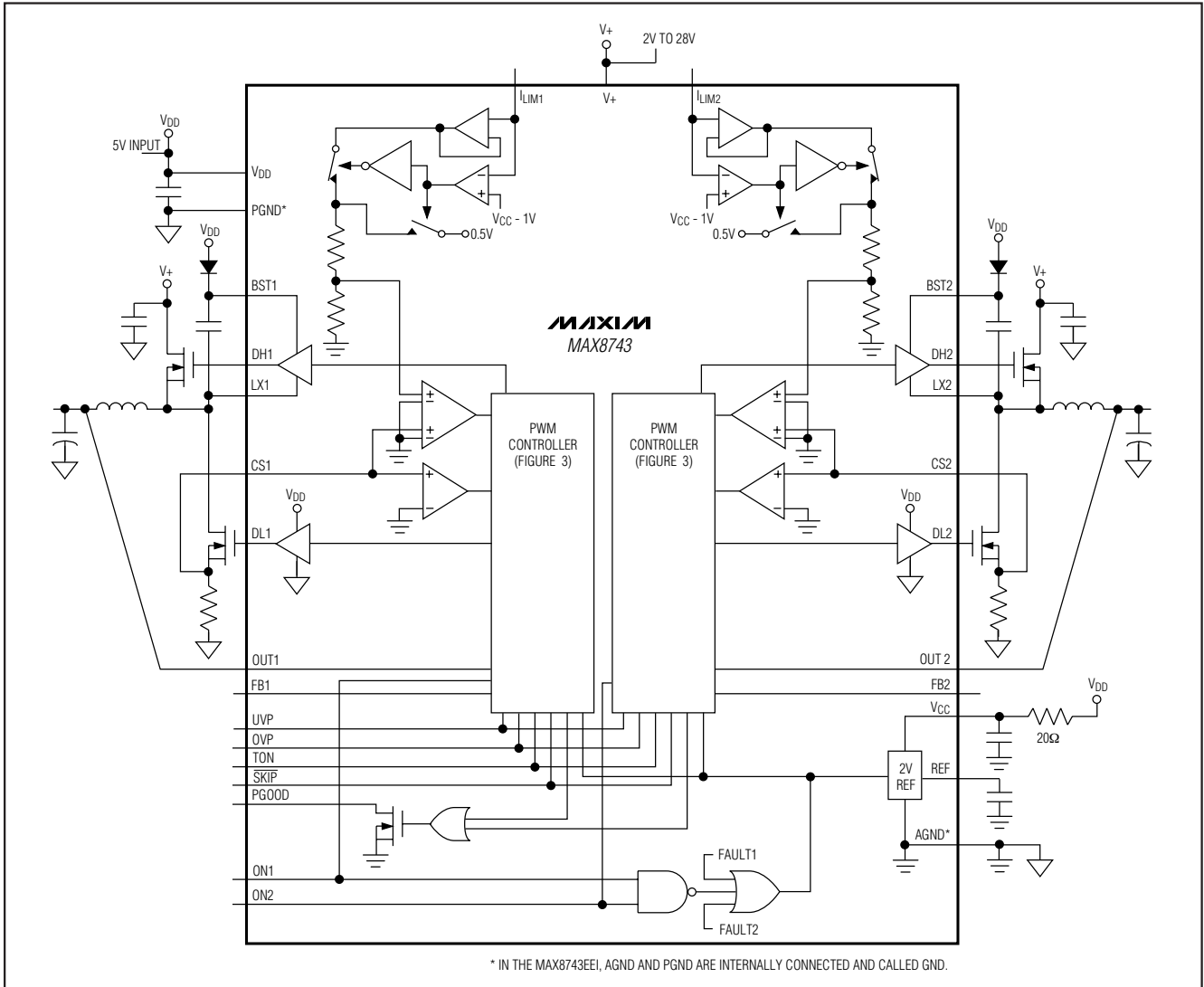


图2. 功能框图

电感值的函数(图4)。例如，在 $V_{OUT1} = 2.5V$ ， $V_{IN} = 15V$ 和 $K = 2.96\mu s$ 的标准应用电路(表4)中， $I_{LOAD} = 0.7A$ 或约为1/6满载时切换到跳脉冲模式。如果采用“摆动”(软饱和和)电感，转折点还要更低一些。

当轻载导致跳脉冲工作模式时，开关波形中可能会出现杂波和异步，但是这是获得高轻载效率的正常工作情况。通过改变电感值，可在PFM噪声与轻载效率间取得平衡。通常，低电感值可得到更宽的效率—负载电流曲

线，而更高的电感值会得到更高的满载效率(假定线圈电阻保持不变)和更小的输出电压纹波。使用更高值的电感会增大板面尺寸，降低负载瞬态响应(尤其是在低输入电压时)。

DC输出精度与误差比较器的门限有关。当电感连续工作时，输出电压的直流调整点高出触发电平50%的纹波。而断续工作模式中($\overline{SKIP} = GND$ ，轻载)，由于斜坡补偿的缘故，输出电压调整点比触发电平高出约1.5%。

双路、高效率、降压型控制器， 关断状态下提供高阻

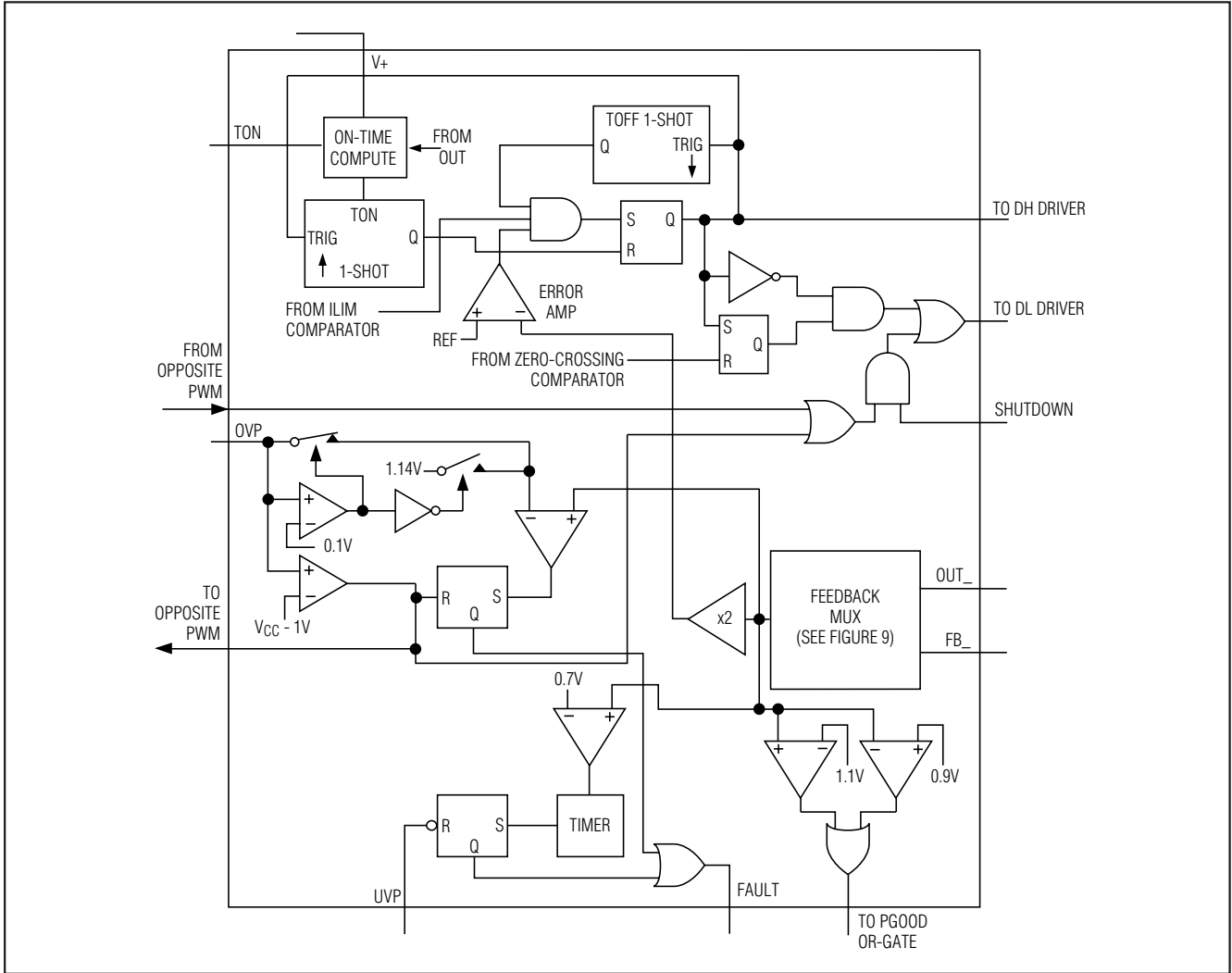


图3. PWM 控制器(仅单侧)

强制PWM模式($\overline{SKIP}$ = 高)

低噪声、强制PWM模式($\overline{SKIP}$ = 高)禁止控制低侧开关导通时间的过零比较器。使得低侧栅极驱动波形完全互补于高侧栅极驱动波形。这就造成电感电流在轻载时反转，因为PWM环路要保持占空比为 V_{OUT}/V_{IN} 。强制PWM模式的优点是保持开关频率相当稳定，但代价为：空载电池电流会达到10mA至40mA，取决于外部MOSFET。

强制PWM模式极其有用，适合于降低音频噪声，改善负载瞬态响应，为动态输出电压调节提供吸收电流的能力，并且在基于反激变压器或耦合线圈的多输出应用中，可改善交叉调整特性。

限流电路(ILIM_)

限流电路使用独特的“谷”电流检测方案。如果CS_处的电流检测信号幅度高于限流门限，则PWM不能启动一个新周期(图5)。实际峰值电流超出限流门限的值为电感纹

双路、高效率、降压型控制器， 关断状态下提供高阻

表3. 工作模式真值表

ON1	ON2	SKIP	DL1/DL2	MODE	COMMENTS
GND	GND	X	Low/Low	Shutdown	Low-power shutdown state. $I_{CC} < 1\mu A$ (typ).
V _{CC}	GND	V _{CC}	Switching/Low	Run (PWM), Low Noise, Side 1 Only	Low-noise, fixed-frequency PWM at all load conditions. Low noise, high I _Q .
GND	V _{CC}	V _{CC}	Low/Switching	Run (PWM), Low Noise, Side 2 Only	
V _{CC}	V _{CC}	V _{CC}	Switching/Switching	Run (PWM), Low Noise, Both Sides Active	
V _{CC}	GND	GND	Switching/Low	Run (PWM/PFM), Skip Mode, Side 1 Only	Normal operation with automatic PWM/PFM switchover for pulse skipping at light loads. Best light-load efficiency.
GND	V _{CC}	GND	Low/Switching	Run (PWM/PFM), Skip Mode, Side 2 Only	
V _{CC}	V _{CC}	GND	Switching/Switching	Run (PWM/PFM), Skip Mode, Both Sides Active	
V _{CC}	V _{CC}	X	Low/Low	UV Fault (Either Side), Thermal Fault, or V _{CC} Below UVLO	Fault latch has been set by undervoltage protection circuit, thermal shutdown, or V _{CC} below UVLO. The MAX8743 remains in fault mode until V _{CC} power is cycled below POR or ON1/ON2 is toggled.
V _{CC}	V _{CC}	X	High/High	OV Fault (Either Side)	Fault latch has been set by overvoltage protection circuit. The MAX8743 remains in fault mode until V _{CC} power is cycled below the 2V (typ) POR level.

波电流值。因此，实际限流特性和最大负载能力由检测电阻、电感值和电池电压来决定。

还有一种负极性电流门限，可防止V_{OUT}吸收电流时出现过多的反相电感电流。将负极电流门限设定为正极电流门限的近120%，因此，当调节I_{LIM}时，它可跟踪正极电流限制。

利用内部5 μA 电流源和I_{LIM}处外部电阻来调节限流门限。限流门限调节范围是25mV至250mV。在调节模式中，限流门限电压正好为I_{LIM}引脚电压的1/10。当I_{LIM}接至V_{CC}时，门限默认为50mV。切换到50mV默认值的逻辑门限接近于V_{CC} - 1V。

请仔细参考PCB布局指导，以确保噪声和DC误差不会影响CS₋引脚和GND之间的电流检测信号。将IC靠近低侧MOSFET和检流电阻放置，并用短且直的连线将它们连接，检测电阻采用Kelvin检测连接方式。如图1所示，两个肖特基二极管(D1和D2)分别提供了一个与Q2/R_{SENSE}

和Q4/R_{SENSE}电流通道并联的电流通道。因此要实现精确的电流检测，就要求D1/D2在Q2/Q4导通时关闭。应避免大的电流感应电压，以免它与Q2/Q4上的压降串联后使D1/D2导通。如果感应电压很大，可将D1/D2仅与Q2/Q4并联。

MOSFET栅极驱动器(DH_和DL_)

DH和DL驱动器被优化为驱动中等尺寸的高侧功率MOSFET和较大的低侧功率MOSFET。这与笔记本CPU环境中的低占空比相一致，这里存在很大的V_{BATT} - V_{OUT}差。一种自适应的死时间电路监视DL端输出，并阻止高侧FET在DL完全截止前导通。DL驱动器到MOSFET栅极间必须有一个低阻抗、低感值通道，以便自适应死时间电路正常工作。不然的话，MAX8743内的检测电路可能会错判MOSFET栅极为“截止”，而实际上栅极仍然残留电荷。采用非常短且宽的线条(如果MOSFET距离MAX8743一英寸远，线宽在50到100mil)。

双路、高效率、降压型控制器， 关断状态下提供高阻

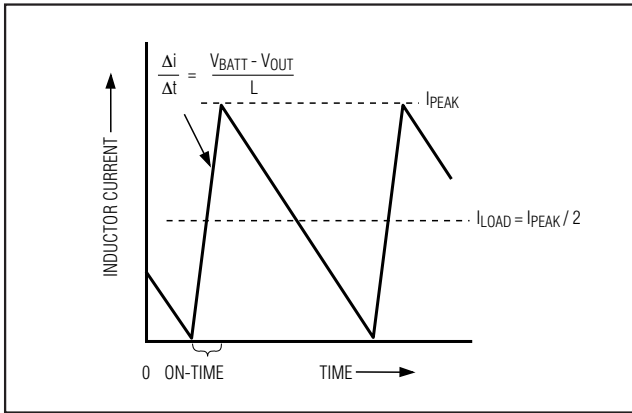


图4. 跳脉冲/断续模式转折点

另一个边沿(DH截止)处的死时间由内部固定的35ns(典型值)延迟电路来确定。

将DL引脚拉低的内部下拉晶体管的下拉能力很强，具有 0.5Ω 典型导通电阻。这有助于在电感节点快速上升期间，防止DL引脚由于低侧同步MOSFET的漏极到栅极有电容耦合而被拉高。但是，在大电流应用中，一些高侧和低侧FET的组合可能会遇到栅极-漏极的过度耦合情况，它会导致造成低效率和EMI的元凶——穿透电流。通常可以在BST引脚处串联一只电阻来弥补该缺陷，它可以增加高侧FET的导通时间，但不会降低关闭时间(图6)。

POR、UVLO和软启动

当 V_{CC} 电压上升至约2V以上时，形成上电复位(POR)，复位故障锁定，准备PWM工作。当低于4.05V(最小值)时， V_{CC} 欠压锁定(UVLO)电路保持DH引脚和DL引脚电压为低，从而禁止开关。

在启动期间，软启动使内部限流电平逐渐递增，以降低输入浪涌电流。当ON1或ON2变高时，其对应的数字软启动计时器开始分五个台阶逐渐提升最大允许的电流

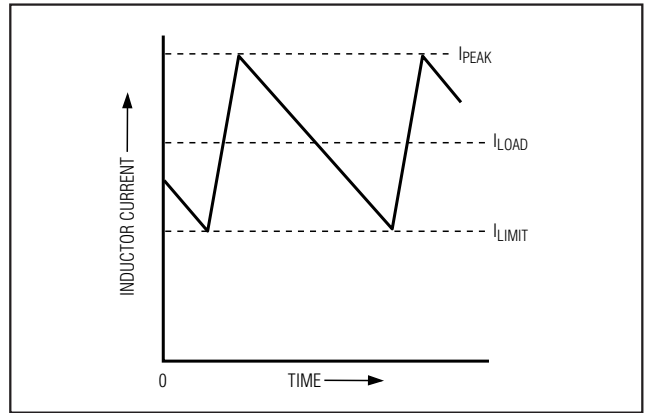


图5. “谷”限流门限点

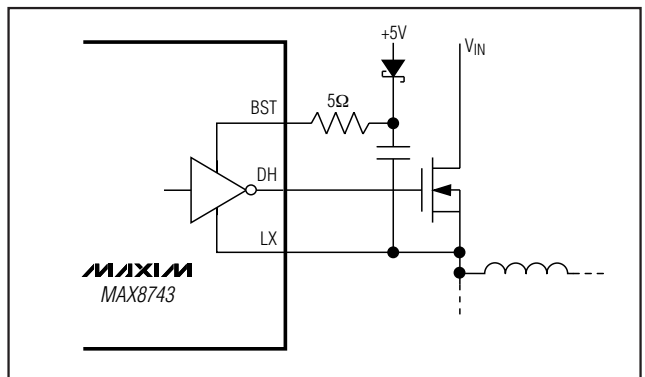


图6. 缩短开关节点的上升时间

限。在第一个阶段，控制器限流门限仅为全电流门限的20%。每隔425μs，电流门限以20%递增。经过1.7ms $\pm 50\%$ 后，电流门限达到100%。

与ILIM引脚的外部分压电阻并联一只电容，即可实现连续可调的模拟软启动功能。这种软启动方式需要在掉电和上电之间对电容放电的最短时间间隔。

双路、高效率、降压型控制器， 关断状态下提供高阻

电源就绪输出(PGOOD)

PGOOD 窗比较器持续监视输出电压的过压和欠压故障。在关断、待机和软启动阶段中，PGOOD 被主动拉低。数字软启动结束后，当输出电压处于误差比较器门限的 10% 以内时，PGOOD 被释放。PGOOD 输出为真正的开漏极类型，不含寄生 ESD 二极管。请注意，PGOOD 窗监视器与输出过压和欠压保护(UVP)门限无关。

输出过压保护

输出电压上具有连续的过压故障监视。当过压保护使能时，若输出电压大于过压门限，则过压保护电路被触发，DL 低侧栅极驱动器被强制拉高。这样就开通了低侧 MOSFET 开关，迅速对输出电容放电，降低输出电压。

请注意，当 LC 电路已预存了能量时，将 DL 引脚锁定为高，会使输出电压轻微地下冲到负端。如果负极不能承受这个负压，请在输出上并联一只肖特基二极管，作为反极性箝位电路。

将 OVP 接至 GND，选择默认触发电平为额定输出电压的 114%。为调节过压保护触发电平，请对 OVP 引脚施加 1V (100%) 至 1.8V (180%) 的电压。将 OVP 接至 V_{CC}，则禁止过压保护电路。

过压触发电平取决于内部或外部输出电压反馈分压器，并受限于输出电压调节范围(1V 至 5.5V)和 OUT₋ 引脚的最大极限。不推荐超出输出电压调节范围来设置过压门限。

输出欠压保护

输出电压上具有连续的欠压故障监视。当欠压保护使能时(UVP = V_{CC})，若输出电压低于误差比较器触发电平的 70%，则触发欠压保护电路。如果设定了欠压保护门限，则 DL 低侧栅极驱动器被强制拉低，输出浮空。将 UVP 接至 GND 则禁止欠压保护功能。

如果有源驱动 UVP，请注意它的非标逻辑电平(参见 *Electrical Characteristics*)。

设计步骤

选定开关频率和电感工作点(纹波电流比)前，首先要落实输入电压范围和最大负载电流。初步设计的考虑在于选择适宜的开关频率和电感工作点，其余的设计由以下四个因素来指导：

- 1) **输入电压范围。**电压最大值(V_{IN(MAX)})必须承受最坏情况下的高 AC 适配器电压。电压最小值(V_{IN(MIN)})必须是经过连接器、保险丝和电池选择开关的压降后的最低电池电压。输入电压较低时效率更高。
- 2) **最大负载电流。**需要考虑两个值。**峰值负载电流**(I_{LOAD(MAX)})决定元件的瞬态额定值和滤波要求，并因此决定了输出电容的选择，电感饱和额定值以及限流电路的设计。**连续负载电流**(I_{LOAD})决定热应力，因此决定了输入电容的选择、MOSFET 和其他关键热耗器件的规格。
- 3) **开关频率。**该项选择确定了尺寸与效率之间的基本平衡关系。MOSFET 开关损耗正比于频率和 V_{IN}²，所以最佳频率在很大程度上与最大输入电压有关。
- 4) **电感工作点。**该项选择可提供尺寸与效率之间的平衡。电感值小使纹波电流变大，尺寸小，但效率变低，输出噪声变高。最小实际电感值是一个使电路工作在临界传导边沿处(这里，在最大负载下，每个周期的电感电流正好为零)的值。电感值比该值低，不会有助于进一步缩小尺寸。

MAX8743 的跳脉冲方案在临界传导点处启动跳脉冲模式。因此，电感工作点也确定了 PFM/PWM 切换处的负载电流值。最佳工作点一般在 20% 至 50% 间的纹波电流。

双路、高效率、降压型控制器， 关断状态下提供高阻

电感选择

开关频率(导通时间)和工作点(%纹波或LIR)确定的电感值如下：

$$L = \frac{V_{OUT} (V_{IN} - V_{OUT})}{V_{IN} \times f \times LIR \times I_{LOAD(MAX)}}$$

例如： $I_{LOAD(MAX)} = 8A$ 、 $V_{IN} = 15V$ 、 $V_{OUT} = 1.8V$ 、 $f = 300kHz$ 、25%纹波电流或 $LIR = 0.25$ ：

$$L = \frac{1.8V (15V - 1.8V)}{15V \times 345kHz \times 0.25 \times 8A} = 2.3\mu H$$

选择一只低耗电感，具有适合于给定尺寸的尽可能最低的DC阻抗。虽然铁粉磁芯便宜，而且能在200kHz下很好地工作，但铁氧体磁芯一般是最好的选择。磁芯必须足够大，在峰值电感电流(I_{PEAK})处不出现饱和：

$$I_{PEAK} = I_{LOAD(MAX)} + [(LIR / 2) \times I_{LOAD(MAX)}]$$

瞬态响应

电感纹波电流也会影响瞬态响应性能，尤其是在 V_{IN} - V_{OUT} 差值很小时。电感值小使得电感电流摆动更快，在负载突然加重时迅速补充输出滤波电容上流失的电荷。输出下降量也是最大占空比的函数，最大占空比取决于导通时间和最短截止时间：

$$V_{SAG} = \frac{(\Delta I_{LOAD(MAX)})^2 \times L}{2 \times C_F \times DUTY (V_{IN(MIN)} - V_{OUT})}$$

其中：

$$DUTY = \frac{K (V_{OUT} + 0.075V) V_{IN}}{K (V_{OUT} + 0.075V) V_{OUT} + \text{最短截止时间}}$$

其中，最短截止时间 = 400ns 典型值(表4)。

电感储能使满载到无载跳变时出现的过冲量可计算如下：

$$V_{SOAR} = L \times I_{PEAK}^2 / (2 \times C_{OUT} \times V_{OUT})$$

其中， I_{PEAK} 为峰值电感电流。

确定电流限

在大多数应用中，按照以下步骤来设定MAX8743的电流限：

- 1) 在低 V_{IN} 值、高 V_{OUT} 值和最大负载电流的情况下，确定最小(谷)电感电流($I_{L(MIN)}$)。最小电感电流为 I_{LOAD} 减去一半的纹波电流(图4)。
- 2) 检测电阻确定可实现的限流精度。要权衡限流精度和检测电阻功耗。大多数应用中采用50mV至100mV的电流检测电压。选择如下的检测电阻：

$$R_{SENSE} = \text{限流阈值电压} / I_{L(MIN)}$$

在对成本极度敏感而不要求高精度电流检测的应用中，将 CS_{-} 接至 LX_{-} 就能利用低侧MOSFET开关的导通电阻取代检测电阻(图7a)。采用MOSFET数据资料中 $R_{DS(ON)}$ 的最差值，并且针对 $R_{DS(ON)}$ 的温升增添0.5%/°C的余量。利用前面步骤1计算出的 $R_{DS(ON)}$ 和 $I_{L(MIN)}$ 来确定限流门限电压。若不能采用50mV默认门限，则按前面步骤2来设定门限。

在所有情况下，确保电流门限合理，并考虑电流检测和电阻精确度。

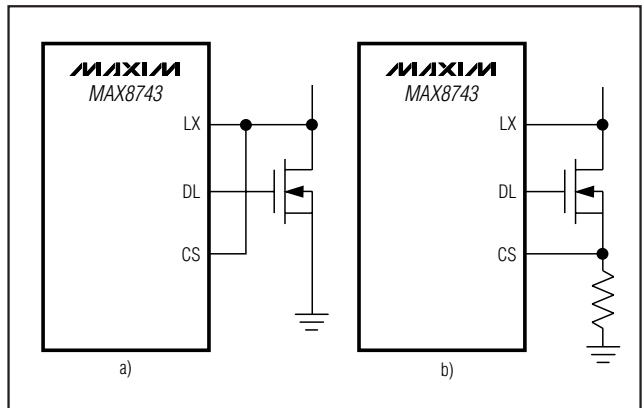


图7. 电流检测配置

双路、高效率、降压型控制器， 关断状态下提供高阻

表 4. 频率选择指南

TON SETTING	SIDE 1 FREQUENCY (kHz)	SIDE 1 K-FACTOR (μs)	SIDE 2 FREQUENCY (kHz)	SIDE 2 K-FACTOR (μs)	APPROXIMATE K-FACTOR ERROR (%)
V _{CC}	235	4.24	170	5.81	±10
FLOAT	345	2.96	255	4.03	±10
REF	485	2.08	355	2.81	±12.5
AGND	620	1.63	460	2.18	±12.5

输出电容选择

输出滤波电容的ESR必须低到足够达到输出纹波和负载瞬变的要求，还要高到足以满足稳定性要求。同样，电容值必须高到足以吸收从满载到无载情况下来传来的电感能量，同时又不触发OVP电路。

在CPU核电压转换器和其他输出会面对剧烈的负载瞬变的应用中，输出电容的尺寸取决于需要多少ESR，才能防止输出在负载瞬态情况下变得太低。忽略因有限的容值而引起的电压下跌：

$$R_{ESR} \leq \frac{V_{DIP}}{I_{LOAD(MAX)}}$$

在非CPU应用中，输出电容的尺寸取决于需要多少ESR，才能保持合理的输出电压纹波水平：

$$R_{ESR} \leq \frac{V_{P-P}}{LIR \times I_{LOAD(MAX)}}$$

实际要求的微法电容值与实现低ESR而需要的板面尺寸有关，也与电容化学工艺有关。因此，通常由ESR和电压额定值而不是由电容值来选定电容(这对于钽、OS-CON[®]和其他电解材料来说是正确的)。

使用诸如陶瓷或聚合物类型的低容值滤波电容时，电容器尺寸通常取决于负载瞬变期间对于V_{SAG}和V_{SOAR}的要求。同样，电容值必须足够大，以防电感储能造成输出电压超过过压保护门限。通常，一旦容值大到足够满足过冲要求，则负载上升沿处的下冲也不会成问题(请参见瞬态响应部分中的V_{SAG}和V_{SOAR}方程)。

输出电容稳定性考虑

稳定性由ESR零点相对于开关频率的位置确定。根据以下公式来计算不稳定性临界点：

$$f_{ESR} \leq \frac{f_{SW}}{\pi}$$

其中：

$$f_{ESR} = \frac{1}{2 \times \pi \times R_{ESR} \times C_F}$$

在300kHz的典型应用中，ESR零点频率必须远低于95kHz，最好是低于50kHz。在本资料发布时已广泛使用的钽电容和OS-CON电容具有15kHz的典型ESR零点频率。在用于电感选择的设计范例中，要求支持20mV_{P-P}纹波的ESR为20mV/2A = 10mΩ。将三只470μF/6V Kemet T510低ESR钽电容并联，可提供10mΩ (最大值) ESR。其典型的等效ESR在11.3kHz处产生一个零点，远在稳定性边界内部。

在不采取确保稳定性的预防措施情况下，请不要将高容值陶瓷电容与输出通道直接并联。高容值陶瓷电容具有高ESR零点频率，并能引起奇怪而不稳定的操作。然而，可很方便地增添足够的串联电阻，即将电容放置在距电感后端几英寸处的线路上，并靠近电感连接OUT_或FB_分压器。

不稳定工作表现为两种相关但截然不同的形式：双脉冲和反馈环路不稳定。

双路、高效率、降压型控制器， 关断状态下提供高阻

双脉冲的发生是由于输出上的噪声，或由于ESR太低而使输出电压信号中的电压上升斜率不够快。这就“蒙蔽”了误差比较器，使之在400ns的最短截止时间结束后立即触发一个新的周期。双脉冲十分恼人但无害，最糟糕的是使输出纹波增大。可是，这或许说明可能存在由低ESR引起的环路不稳定性。

不稳定的环路在发生电源电压或负载扰动后会在输出上产生振荡，并触发过压保护锁存器或致使输出电压下落到容限以下。

检查稳定性的最简单方法是采用一种极其快速的零值-到-最大值的负载瞬态(请参考MAX8743评估板资料)，并仔细观察关于过冲和阻尼振荡的输出-电压-纹波包络。同时利用一个AC电流探针监视电感电流会更有帮助。最初阶跃响应之后的下冲或过冲后的振荡不要超过一个周期。

输入电容选择

输入电容必须满足开关电流产生的纹波电流限制(I_{RMS})。鉴于非钽化学类型(陶瓷、铝或OS-CON)的电容对上电的浪涌电流具有抑制性，可优先考虑这类电容：

$$I_{RMS} = I_{LOAD} \left(\frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}} \right)$$

功率MOSFET选择

以下MOSFET指南主要关注在使用高压(>20V) AC适配器时，获取高负载电流能力(>5A)的难点上。一般对低电流应用的关注比较少。

为获得最高的效率，选定一只高侧MOSFET(Q1)，其传导损耗与最佳电池电压(15V)处的开关损耗相等。确保最小输入电压处的传导损耗不超过封装的热极限，或不突破总体热预算。确保最大输入电压处的传导损耗与开关损耗之和不超过封装额定值或不突破总体热预算。

选择低侧MOSFET(Q2)， $R_{DS(ON)}$ 尽可能最低，采用中等至小型封装(如SO-8)，而且价格合理。确保MAX8743 DL栅极驱动器能驱动Q2；换句话说，应确保高侧开关的导通不会因寄生漏极-栅极电容而把栅极拉高，引起交叉传导问题。开关损耗并非低侧MOSFET的难题，这是因

为该器件在降压拓扑结构中使用时为一种零电压开关的器件。

MOSFET功耗

最差情况下的开关损耗发生在极端占空比情况下。对于高侧MOSFET，由最小电池电压处的电阻引起的最大功耗(PD)为：

$$PD(Q1 \text{ 电阻}) = \left(\frac{V_{OUT}}{V_{IN(MIN)}} \right) I_{LOAD}^2 \times R_{DS(ON)}$$

通常，希望采用一只小的高侧MOSFET来降低高输入电压处的开关损耗。但是，要求保持在封装功耗界限之内的 $R_{DS(ON)}$ 时常限制MOSFET的小尺寸。此外，开关(AC)损耗等于导通($R_{DS(ON)}$)损耗时可得到最佳情况。一般高侧开关损耗不会成为难点，输入电压可以大于15V。

当使用最大AC适配器电压时，由于 CV^2f 开关损耗方程中的平方项，使高侧MOSFET内的开关损耗变成一个隐蔽的热问题。选定的高侧MOSFET使低电池电压处有足够的 $R_{DS(ON)}$ ，受 $V_{IN(MAX)}$ 影响时，若其温度变的异常高，则重新考虑选择MOSFET。

由于必须考虑影响导通和截止时间的、量化困难的因素，很难计算由开关损耗引起的Q1的功耗。这些因素包括内部栅极电阻值、栅极电荷、门限电压、源极电感和PCB布局特性。下面的开关损耗计算只提供了非常粗略的估值，不能取代实验评估，最好利用贴在Q1上的热电偶对热性能进行验证：

$$PD(Q1 \text{ 开关}) = \frac{C_{RSS} \times V_{IN(MAX)}^2 \times f \times I_{LOAD}}{I_{GATE}}$$

其中， C_{RSS} 为Q1的反向传输电容， I_{GATE} 为峰值栅极驱动激励/吸收电流(典型值为1A)。

低侧MOSFET，Q2，的最大功耗总是出现在最大电池电压处：

$$PD(Q2) = \left[1 - \frac{V_{OUT}}{V_{IN(MAX)}} \right] I_{LOAD}^2 \times R_{DS(ON)}$$

双路、高效率、降压型控制器， 关断状态下提供高阻

MOSFET功耗的最坏情况发生在严重过载条件下，这时，负载电流比 $I_{LOAD(MAX)}$ 大，但大到不足以超过电流门限。为避免这种情况发生的可能，在电路设计中应留有足够的“设计余量”：

$$I_{LOAD} = I_{LIMIT(HIGH)} + (I_{LR} / 2) \times I_{LOAD(MAX)}$$

其中， $I_{LIMIT(HIGH)}$ 为限流电路允许的最大谷电流，包含门限容差和导通电阻变化量。如果没有过载保护的短路保护已足够，则使能过压保护，并利用 $I_{LOAD(MAX)}$ 来计算器件应力。

选择一只肖特基二极管(D1)，其正向电压低到足够防止Q2 MOSFET体二极管在死时间内导通。通常，额定DC电流等于负载电流的1/3的一只二极管已足够了。该二极管是可选的，如果效率不重要，则可去掉它。

应用信息

压差性能

连续传导操作的输出电压调节范围受限于非调节的500ns(最大值)最短截止时间的单稳态电路。为获得最佳压差性能，请使用更缓慢的导通时间设置。在低输入电压下工作时，必须利用导通和截止时间的最差值来计算占空比界限。制造公差和内部传输延迟为TON K因子带来了一个误差。该误差在较高频率处更大(表4)。同样，请记住，降压稳压器工作在压差临界处的瞬态响应性能很差，而且必须增添大输出电容(请参见设计步骤部分中的 V_{SAG} 方程)。

压差的绝对点是发生在最短截止时间(ΔI_{DOWN})内电感电流的下降量，和导通时间(ΔI_{UP})内上升量接近之时。 $h = \Delta I_{UP} / \Delta I_{DOWN}$ 比值代表了电感电流响应增加的负载而提升的能力，应该始终大于1。 h 逼近1(绝对最小压差点)时，电感电流在每个开关周期内增大的能力较差，而且 V_{SAG} 上升很高，除非使用额外的输出电容。

h 的一种合理最小值为1.5，但这可能会被调高或调低，以权衡 V_{SAG} 、输出容抗和最小工作电压之间的关系。对于给定的 h 值，根据以下公式来计算最小工作电压：

$$V_{IN(MIN)} = [(V_{OUT} + V_{DROP1}) / \{1 - (t_{OFF(MIN)} \times h / K)\}] + V_{DROP2} - V_{DROP1}$$

其中， V_{DROP1} 和 V_{DROP2} 是放电和充电通道上的寄生电压压降(请参见导通时间单稳态(TON)部分)， $t_{OFF(MIN)}$ 取自Electrical Characteristics部分，K取自表4。根据 $h = 1$ 来计算绝对最小输入电压。

如果计算出的 $V_{IN(MIN)}$ 大于要求的最小输入电压，则降低工作频率，或提高输出容抗，以得到合理的 V_{SAG} 。若预期会在压差临界处工作，则计算 V_{SAG} ，以便确保适当的瞬态响应。

压差设计范例：

$$V_{OUT} = 1.8V$$

$$f_{SW} = 600kHz$$

$$K = 1.63\mu s, \text{最差情况下, } K = 1.4175\mu s$$

$$t_{OFF(MIN)} = 500ns$$

$$V_{DROP1} = V_{DROP2} = 100mV$$

$$h = 1.5$$

$$V_{IN(MIN)} = (1.8V + 0.1V) / [1 - (0.5\mu s \times 1.5) / 1.4175\mu s] + 0.1V - 0.1V = 3.8V$$

再次根据 $h = 1$ 来计算，得到压差的绝对界限：

$$V_{IN(MIN)} = (1.8V + 0.1V) / [1 - (0.5\mu s \times 1) / 1.4175\mu s] + 0.1V - 0.1V = 2.8V$$

因此， V_{IN} 必须大于2.8V，即使输出容抗非常大，并且具有合理的输出容抗的实际输入电压为3.8V。

固定输出电压

MAX8743双模式工作选择常用电压时无需外部元件(图8)。将FB1接至GND，固定输出1.8V，或者接至 V_{CC} ，输出1.5V，或者直接接至OUT1，固定输出为1V。

将FB2接至GND，固定输出2.5V，或者接至OUT2，固定输出为1V。

双路、高效率、降压型控制器， 关断状态下提供高阻

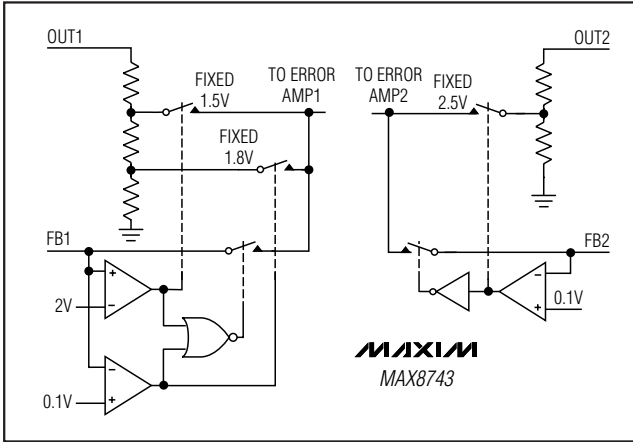


图8. 反馈MUX

利用分压电阻设置 $V_{OUT_}$

利用分压电阻，可从1V到5.5V调节输出电压(图9)。调节输出电压的公式为：

$$V_{OUT_} = V_{FB_} \left(1 + \frac{R1}{R2} \right)$$

其中， $V_{FB_}$ 为1.0V， $R2$ 约为10k Ω 。

PCB布局指南

仔细的PCB布局是实现低开关损耗和干净、稳定工作的关键。这对于双转换器尤其重要，否则的话其中一个通道会影响另外一个通道。开关功率级电路需要特别注意(图10)。有关特定布局范例，请参见MAX1845评估板数据资料。

采用四层板。顶层用于功率器件，底层用于IC和敏感地上的器件。中间两层用作地层，根据需要，互连顶层和底层。如果可能，在板的顶层贴装所有的功率器件，接线端连接相互齐平。

保持很短的大电流通路，尤其是在接地端。这是获得稳定的、无抖动工作的关键准则。短电源线径和负载连线是获得高效率的关键。采用厚铜膜PCB (2oz对1oz)能将满载效率提高1%或更多。正确的PCB布线是一件困难的工作，必须在几分之一厘米的范围内布局，哪怕是一个毫欧的过量引线电阻都会造成显著的效率损失。

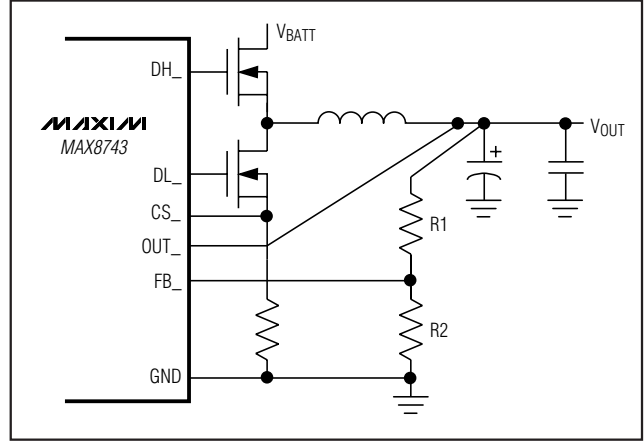
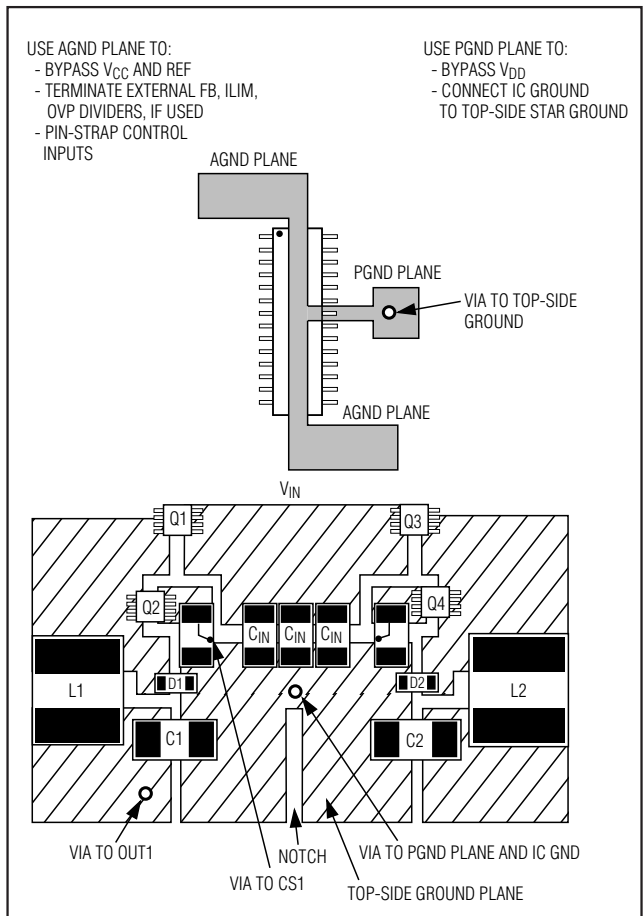
图9. 利用分压电阻来设置 V_{OUT} 

图10. PCB布局范例

双路、高效率、降压型控制器， 关断状态下提供高阻

为使检流误差最小，请靠近顶层星形接地点放置检流电阻(IC地与顶层地平面的连接点)。利用从CS_引脚到检测电阻的Kelvin连接，来消除额外的检流误差。

以下准则依重要程度为序：

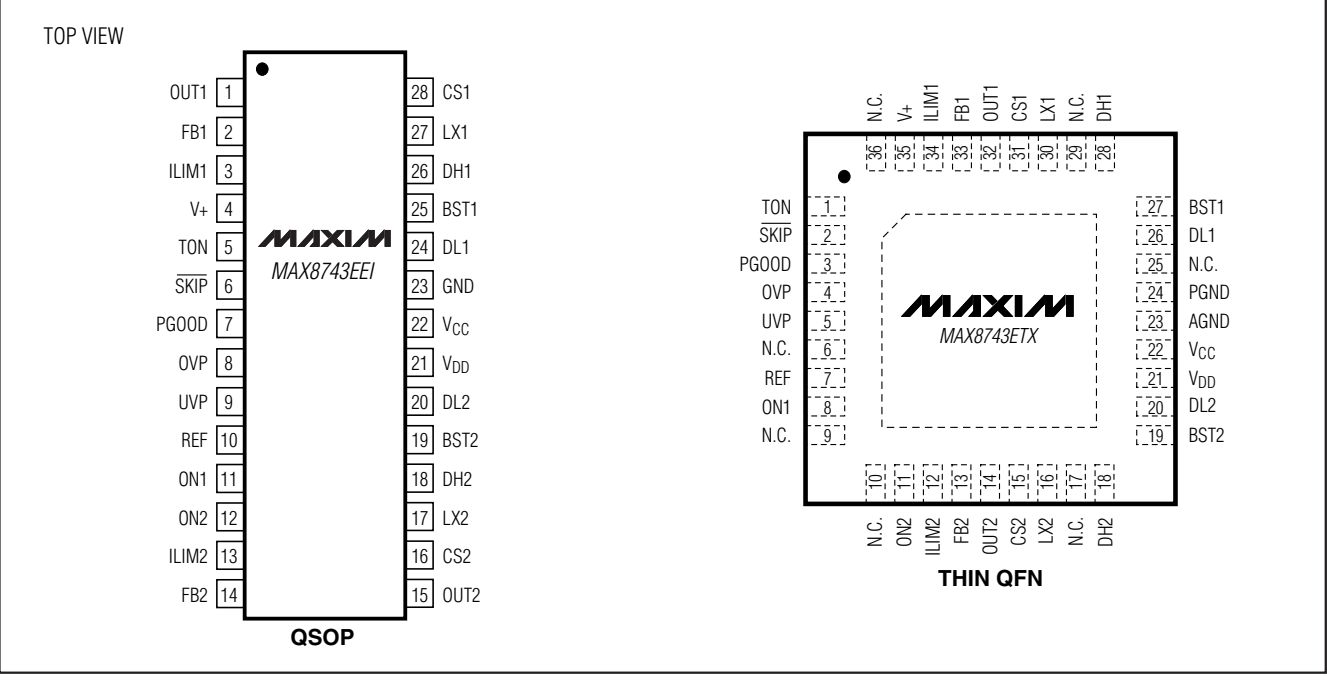
- 检流电阻接地端之间的距离要短，并且靠近IC地引脚的过孔。
- 使低侧通道的电阻最小。低侧通道从低侧FET的接地点开始，经过低侧FET、电感、输出电容，返回到低侧FET的接地点。为使电阻最小，可保持器件相互靠近，线径短而宽。
- 使高侧通道的电阻最小。该通道从 V_{IN} 开始，经过高侧FET、电感、输入电容，返回到输入端。
- 当必须考虑长连线时，最好使电感充电通道比放电通道长。例如，最好使输入电容和高侧MOSFET间的距离拉长，而不是使电感和低侧MOSFET或电感和输出滤波器电容间距离拉长。
- 高速开关节点(BST_、LX_、DH_和DL_)要远离敏感的模拟区域(REF、ILIM_和FB_)。

布局步骤

- 1) 首先放置接地端相邻的功率器件(检测电阻、 C_{IN} 、 C_{OUT} 和D1正极)。如果可能，利用宽广的覆铜区连接顶层上所有的这类器件。
- 2) 靠近同步整流器MOSFET贴装控制器IC，最好放在背面，以使CS_、GND和DL_栅极-驱动线路短而宽。DL_栅极线径必须短而宽，测定的面积为10平方至20平方(如果MOSFET距控制器IC为1英寸，则线宽为50mil至100mil)。
- 3) 将栅极驱动器相关元件(BST_的二极管和电容、 V_{DD} 的旁路电容)靠近控制器IC集中在一起。
- 4) DC-DC控制器接地端的连接如下：靠近IC建立一个小面积的模拟地平面(AGND)。在IC下面将该平面直接接至GND，并用于REF和 V_{CC} 的旁路电容、FB_、OVP和ILIM_的分压器(如果有)的接地。不要将AGND平面接至GND引脚外的任何地。建立另外一个小面积的隔离地(PGND)，并用于尽可能靠近IC放置的 V_{DD} 旁路电容。从IC外面将PGND平面直接接至GND。
- 5) 在板的顶层(电源层)形成星形地，使两侧边间的串扰最小。顶层星形地为输入电容、1部分低侧MOSFET和2部分低侧MOSFET间的一种星形连接。为获得精确的电流门限，在星形地和低侧MOSFET的源极间保持低阻抗。利用一段短而宽的连线(最好是一个过孔)将顶层星形地(用于MOSFET、输入端和输出电容)接至小面积的隔离地PGND。
利用图10所示的一处槽口，将1部分和2部分的开关地电流引入星形地，使两部分间的串扰最小。如果可使用多层(强烈推荐)，则就在顶层下的一层建立隔离PGND1和PGND2(有关范例，请参见MAX1845评估板)，用作EMI隔离带。将这些地分别独立地连接到星形接地过孔，这个过孔连接顶层到PGND平面。在IC下面添加多于一个的实体地平面，用作另外的隔离带，也连接到星形接地过孔。
- 6) 利用多个过孔，将输出电源层直接接至输出滤波电容正极端和负极端。

双路、高效率、降压型控制器，
关断状态下提供高阻

引脚配置



订购信息(续)

PART	TEMP RANGE	PIN-PACKAGE
MAX8743ETX	-40°C to +85°C	36 Thin QFN 6mm x 6mm
MAX8743ETX+	-40°C to +85°C	36 Thin QFN 6mm x 6mm

+ 表示无铅封装。

芯片信息

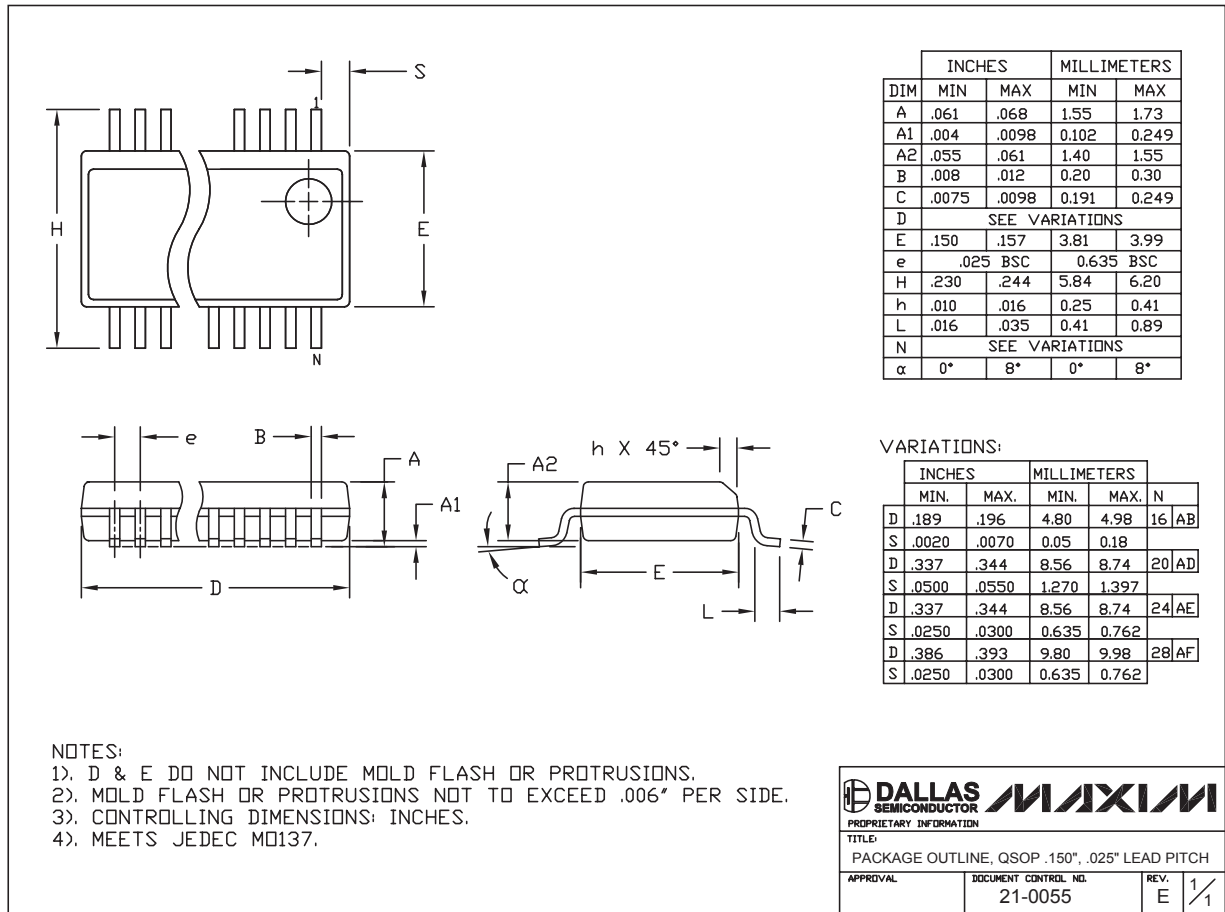
TRANSISTOR COUNT: 4795
PROCESS: BiCMOS

双路、高效率、降压型控制器， 关断状态下提供高阻

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)

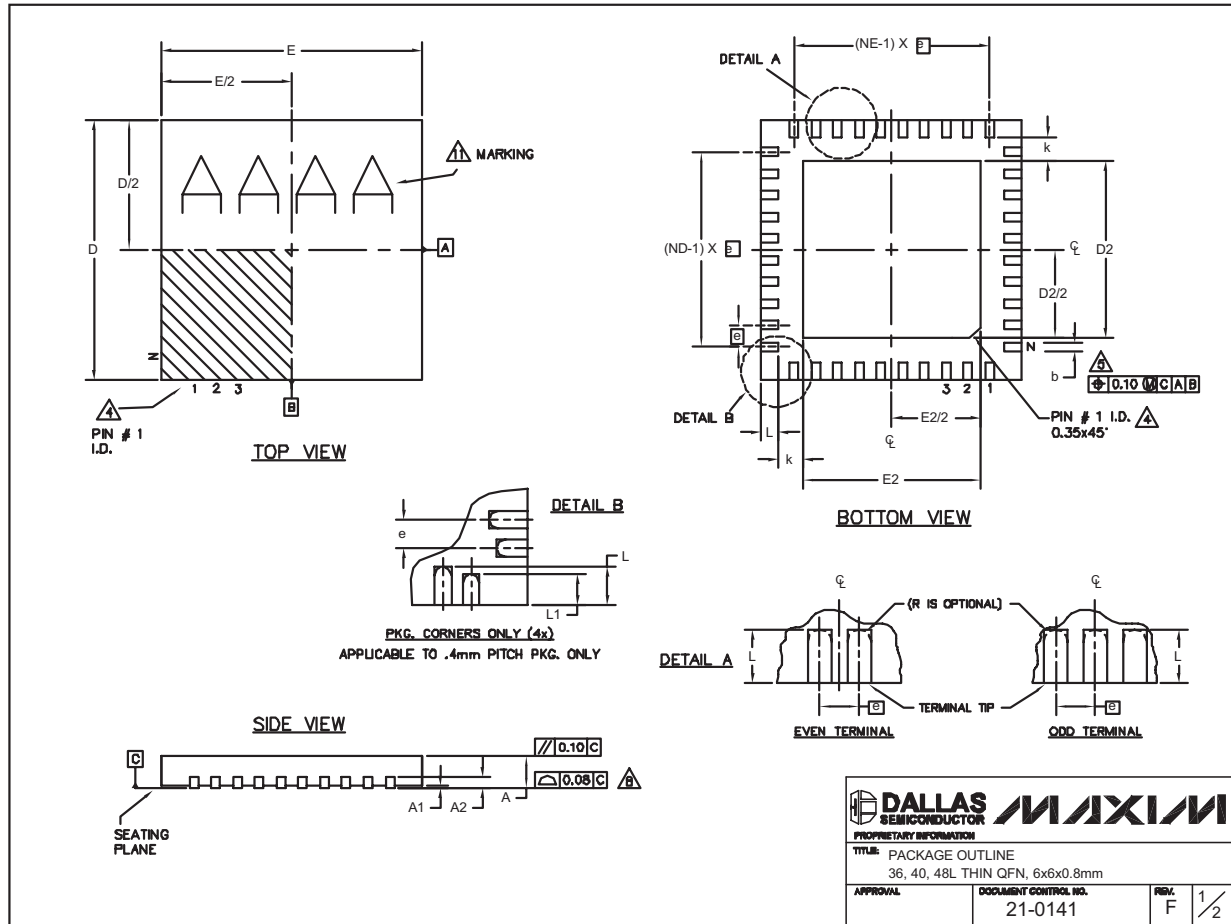
MAX8743



注：MAX8743EEI 不含散热片。

双路、高效率、降压型控制器， 关断状态下提供高阻

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)

QFN THIN:EPS

双路、高效率、降压型控制器， 关断状态下提供高阻

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-integrated.com.cn/packages.)

MAX8743

COMMON DIMENSIONS									
PKG.	36L 6x6			40L 6x6			48L 6x6		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	—	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	—	—	0.25	—	—	0.25	0.35	0.45
L	0.45	0.55	0.65	0.30	0.40	0.50	0.40	0.50	0.60
L1	—	—	—	—	—	—	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			—		

EXPOSED PAD VARIATIONS							DOWN BONDS ALLOWED
PKG. CODES	DZ			EZ			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80	YES
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80	NO
T3666N-1	3.60	3.70	3.80	3.60	3.70	3.80	NO
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4866-1	4.20	4.30	4.40	4.20	4.30	4.40	YES

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.

△ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.

△ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.

6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.

△ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.

10. WARPAGE SHALL NOT EXCEED 0.10 mm.

△ MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

12. NUMBER OF LEADS SHOWN FOR REFERENCE ONLY.

	
PROPRIETARY INFORMATION	
TITLE: PACKAGE OUTLINE 36, 40, 48L THIN QFN, 6x6x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0141
REV. F	2/2

MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 27