

可提供评估板

MAXIM

HDTV连续可调的
抗混叠滤波器

概述

MAX7469/MAX7470三通道、抗混叠滤波器与缓冲器可理想用于高清晰度(HD)和标准清晰度(SD)电视。MAX7469/MAX7470符合1080i、720p、480p和480i扫描系统标准并兼容于计算机信号格式，支持分量视频(Y P_b P_r、G_sBR和RGBHV)及复合视频(CVBS)和S视频(Y/C)。

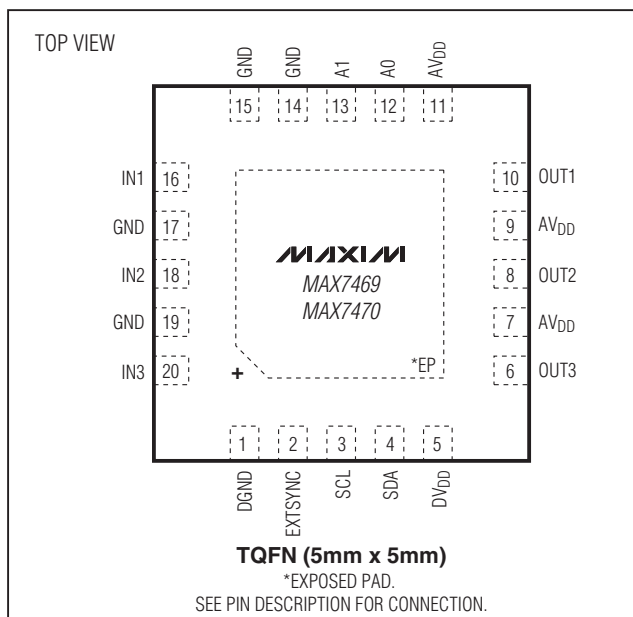
MAX7469/MAX7470在ADC或视频解码器进行数字转换之前对输入带宽加以限制，实现抗混叠滤波，同时减少带外噪声。MAX7469/MAX7470频率响应可以通过I²C接口控制，调节级数为256，所支持的分辨率范围从低于SD到高于HD。

MAX7469/MAX7470输出缓冲器驱动标准的150Ω负载时可提供2V_{P-P}视频信号。输入为交流耦合，输出为直流或交流耦合。MAX7469增益为0dB，MAX7470增益为+6dB。两种器件均采用20引脚TQFN封装，工作在0°C至+85°C扩展商业级温度范围。

应用

HDTV (LCD、PDP、DLP、CRT)
机顶盒
个人录像机
家庭影院

引脚配置



特性

- ◆ 可连续调节抗混叠滤波器
5MHz至34MHz范围内，调节级数256
- ◆ 支持所有标准视频和计算机输入格式
480i、480p、720p、1080i
QVGA、VGA、SVGA、XGA、SXGA、UXGA
Y P_b P_r、G_sBR、RGBHV、Y/C、CVBS
- ◆ 接受任何输入同步格式
Y同步、G同步、外同步(正或负)
所有通道同步
- ◆ 缓冲输出驱动标准的150Ω视频负载
0dB (MAX7469)
+6dB (MAX7470)
- ◆ 直流或交流耦合输出
- ◆ +5V模拟电源、+3.3V数字电源供电
- ◆ 5mW关断模式
- ◆ 20引脚、TQFN无铅封装

订购信息

PART	PIN-PACKAGE	BUFFER GAIN (dB)	PKG CODE
MAX7469UTP+	20 TQFN-EP*	0	T2055-4
MAX7470UTP+**	20 TQFN-EP*	+6	T2055-4

注：所有器件规定工作在0°C至+85°C温度范围。

+表示无铅封装。

*EP = 裸焊盘。

**未来产品——供货信息请与工厂联系。

典型工作电路在数据资料的最后给出。

MAXIM

Maxim Integrated Products 1

本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。

索取免费样品和最新版的数据资料，请访问Maxim的主页：www.maxim-ic.com.cn。

MAX7469/MAX7470

HDTV连续可调的 抗混叠滤波器

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to GND	-0.3V to +6V
DV _{DD} to DGND	-0.3V to +4V
IN ₋ , EXTSYNC to GND	
.....	-0.3V to the lower of (AV _{DD} + 3V) and +6V
OUT ₋ to GND	
.....	-0.3V to the lower of (AV _{DD} + 3V) and +6V
A ₋ to GND	
.....	-0.3V to the lower of (AV _{DD} + 3V) and +6V
SCL, SDA to DGND	-0.3V to +6V

Continuous Power Dissipation (T _A = +70°C)	
20-Pin TQFN (derate 33.3mW/°C above +70°C)	...2666.7mW
Maximum Current into IN ₋ , A ₋ , GND, SCL, SDA, and EXTSYNC	±50mA
Operating Temperature Range	0°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	+150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = +5V ±5%, DV_{DD} = 2.7V to 3.6V, R_{LOAD} = 150Ω to GND, C_{IN} = 0.1μF, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at AV_{DD} = 5V, DV_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Filter Passband Response	A _{PB}	HD: f = 100kHz to 30MHz, relative to 100kHz (Note 1)	-3	-0.6	+1	dB
		SD: f = 100kHz to 5.75MHz, relative to 100kHz (Note 2)		±0.1	±1.0	
Filter Stopband Attenuation	A _{SB}	HD: f = 74MHz (Note 1)	40	57		dB
		SD: f = 27MHz (Note 2)	52	63		
Group Delay Deviation	Δt _G	HD: 100kHz to 30MHz, relative to 100kHz (Note 1)		20		ns
		SD: 100kHz to 5.75MHz, relative to 100kHz (Note 2)		15		
Group Delay Matching	t _{G(MATCH)}	HD: channel to channel, 100kHz to 2MHz, (Note 1)		5		ns
		SD: channel to channel, 100kHz to 500kHz, (Note 2)		1.5		
Bypass Frequency Response		-3dB, bypass mode, independent of filter setting		100		MHz
SD Differential Gain	dG	Five-step modulated staircase (Note 2)		0.25		%
SD Differential Phase	dφ	Five-step modulated staircase (Note 2)		0.25		Degrees
Signal-to-Noise Ratio	SNR	Output signal (2V _{p-p}) to RMS noise (100kHz to 30MHz), f = 30MHz		69		dB
SD Line-Time Distortion	H _{DIST}	Deviations in a line with an 18μs, 100 IRE bar; 1 line = 63.5μs (Note 2)			0.3	%
SD Field-Time Distortion	V _{DIST}	Deviations in 130 lines with 18μs, 100 IRE bars (Note 2)			0.3	%

HDTV连续可调的 抗混叠滤波器

MAX7469/MAX7470

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = +5V ±5%, DVDD = 2.7V to 3.6V, RLOAD = 150Ω to GND, CIN = 0.1μF, TA = 0°C to +85°C, unless otherwise noted. Typical values are at AVDD = 5V, DVDD = 3.3V, TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clamp Settling Time		To 1% with 100 IRE step (Note 4)	Positive	350		H
			Negative	650		
Minimum Functional Input Sync Amplitude			125			mV
Low-Frequency Gain (Note 1)		MAX7469	-0.5	0	+0.5	dB
		MAX7470	5.5	6	6.5	
Low-Frequency Gain Matching		100kHz		0.05		dB
Maximum Output Voltage Amplitude		DC to 30MHz		2.4		V _{P-P}
Maximum Input Voltage Amplitude		MAX7469		2.4		V _{P-P}
		MAX7470		1.2		
Channel-to-Channel Isolation				62		dB
Output Clamping Level Variation		(Notes 1, 4)			±100	mV
Power-Supply Rejection Ratio	PSRR	DC		50		dB
DIGITAL INPUTS (EXTSYNC, A1, A0)						
Input Logic-High Voltage	V _{IH}		2.0			V
Input Logic-Low Voltage	V _{IL}				0.8	V
Input Leakage Current	I _{IN}	V _{IN} = 0 to DVDD		±1	±10	μA
Input Capacitance	C _{IN}			6		pF
DIGITAL INPUTS (SDA, SCL)						
Input Logic-High Voltage	V _{IH}		0.7 x DVDD			V
Input Logic-Low Voltage	V _{IL}				0.3 x DVDD	V
Input Hysteresis	V _{HYST}		0.05 x DVDD			V
Input Leakage Current	I _{IN}	V _{IN} = 0 to DVDD		±0.1	±10	μA
Input Capacitance	C _{IN}			6		pF
DIGITAL OUTPUT (SDA)						
Output Logic-Low Voltage	V _{OL}	I _{SINK} = 3mA			0.4	V
Tri-State Leakage Current	I _L	V _{IN} = 0 to DVDD		±0.1	±10	μA
Tri-State Output Capacitance	C _{OUT}			6		pF
POWER REQUIREMENTS						
Analog Supply Voltage Range	AVDD		4.75	5	5.25	V
Digital Supply Voltage Range	DVDD		2.7	3.3	3.6	V
Analog Supply Current	I _{AVDD}	Normal operation, no load		180	200	mA
		Power-down mode, no load		1	1.5	
Digital Supply Current	I _{DVDD}	f _{SCL} = 400kHz		25		μA

HDTV连续可调的 抗混叠滤波器

MAX7469/MAX7470

TIMING CHARACTERISTICS

(AV_{DD} = +5V ±5%, DV_{DD} = 2.7V to 3.6V, R_{LOAD} = 150Ω to GND, C_{IN} = 0.1μF, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at AV_{DD} = 5V, DV_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial-Clock Frequency	f _{SCL}		0		400	kHz
Bus Free Time Between STOP (P) and START (S) Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START (Sr) Condition	t _{HD;STA}	After this period, the first clock pulse is generated	0.6			μs
SCL Pulse-Width Low	t _{LOW}		1.3			μs
SCL Pulse-Width High	t _{HIGH}		0.6			μs
Setup Time for a Repeated START (Sr) Condition	t _{SU;STA}		0.6			μs
Data Hold Time	t _{HD;DAT}	(Note 5)	0.0		0.9	μs
Data Setup Time	t _{SU;DAT}		100			ns
Rise Time of Both SDA and SCL Signals, Receiving	t _r		0		300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _f		0		300	ns
Fall Time of SDA Signal, Transmitting	t _f	(Note 6)	20 + 0.1C _b		250	ns
Setup Time for STOP (P) Condition	t _{SU;STO}		0.6			μs
Capacitive Load for Each Bus Line	C _b				400	pF
Pulse Width of Spikes that Are Suppressed by the Input Filter	t _{SP}	(Note 7)	0		50	ns

Note 1: The filter passband edge is set to code 255.

Note 2: The filter passband edge is set to code 40.

Note 3: 1H is the total line period, depending on the video standard. For NTSC, this is 63.5μs; for HDTV, the line period is 29.64μs.

Note 4: The clamp level is at the sync tip for signals with sync pulses, and at the blanking level otherwise.

Note 5: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) to bridge the undefined region of SCL's falling edge.

Note 6: C_b = total capacitance of one bus line in pF. t_r and t_f measured between 0.3V_{DD} and 0.7V_{DD}.

Note 7: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

HDTV连续可调的 抗混叠滤波器

MAX7469/MAX7470

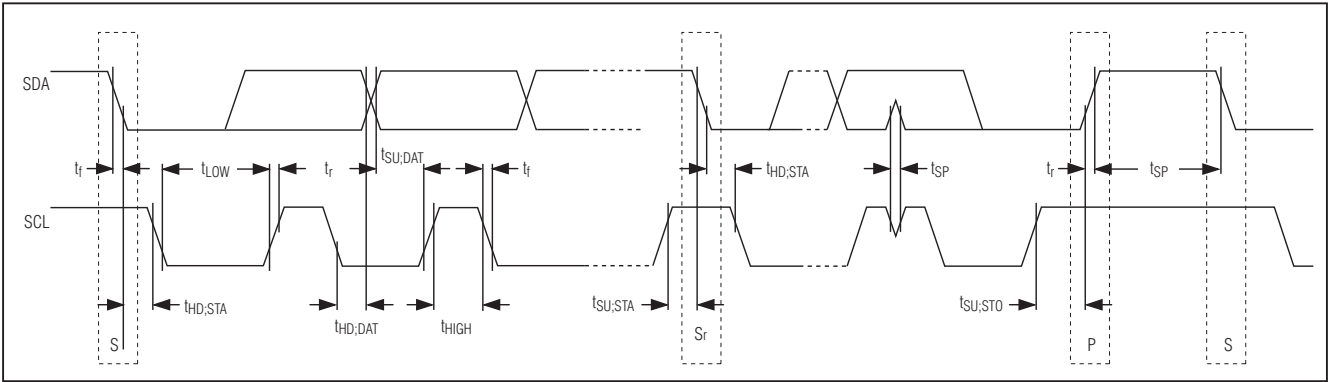
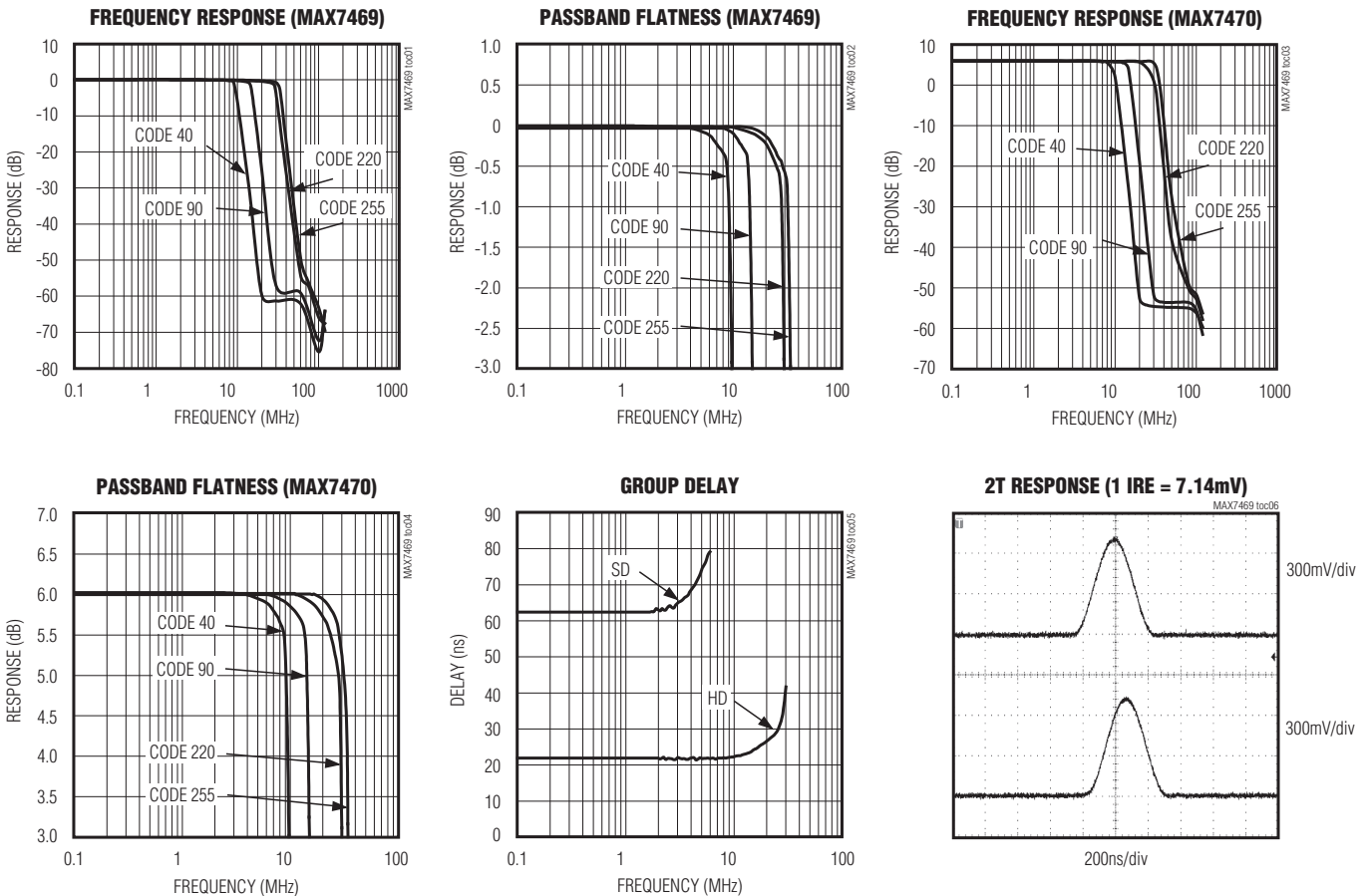


图1. 2线串行接口时序图

典型工作特性

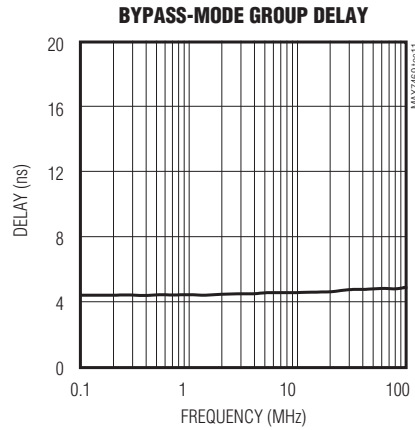
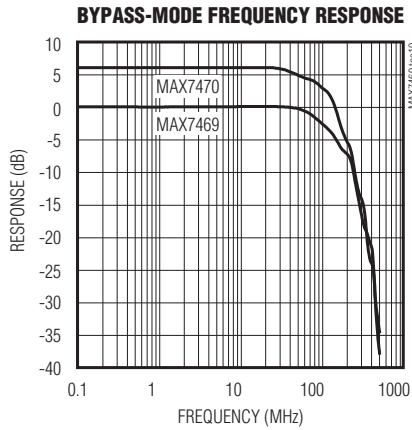
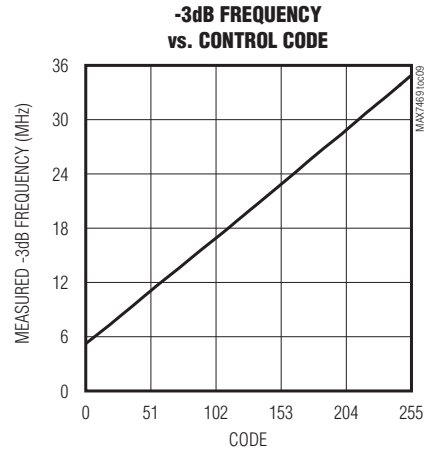
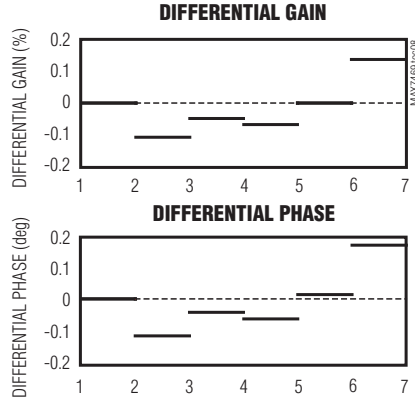
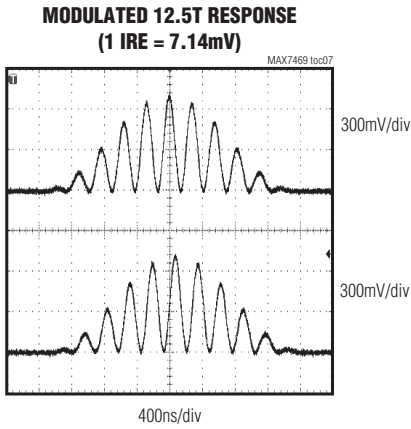
($AV_{DD} = +5V$, $DV_{DD} = 3.3V$, $R_{LOAD} = 150\Omega$ to GND, $C_{LOAD} = 0$ to $20pF$ to GND, $C_{IN} = 0.1\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



HDTV连续可调的 抗混叠滤波器

典型工作特性(续)

(AVDD = +5V, DVDD = 3.3V, RLOAD = 150Ω to GND, CLOAD = 0 to 20pF to GND, CIN = 0.1μF, TA = +25°C, unless otherwise noted.)



HDTV连续可调的 抗混叠滤波器

引脚说明

MAX7469/MAX7470

引脚	名称	功能
1	DGND	数字地，见电源旁路与布局考虑部分。
2	EXTSYNC	外同步输入，EXTSYNC与地之间内置3MΩ电阻。如不使用，则接地。
3	SCL	与I ² C兼容的串行时钟输入。
4	SDA	与I ² C兼容的串行数据输入/输出。
5	DVDD	数字电源，用0.1μF电容旁路到数字地(DGND)。见电源旁路与布局考虑部分。
6	OUT3	视频输出3，OUT3可以采用直流或交流耦合。
7, 9, 11	AVDD	模拟电源，用0.1μF电容旁路到地(GND)。见电源旁路与布局考虑部分。
8	OUT2	视频输出2，OUT2可以采用直流或交流耦合。
10	OUT1	视频输出1，OUT1可以采用直流或交流耦合。
12	A0	I ² C器件地址第0位。
13	A1	I ² C器件地址第1位。
14, 15, 17, 19	GND	地，将所有GND引脚接地层。见电源旁路与布局考虑部分。
16	IN1	视频输入1，用0.1μF串联电容交流耦合至IN1。
18	IN2	视频输入2，用0.1μF串联电容交流耦合至IN2。
20	IN3	视频输入3，用0.1μF串联电容交流耦合至IN3。
—	EP	裸焊盘，内部接地。封装下方不允许有PCB走线，将EP接地平面。见电源旁路与布局考虑部分。

详细说明

MAX7469/MAX7470是完整的视频抗混叠方案，可理想用于固定像素HDTV显示技术，如等离子显示器和LCD，它们将输入视频信号数字化，然后调整分辨率与显示器固有的像素格式相匹配。借助软件可选的5MHz至34MHz转角频率，MAX7469/MAX7470可支持SD和HD视频信号，包括1080i、720p、480p以及480i格式，并支持更高频带的计算机分辨率。

集成低通滤波器在ADC或视频解码器之前用于限制模拟视频输入带宽，以实现抗混叠滤波，减少带外噪声。按照低于SD分辨率到高于HD分辨率的应用需求调节滤波器转角频率，调节级数为256，滤波器可根据特定输入视频信号、ADC或视频解码器采样率动态优化转角频率。对于频带大于最高设定频率的应用，可以旁路滤波器。

I²C接口允许微控制器(μC)配置MAX7469/MAX7470的性能指标和功能，包括电压箝位、滤波器转角频率、同步信号源(内部/外部)和滤波器旁路等。

典型工作电路给出了MAX7469/MAX7470框图和典型的外部连接。

同步检测器和箝位设置

MAX7469/MAX7470利用视频箝位电路为交流耦合电容之后的输入视频信号建立一个直流电平。该视频箝位将直流偏置在最佳工作点。

MAX7469/MAX7470同时支持内部和外部同步检测，通过对命令字节(见表3)编程，可选择内部与外部检测。从通道1(或外同步：SYNCA、SYNCB或SYNC)提取同步信息后，MAX7469/MAX7470在视频同步头部分箝位视频信号。器件根据输入格式选择两个可能的箝位电平之一。当输入信号包含同步信息，如Y(亮度)或CVBS信号时，使用低电平；对双极性信号，如C(色度)或P_b/P_r，使用高电平，详见表1。

HDTV连续可调的 抗混叠滤波器

表1. 箝位电平

INPUT SIGNAL FORMAT	CLAMP LEVEL		
	CHANNEL 1	CHANNEL 2	CHANNEL 3
Y Pb Pr	Low	High	High
GsBR	Low	High	High
CVBS Y C	Low	Low	High
Y Pb Pr (sync on all signals)	Low	Low	Low
R G B H V	High	High	High

分量/复合视频选择

MAX7469/MAX7470可接受分量或复合输入，当配置为复合视频输入时，应使能色同步滤波器；若配置为分量视频输入，禁止色同步信号滤波器。该滤波器与主滤波器分离，并非直接在信号路径上，所以对总体频率响应没有影响。对于标称视频信号和电平，色同步信号滤波器的使用对同步检测的影响可以忽略。在小信号幅度且具有相对较高的色同步信号时影响较大。

外部同步检测(EXTSYNC)

当对未嵌入同步头的视频信号进行滤波时，例如具有单独的同步信号的计算机格式(RGBHV)，采用外同步模式(见表3)，水平同步信号加至EXTSYNC引脚。同步检测器确定箝位电路何时打开。

MAX7469/MAX7470能够检测TTL逻辑电平的正或负极性外同步，通过I²C接口对外同步信号极性编程。

滤波器

内部视频滤波器的频率响应经过优化，采用陡峭的滚降以获得较宽的通频带和最好的阻带抑制。此外，滤波器在提供优异的时域响应的同时，具有较低的过冲。

设置滤波器频率

通过I²C接口线性改变MAX7469/MAX7470滤波器的频率响应(-3dB截止频率)，调节范围为SD频带以下到HD频带以上，调节级数为256。写入命令字节12h可以访问频率寄存器，随后是频响转角频率对应的8位数据，详见频率寄存器部分。

MAX7469/MAX7470设置-3dB频点，按照所要求的通频带设置频率。

优化频率响应

按照视频信号格式的分辨率选择频响特性。高清晰度信号要求频带较宽，而标准清晰度信号要求的频带较窄。视频信号的实际带宽是图像分辨率的函数，通常小于分辨率格式(1080i、720p等)规定的带宽。详细信息请参考Maxim应用笔记750: *Bandwidth Versus Video Resolution*，可从网站www.maxim-ic.com.cn下载。

优化频率响应可以提高整体性能，至少要满足奈奎斯特准则的要求。除此之外，频率响应还可以进一步优化。在过采样系统中，采样速率远远高于带宽要求。在通频带和采样率之间频率范围内含有噪声及其它干扰信号，通过合理设置滤波器转角频率，仅让所需要频率通过，可以消除这些噪声和干扰，提高整体系统的信噪比。

滤波器旁路

MAX7469/MAX7470可选择滤波器旁路，允许输入视频信号在旁路内部滤波器时，不经过任何滤波，直接到达输出缓冲器。如表3所示，写入正确的命令字节(0Eh)使能或禁止(0Fh)滤波器旁路。

输出缓冲器

每路输出缓冲器驱动150Ω视频负载时可提供2V_{p,p}信号。MAX7469/MAX7470可以通过直流或交流耦合驱动负载。驱动电缆时，可以取消输出交流耦合电容，消除大电容带来的有害影响，如行、场失真，也称为衰落。器件通过控制输出直流电平可以限制电缆上的直流电压，使视频信号消隐电平始终小于1V，以符合数字电视规范的要求，详细信息请参考输出考虑部分。

增益选择

MAX7469的总体增益为0dB，MAX7470的总体增益为+6dB。驱动带有背向匹配电阻的电缆时，使用MAX7470；驱动ADC或视频解码器，且输入范围与MAX7469输入相同时，可使用MAX7469。MAX7469具有更高灵活性，可接受幅度为标准视频信号两倍的输入信号，用来驱动输入信号摆幅更大的ADC或视频解码器。需要两倍增益时，MAX7470也可以驱动ADC或视频解码器。

HDTV连续可调的 抗混叠滤波器

MAX7469/MAX7470

输出箝位电平

MAX7469/MAX7470的输出可以采用直流或交流耦合。直流耦合时，标称输出箝位电平取决于箝位电压设置，可以根据表2确定。

表2. 输出箝位电平

CLAMP SETTING	OUTPUT CLAMP LEVEL (V)
Low	1.0 (typ)
High	1.6 (typ)

如同步检测器和箝位设置部分所示，低箝位电平用于带同步头的信号，以设定同步头电平；高箝位电平用于不带同步头的信号，以设置消隐电平。

输出信号的绝对电压值与输出箝位电压有关。包含同步头的视频信号(如CVBS或Y)为高于箝位电平的单极性信号，相反，不带同步头的视频信号(如P_b、P_r或C)是以箝位电平为中心的双极性信号。

关断模式

MAX7469/MAX7470具有低功耗关断模式，通过关断模拟电路使电源电流从180mA(典型值)降至1mA(典型值)，I²C接口保持有效，使器件可以返回到全功率运行状态。箝位建立时间(见*Electrical Characteristics*表)限制了MAX7469/MAX7470的唤醒时间。退出关断模式后，MAX7469/MAX7470按照关断之前存储的设置恢复到正常工作状态。利用命令字节控制关断和唤醒模式(见表3)，软件复位设置控制/状态寄存器为默认值，但频率寄存器不受影响。

上电复位(POR)

MAX7469/MAX7470包括上电复位(POR)电路，将内部寄存器和I²C接口设置为默认状态(见表4、5、6)。

串行接口

MAX7469/MAX7470具有一个I²C兼容的2线串口，包括双向串行数据线(SDA)和串行时钟(SCL)。SDA和SCL简化了MAX7469/MAX7470与主机之间的双向通信，速率高达400kHz。

MAX7469/MAX7470带有一个命令译码器，通过适当的命令字节访问。一旦向MAX7469/MAX7470写入一个命令字节，该命令译码器便更新相应的控制/状态寄存器。详见*控制/状态寄存器*部分。命令译码器还通过命令字节(见*命令字节(写周期)*部分)控制访问频率寄存器。

MAX7469/MAX7470只能作为从器件发送/接收数据，由主机产生时钟信号。主机(通常为 μ C)启动总线的数据传输并产生SCL。

主机通过发送正确的地址(见*从机地址*部分)、命令和/或数据字节与MAX7469/MAX7470通信。每次传输由START (S)或REPEATED START (Sr)条件与STOP (P)条件构成帧结构。

SDA驱动器为漏极开路输出，需要一个上拉电阻(2.4k Ω 或更大)提供逻辑高电平。必要时可以在SDA和SCL传输线上串联一个电阻(24 Ω)，以保护器件的输入端，使其免受总线上尖峰电压的影响，串联电阻还有助于降低总线信号的串扰和过冲。

位传输

每个SCL上升沿传送一位数据，需要9个时钟周期将数据写入MAX7469/MAX7470或从中读出数据。SCL时钟为高电平时，SDA数据必须保持稳定。SCL为高电平时，SDA的变化将被作为控制信号(见*START(开始)*和*STOP(停止)*条件部分)。当串行接口停止运行时，SDA和SCL闲置为高电平。

HDTV连续可调的 抗混叠滤波器

START (开始)和STOP (停止)条件

主机通过发送START条件，即SCL为高电平时SDA由高电平跳变至低电平，启动一次通信(图2)。主机利用STOP条件(P)终止数据传输(见应答位(ACK)和非应答位(NACK)部分)。STOP条件即SCL为高电平时，SDA由低电平跳变到高电平(见图2)，STOP条件之后将释放总线。如果主机发送的不是STOP条件，而是重复START条件，总线将继续保持工作。如果检测到STOP条件或错误地址，MAX7469/MAX7470将忽略I²C总线的通信操作，等待下一次START或REPEATED START条件，这种工作方式进一步降低了数字噪声和串扰。

提前STOP条件

MAX7469/MAX7470在整个传输过程中始终在识别STOP条件，除非主机在同一个时钟脉冲的高电平期间同时发出

了STOP条件和START条件(见图3)，这种条件为非法I²C格式；START条件与STOP条件之间至少有一个时钟脉冲的间隔。MAX7469/MAX7470将丢弃任何接收到的、由提前STOP条件中断的数据。

重复START (Sr)条件

Sr条件用于指示数据流方向的改变(见读周期部分)。总线主机向多个I²C器件写入数据时也可以使用Sr，无须放弃对总线的控制。MAX7469/MAX7470的串行接口支持带(或不带)Sr分隔的连续写操作。

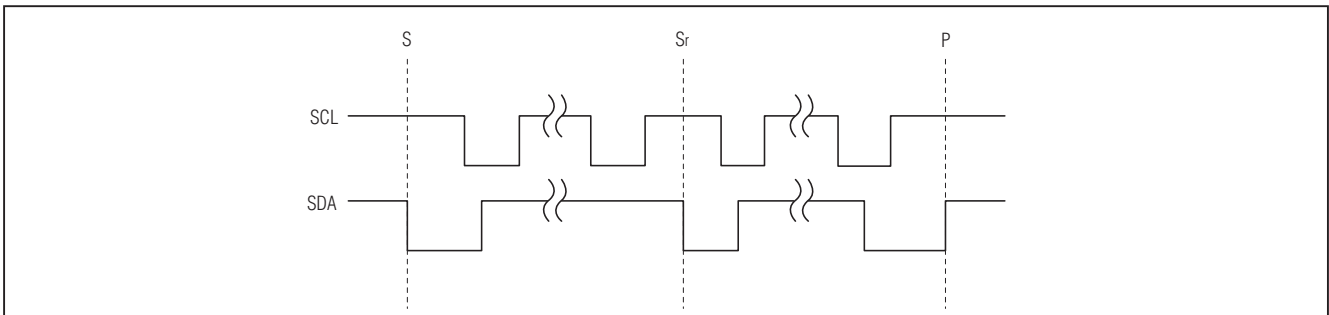


图2. START/STOP条件

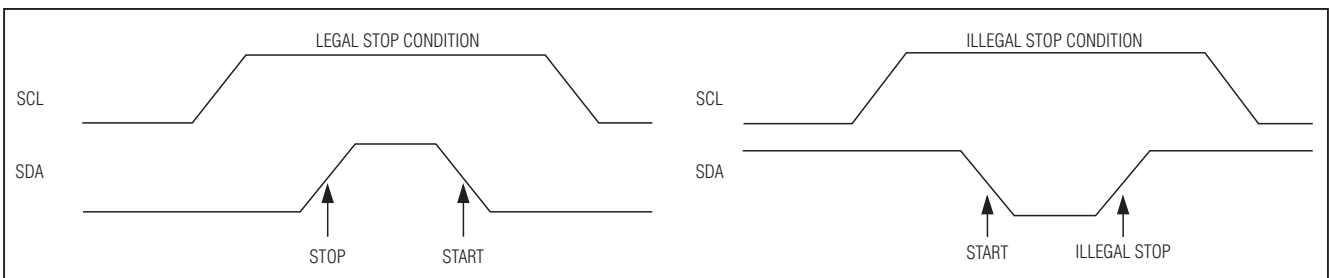


图3. 提前STOP条件

HDTV连续可调的 抗混叠滤波器

MAX7469/MAX7470

应答位(ACK)和非应答位(NACK)

成功的数据传输有应答位(ACK)或非应答位(NACK)响应。主机和MAX7469/MAX7470(从机)都可产生应答位。要产生ACK,接收器件必须在应答时钟脉冲(第9个脉冲)的上升沿之前将SDA拉低,并且在时钟脉冲的高电平期间保持SDA为低(见图4)。要产生NACK,接收器件必须在对应的时钟脉冲(第9个脉冲)上升沿之前拉高SDA,并且在时钟脉冲的高电平期间保持SDA为高。通过监测应答位,可以检测失败的数据传输。若接收器件忙或发生系统故障,将导致数据传输失败。数据传输失败后,主机应在稍后重新尝试通信。

接收到地址或数据时,MAX7469/MAX7470通过在第9个时钟周期将SDA拉低产生应答位。读操作期间发送数据时,在第9个时钟周期,MAX7469/MAX7470不驱动SDA(即外部上拉使总线为逻辑高电平),这样,数据接收器可以将SDA拉低,应答数据的接收。

从机地址

总线主机发出START条件后,随后发出7位从机地址,开始与从机通信(见图5)。空闲状态下,MAX7469/MAX7470等待START条件及其随后的从机地址。串行接口逐位比较地址,如果检测到错误的地址,则关闭接口并断开与SCL的连接。当接收到START条件以及随后的正确地址后,MAX7469/MAX7470准备好接收或发送数据。地址字节的最低有效位(LSB)确定主机向MAX7469/MAX7470写入数据还是读出数据($R/\bar{W}=0$ 选择写操作, $R/\bar{W}=1$ 选择读操作)。接收到正确的地址后,MAX7469/MAX7470(从机)通过将SDA拉低一个时钟周期发出ACK。

MAX7469/MAX7470的从机地址包括5个固定地址位A6-A2(置为10010),以及两个引脚可编程地址位A1和A0。首先传输最高有效地址位(A6),然后是其余位。必要时,地址A1、A0可以动态设置,但在指定的寻址过程中必须保持稳定。

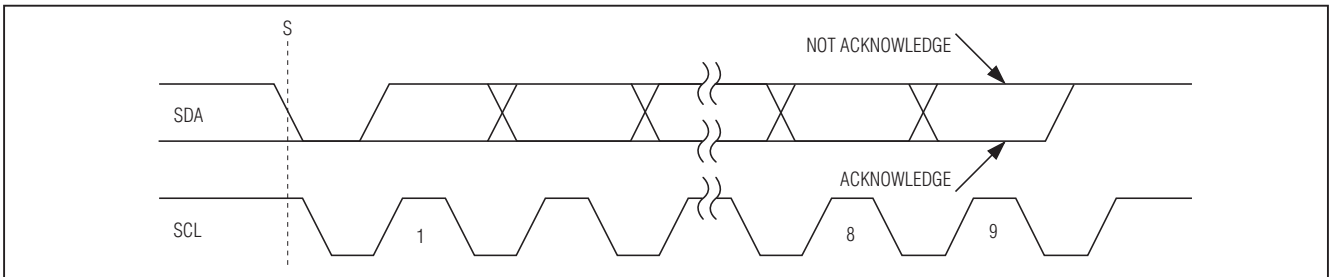


图4. 应答和非应答位

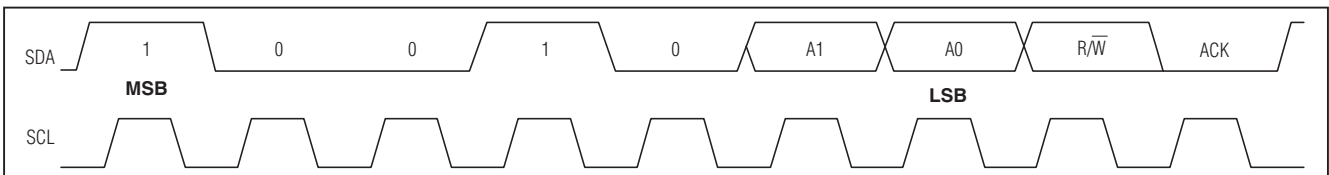


图5. 从机地址定义

HDTV连续可调的 抗混叠滤波器

命令字节(写周期)

总线主机首先发出START条件，随后是7位地址(见图5)和写操作位($R/\bar{W} = 0$)，启动一次写操作。MAX7469/MAX7470(从机)成功接收到地址后，发出一个ACK。从机将成功接收地址后的下一个字节作为命令字节(见表3)。

利用命令字节可以配置MAX7469/MAX7470。表3列出的大多数命令都可改变MAX7469/MAX7470的功能，有些命令指示器件继续传递数据(见控制/状态寄存器和频率寄存器部分)。如果提前中断写周期，寄存器将不更新，必须重新开始写周期。图6和图7为写操作的一个实例。

表3. 命令字节定义

COMMAND BYTE: INDIVIDUAL BIT DEFINITIONS								DESCRIPTION
C7	C6	C5	C4	C3	C2	C1	C0	
0	0	0	0	0	0	0	0	Enters power-down mode.
0	0	0	0	0	0	0	1	Wake-up; resumes normal operation using the frequency/status previously stored (unless power has been cycled).
0	0	0	0	0	0	1	0	Sets IN1 clamp voltage level to low.
0	0	0	0	0	0	1	1	Sets IN1 clamp voltage level to high.
0	0	0	0	0	1	0	0	Sets IN2 clamp voltage level to low.
0	0	0	0	0	1	0	1	Sets IN2 clamp voltage level to high.
0	0	0	0	0	1	1	0	Sets IN3 clamp voltage level to low.
0	0	0	0	0	1	1	1	Sets IN3 clamp voltage level to high.
0	0	0	0	1	0	0	0	Selects component input, color-burst filter disabled.
0	0	0	0	1	0	0	1	Selects composite input, color-burst filter enabled.
0	0	0	0	1	0	1	0	Selects internal sync.
0	0	0	0	1	0	1	1	Selects external sync.
0	0	0	0	1	1	0	0	Selects positive polarity external sync.
0	0	0	0	1	1	0	1	Selects negative polarity external sync.
0	0	0	0	1	1	1	0	Enables filters.
0	0	0	0	1	1	1	1	Disables filters, enters bypass mode.
0	0	0	1	0	0	0	0	Resets the control/status register to the default values as described in the <i>Control/Status Register</i> section. This command does not affect the frequency register.
0	0	0	1	0	0	0	1	Requests a control/status register read. The interface expects an Sr condition to follow with address and read/write set to read so data can be driven onto the bus.
0	0	0	1	0	0	1	0	Loads the frequency register with the data byte following the command byte.
0	0	0	1	0	0	1	1	Requests a frequency register read. The interface expects an Sr condition to follow with address and read/write set to read so data can be driven onto the bus.

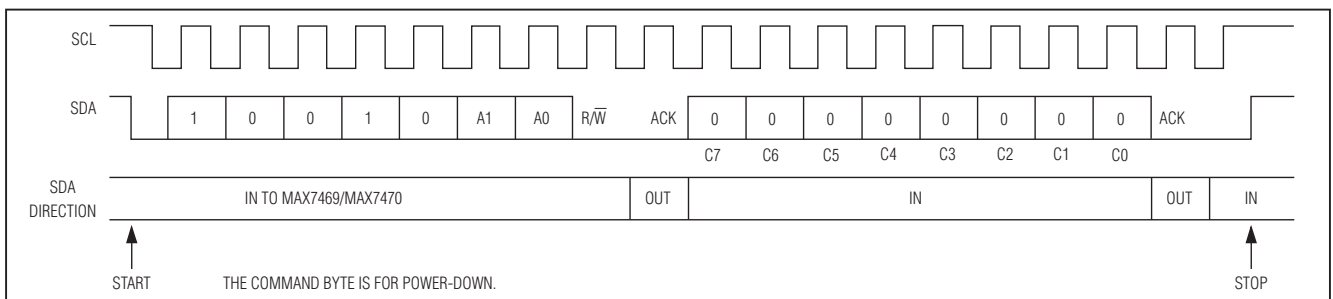
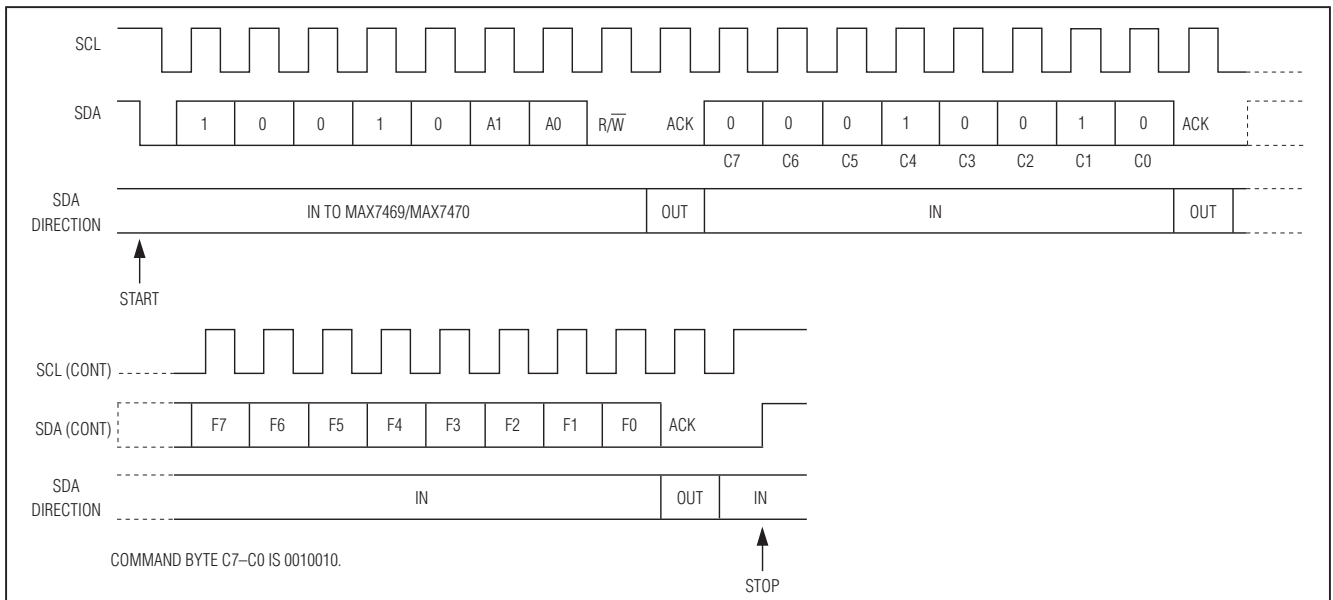
HDTV连续可调的 抗混叠滤波器

MAX7469/MAX7470

读周期

读模式下($R/\bar{W} = 1$)，MAX7469/MAX7470将控制/状态寄存器或频率寄存器的内容发送到总线上。当命令字节指示一次读操作时，对控制/状态寄存器或频率寄存器进行读操作，串行接口在命令字节之后将等待Sr条件。发送Sr后，主机发送MAX7469/MAX7470的从机地址，随后是 R/\bar{W} 位

(置为1，表示读)。从机器件(MAX7469/MAX7470)为第二个地址字节产生一个ACK，ACK脉冲后数据流方向反转。从机(MAX7469/MAX7470)发送一个数据字节，包含命令字节所选择的寄存器值。图8给出了一个基本的读操作过程。



HDTV连续可调的 抗混叠滤波器

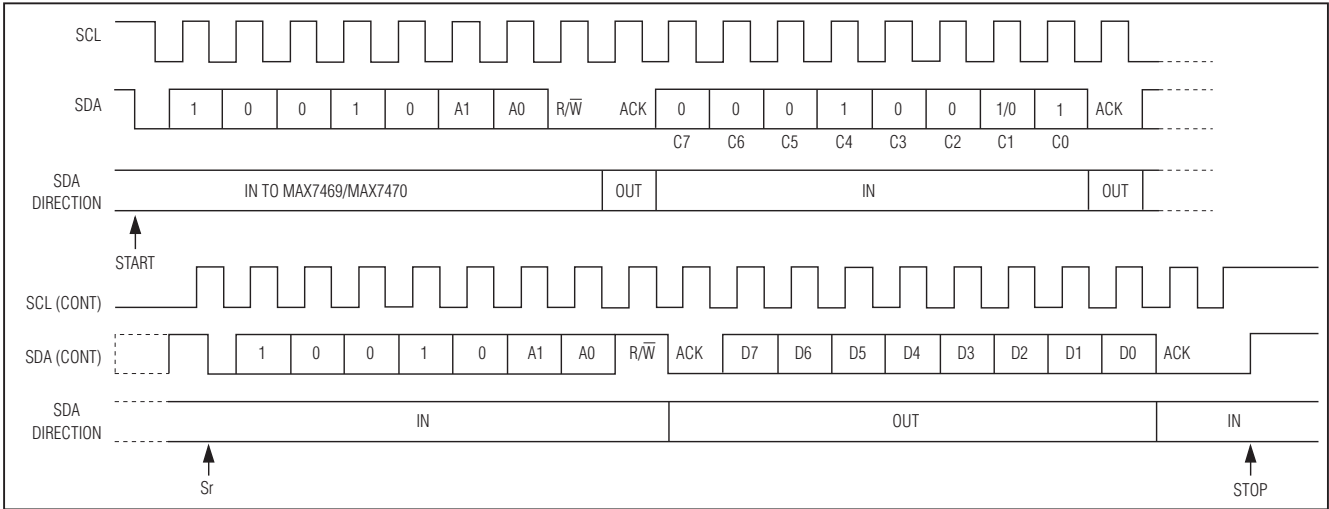


图8. 基本读操作

注意：在主机能够读取所选择的寄存器内容之前，必须向从机(MAX7469/MAX7470)写入一个命令字节，请求读取控制/状态或频率寄存器。

控制/状态寄存器

MAX7469/MAX7470将其工作状态储存在可以读取到主机的8位寄存器内。表4和表5总结了控制/状态寄存器的定义，该寄存器的上电缺省值为03h。

频率寄存器

MAX7469/MAX7470的频率响应(-3dB截止频率)可以通过频率寄存器(见表6)线性调节，调节级数为256。请参考命令字节(写周期)部分更新频率寄存器的内容。

表4. 控制/状态寄存器

CONTROL/STATUS REGISTER							
S7	S6	S5	S4	S3	S2	S1	S0

表5. 控制/状态寄存器位说明

BIT	DESCRIPTION
S7	0 = component input signal selected (default). 1 = composite input signal selected.
S6	0 = internal sync enabled (default). 1 = external sync enabled.
S5	0 = external sync: positive polarity (default). 1 = external sync: negative polarity.
S4	0 = normal operation mode (default). 1 = power-down mode.
S3	0 = filters enabled (default). 1 = bypass mode—no filtering.
S2	0 = clamp voltage for IN1 set to low (default). 1 = clamp voltage for IN1 set to high.
S1	0 = clamp voltage for IN2 set to low. 1 = clamp voltage for IN2 set to high (default).
S0	0 = clamp voltage for IN3 set to low. 1 = clamp voltage for IN3 set to high (default).

表6. 不同视频信号格式的频率寄存器设置

VIDEO-SIGNAL FORMAT	F7	F6	F5	F4	F3	F2	F1	F0	CODE NO.	APPROXIMATE FREQUENCY (-3dB) MHz
Standard Definition (Interlaced)	0	0	1	0	1	0	0	0	40	10
Standard Definition (Progressive)	0	1	0	1	1	0	1	0	90	15
High-Definition Low Bandwidth	1	1	0	1	1	1	0	0	220	30
High-Definition High Bandwidth	1	1	1	1	1	1	1	1	255	34 (default)

HDTV连续可调的 抗混叠滤波器

MAX7469/MAX7470

I²C兼容性

MAX7469/MAX7470兼容于现有的I²C系统，支持标准的8位通信，但不响应通用地址调用，且不支持CBUS。器件地址只兼容7位地址的I²C协议，不支持10位地址格式。

应用信息

输入考虑

利用0.1 μ F陶瓷电容对输入进行交流耦合，输入不能采用直流耦合。内部箝位电路隔离输入电容的直流电压，以获得正确的输出直流电平。加大耦合电容可以减小行定时失真，但多数情况下并不需要，因为极低的漏电流仅产生极小的行定时失真。

MAX7469/MAX7470具有高输入阻抗，信号源阻抗不需要接近于零，例如，输入端可以直接连接到背向匹配的视频电缆，终端匹配电阻仅由外电阻决定。

输出考虑

MAX7469/MAX7470输出可以采用直流或交流耦合，增益为+6dB的MAX7470一般通过一个75 Ω 背向匹配电阻连接到视频电缆。这种配置固有的除2功能，使视频信号消隐电平始终小于1V，符合数字电视规范。

增益为0dB的MAX7469一般用于ADC或视频解码器，可以采用直流或交流耦合。如果采用直流耦合，需确保符合ADC或视频解码器的直流输入要求。

如果采用交流耦合，需选择合适的电容值，使视频信号的低频成分可以通过，而将行定时失真控制在所要求的范围内。该值的选取是输入阻抗的函数，重要的是，电路的输入漏电流也被放大。如果在后续电路中没有适当的直流电平，则需利用视频箝位重建直流电平。

MAX7469/MAX7470输出端提供完备的保护电路，能够避免与地短路或与正电源短路时损坏器件。

电源旁路与布局考虑

MAX7469/MAX7470采用+5V模拟电源、+3.3V数字电源供电。通过0.1 μ F电容与一个用作低频去耦的1 μ F电容并联去耦，将AV_{DD}旁路到GND。根据输出端可以接受的干扰容限、MAX7469/MAX7470的电源抑制比以及器件周围的干扰幅度和干扰频率，确定所需要的电源旁路方案。使用大面积接地有助于获得最佳性能，三个AV_{DD}引脚(引脚7、9和11)可以连接在一起，共用旁路电容，元件须靠近引脚安装。用一个0.1 μ F电容将DV_{DD}旁路到DGND。所有接地引脚(GND)必须连接到一个靠近器件的低阻接地层上。

输入端电阻须靠近器件放置，另外，如果PCB布线能设计为受控的75 Ω 传输线，端接电阻可以离器件稍远一些。要尽可能减小寄生电容，避免降低MAX7469/MAX7470的高频特性。

MAX7469/MAX7470评估板提供了一个经过验证的PCB布局。

裸焊盘和散热

MAX7469/MAX7470 TQFN封装底部有一裸露焊盘，该焊盘在内部通过电气连接到GND引脚。封装下方不得有任何PCB布线。

MAX7469/MAX7470的典型耗散功率为900mW，所以，要特别注意热耗散指标。建议使用具有良好地层、两层以上的电路板。为了提供最佳的散热能力，可以直接在MAX7469/MAX7470封装下方覆铜，尺寸与塑料封装区域一致。在底部地层采取同样措施，尽可能在顶层和底层之间多加过孔，提供最佳导热通道。

HDTV连续可调的 抗混叠滤波器

Maxim评估板使用FR-4板材，1oz覆铜的4层板，其顶部和底部面积相同，与20引脚TQFN封装区域一致。两个中间层用于电源和地层。在电路板顶层、底层和地层之间有21个15mil的金属过孔。热耦测试表明，器件温度能够保持在安全范围内。

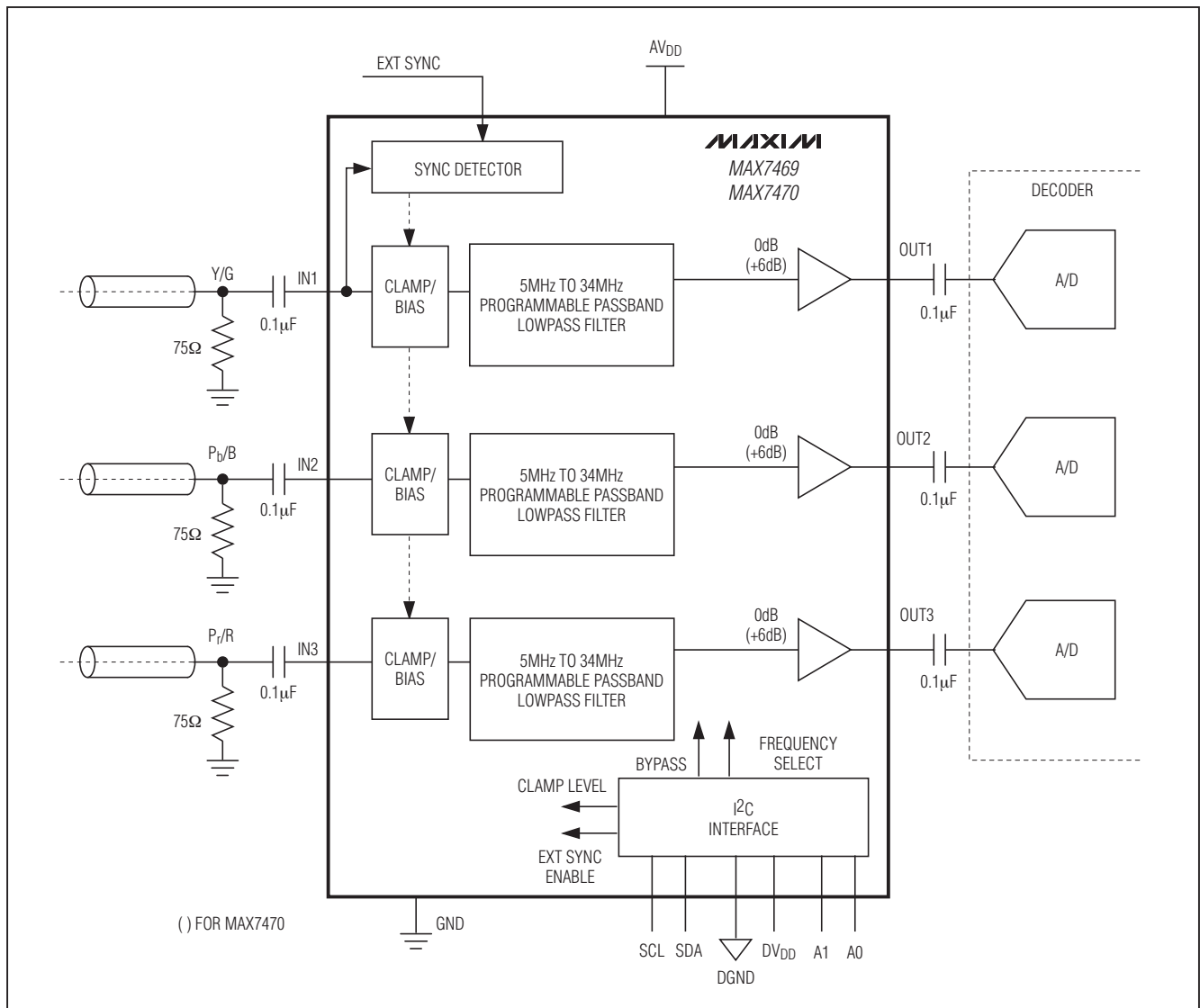
芯片信息

PROCESS: BiCMOS

修订历史

Rev 1中的修改页：1、2、7、16、17。

典型工作电路

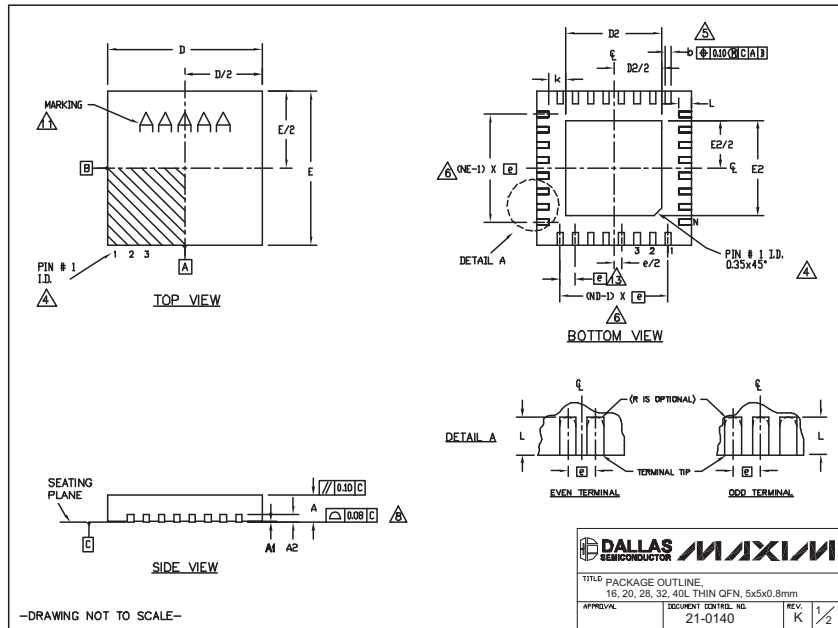


HDTV连续可调的 抗混叠滤波器

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX7469/MAX7470



COMMON DIMENSIONS												
PKG.	16L 5x5			20L 5x5			28L 5x5			40L 5x5		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
AI	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
N	16	20	28	32	40							
ND	4	5	7	8	10							
NE	4	5	7	8	10							
JEDEC	VHFB	WHHC	WHHD-1	WHHD-2	-----							

EXPOSED PAD VARIATIONS												
PKG. CODES	D2			E2								
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.						
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20						
T1655-3	3.00	3.10	3.20	3.00	3.10	3.20						
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20						
T2855-3	3.00	3.10	3.20	3.00	3.10	3.20						
T2855-4	3.00	3.10	3.20	3.00	3.10	3.20						
T2855-5	3.15	3.25	3.35	3.15	3.25	3.35						
T2855M-5	3.15	3.25	3.35	3.15	3.25	3.35						
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35						
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80						
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80						
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35						
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80						
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35						
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35						
T2855-3	3.00	3.10	3.20	3.00	3.10	3.20						
T2855-4	3.00	3.10	3.20	3.00	3.10	3.20						
T2855M-4	3.00	3.10	3.20	3.00	3.10	3.20						
T2855-5	3.00	3.10	3.20	3.00	3.10	3.20						
T2855N-1	3.00	3.10	3.20	3.00	3.10	3.20						
T4055-1	3.40	3.50	3.60	3.40	3.50	3.60						
T4055-2	3.40	3.50	3.60	3.40	3.50	3.60						

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC M0220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3, T2855-6, T4055-1 AND T4055-2.
- VARRPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION 'e', ±0.05.

DALLAS SEMICONDUCTOR MAXIM

TITLE PACKAGE OUTLINE.
16, 20, 28, 32, 40L THIN OFN, 5x5x0.8mm

APPROVAL DOCUMENT CONTROL NO. 21-0140 REV. K 2/2

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 17

© 2007 Maxim Integrated Products

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。