

I²C 端口扩展器， 提供8路推挽和8路开漏 I/O

概述

2线串口外设MAX7325具有16个I/O口，其中包括8路推挽式输出和8路I/O，每路I/O可选择内部上拉和瞬变检测。8个端口为推挽式输出，8个I/O口可用作逻辑输入或漏极开路输出，端口具有+6V过压保护。

器件连续监视所有输入端口的状态变化(瞬态检测)， $\overline{\text{INT}}$ 输出指示状态的变化。锁存中断能够实现瞬态变化的检测。当随后通过串行接口访问MAX7325时，任何待处理中断均被清除。推挽式输出额定吸收电流为20mA，可驱动LED。 $\overline{\text{RST}}$ 输入可将串行接口清零，终止任何与MAX7325的I²C通信。

MAX7325具有两个4电平逻辑输入端，支持16个I²C从地址。从地址还能设置I/O口的上电状态，并以4个端口为一组使能或禁止40k Ω 内部上拉电阻。

MAX7325是引脚兼容的端口扩展器系列产品之一，该系列产品提供可选的输入端口、开漏I/O和推挽式输出端口(参见表1)。

MAX7325提供24引脚QSOP和TQFN封装，工作于-40°C至+125°C汽车级温度范围。

应用

蜂窝电话	笔记本电脑
SAN/NAS	卫星接收机
服务器	汽车电子

特性

- ◆ 400kHz、I²C串行接口
- ◆ +1.71V至+5.5V工作电压
- ◆ 8路推挽式输出
- ◆ 8个漏极开路I/O，额定吸入电流为20mA
- ◆ I/O口具有+6V过压保护
- ◆ 可选择I/O口的上电默认状态
- ◆ 锁存瞬态变化，允许在读操作之间进行检测
- ◆ 输入发生变化时产生 $\overline{\text{INT}}$ 中断
- ◆ 通过AD0和AD2输入选择16个从地址
- ◆ 低待机电流：0.6 μ A (典型值)
- ◆ -40°C至+125°C工作温度范围

订购信息

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX7325AEG+	-40°C to +125°C	24 QSOP	E24-1
MAX7325ATG+	-40°C to +125°C	24 TQFN-EP* (4mm x 4mm)	T2444-3

+表示无铅封装。

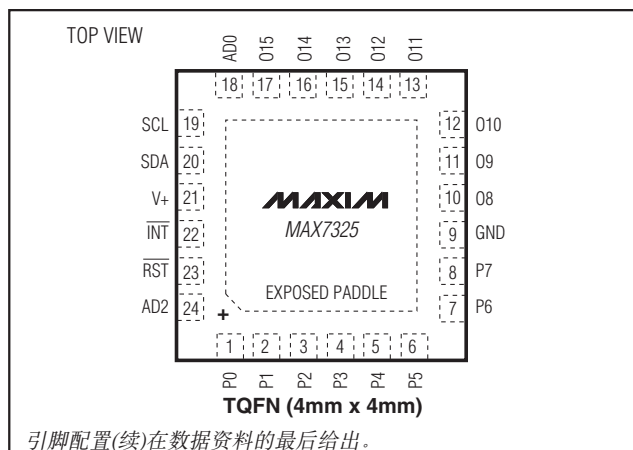
*EP = 裸焊盘。

选型指南

PART	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS
MAX7324	8	Yes	—	8
MAX7325	Up to 8	—	Up to 8	8
MAX7326	4	Yes	—	12
MAX7327	Up to 4	—	Up to 4	12

典型应用电路及功能框图在数据资料的最后给出。

引脚配置



I²C 端口扩展器, 提供 8 路推挽和 8 路开漏 I/O

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)

Supply Voltage V+	-0.3V to +6V
SCL, SDA, AD0, AD2, \overline{RST} , \overline{INT} , P0-P7	-0.3V to +6V
O8-O15	-0.3V to (V+ + 0.3V)
O8-O15 Output Current	±25mA
P0-P7 Sink Current	25mA
SDA Sink Current	10mA
\overline{INT} Sink Current	10mA
Total V+ Current	50mA

Total GND Current	100mA
Continuous Power Dissipation (T _A = +70°C)	
24-Pin QSOP (derate 9.5mW/°C over +70°C)	761.9mW
24-Pin TQFN (derate 20.8mW/°C over +70°C)	1666.7mW
Operating Temperature Range	-40°C to +125°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V+ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V+	T _A = -40°C to +125°C	1.71		5.50	V
Power-On-Reset Voltage	V _{POR}	V+ falling			1.6	V
Standby Current (Interface Idle)	I _{STB}	SCL and SDA and other digital inputs at V+ T _A = -40°C to +125°C		0.6	1.9	μA
Supply Current (Interface Running)	I+	f _{SCL} = 400kHz; other digital inputs at V+ T _A = -40°C to +125°C		23	55	μA
Input High-Voltage SDA, SCL, AD0, AD2, \overline{RST} , P0-P7	V _{IH}	V+ < 1.8V V+ ≥ 1.8V	0.8 x V+		0.7 x V+	V
Input Low-Voltage SDA, SCL, AD0, AD2, \overline{RST} , P0-P7	V _{IL}	V+ < 1.8V V+ ≥ 1.8V		0.2 x V+	0.3 x V+	V
Input Leakage Current SDA, SCL, AD0, AD2, \overline{RST} , P0-P7	I _{IH} , I _{IL}	SDA, SCL, AD0, AD2, \overline{RST} , P0-P7 at V+ or GND, internal pullup disabled	-0.2		+0.2	μA
Input Capacitance SDA, SCL, AD0, AD2, \overline{RST} , P0-P7				10		pF
Output Low Voltage O8-O15, P0-P7	V _{OL}	V+ = +1.71V, I _{SINK} = 5mA (QSOP) V+ = +1.71V, I _{SINK} = 5mA (TQFN) V+ = +2.5V, I _{SINK} = 10mA (QSOP) V+ = +2.5V, I _{SINK} = 10mA (TQFN) V+ = +3.3V, I _{SINK} = 15mA (QSOP) V+ = +3.3V, I _{SINK} = 15mA (TQFN) V+ = +5V, I _{SINK} = 20mA (QSOP) V+ = +5V, I _{SINK} = 20mA (TQFN)		90 90 110 110 130 130 140 140	180 230 210 260 230 280 250 300	mV
Output High Voltage O8-O15	V _{OH}	V+ = +1.71V, I _{SOURCE} = 2mA V+ = +2.5V, I _{SOURCE} = 5mA V+ = +3.3V, I _{SOURCE} = 5mA V+ = +5V, I _{SOURCE} = 10mA	V+ - 250 V+ - 360 V+ - 260 V+ - 360		V+ - 30 V+ - 70 V+ - 100 V+ - 120	mV
Output Low-Voltage SDA	V _{OLSDA}	I _{SINK} = 6mA			250	mV
Output Low-Voltage \overline{INT}	V _{OLINT}	I _{SINK} = 5mA		130	250	mV
Port Input Pullup Resistor	R _{PU}		25	40	55	kΩ

I²C 端口扩展器, 提供 8 路推挽和 8 路开漏 I/O

MAX7325

PORT AND INTERRUPT INT TIMING CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Port Output Data Valid	t _{PPV}	C _L ≤ 100pF			4	μs
Port Input Setup Time	t _{PSU}	C _L ≤ 100pF	0			μs
Port Input Hold Time	t _{PH}	C _L ≤ 100pF	4			μs
INT Input Data Valid Time	t _{IV}	C _L ≤ 100pF			4	μs
INT Reset Delay Time from STOP	t _{IP}	C _L ≤ 100pF			4	μs
INT Reset Delay Time from Acknowledge	t _{IR}	C _L ≤ 100pF			4	μs

TIMING CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial-Clock Frequency	f _{SCL}				400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD, STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU, STA}		0.6			μs
STOP Condition Setup Time	t _{SU, STO}		0.6			μs
Data Hold Time	t _{HD, DAT}	(Note 2)			0.9	μs
Data Setup Time	t _{SU, DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.7			μs
Rise Time of Both SDA and SCL Signals, Receiving	t _R	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _F	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of SDA Transmitting	t _{F, TX}	(Notes 3, 4)		20 + 0.1C _b	250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Note 5)		50		ns
Capacitive Load for Each Bus Line	C _b	(Note 3)			400	pF
RST Pulse Width	t _W		500			ns
RST Rising to START Condition Setup Time	t _{RST}		1			μs

Note 1: All parameters are tested at T_A = +25°C. Specifications over temperature are guaranteed by design.

Note 2: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) in order to bridge the undefined region of SCL's falling edge.

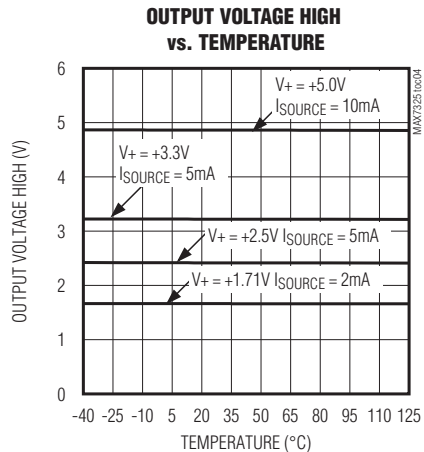
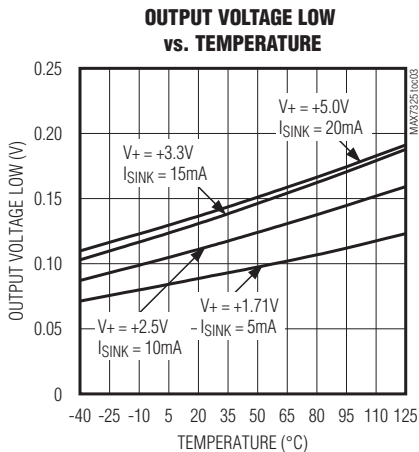
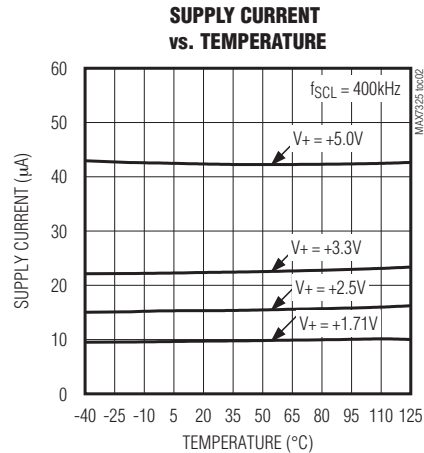
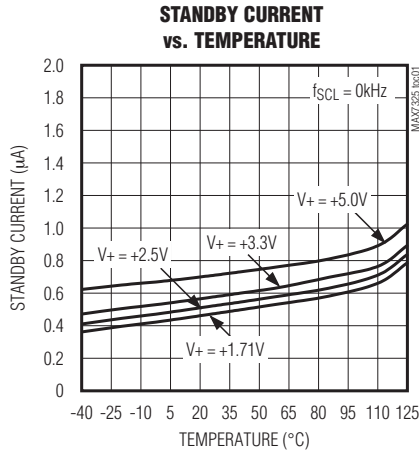
Note 3: Guaranteed by design.

Note 4: C_b = total capacitance of one bus line in pF. I_{SIK} ≤ 6mA. t_R and t_F measured between 0.3 × V₊ and 0.7 × V₊.

Note 5: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

I²C 端口扩展器, 提供 8 路推挽和 8 路开漏 I/O

典型工作特性

(T_A = +25°C, unless otherwise noted.)

引脚说明

引脚		名称	功能
QSOP	TQFN		
1	22	$\overline{\text{INT}}$	中断输出, $\overline{\text{INT}}$ 是漏极开路输出。
2	23	$\overline{\text{RST}}$	复位输入, 低电平有效。驱动 $\overline{\text{RST}}$ 为低时清除 2 线接口。
3, 21	24, 18	AD2, AD0	地址输入端。通过 AD0 和 AD2 选择器件的从地址, AD0 和 AD2 可以连接到 GND、V ₊ 、SCL 或 SDA, 提供四种逻辑组合 (见表 2、表 3)。
4-11	1-8	P0-P7	漏极开路 I/O 端口。
12	9	GND	地。
13-20	10-17	O8-O15	输出端口, O8-O15 为推挽式输出端口, 额定电流为 20mA。
22	19	SCL	I ² C 兼容的串行时钟输入。
23	20	SDA	I ² C 兼容的串行数据 I/O。
24	21	V ₊	正电源, 用至少 0.047µF 的陶瓷电容将 V ₊ 旁路到 GND。
—	EP	EP	裸焊盘, 裸露焊盘接 GND。

I²C 端口扩展器， 提供8路推挽和8路开漏I/O

详细说明

MAX7319–7329系列器件比较

MAX7325–MAX7327系列包括4种引脚兼容的16端口扩展器，集成了MAX7320的功能电路和MAX7319、MAX7321、MAX7322、MAX7323的功能之一。

功能说明

MAX7325是通用端口扩展器，工作在+1.71V至+5.5V电源，提供8个推挽式输出端口和8个漏极开路I/O端口，每个漏

极开路输出可额定吸入20mA电流，整个器件可额定吸入100mA电流，输出驱动负载可连接到高达+5.5V的电源。

通过地址选择输入端AD2和AD0，可将MAX7325设定在32个I²C从地址(参见表2、表3)中的两个，并可通过高达400kHz的I²C串行接口访问。8路输出和8个I/O口具有不同的从地址。8路推挽式输出的地址为101xxxx，8个I/O口的地址为110xxxx。总线闭锁时， $\overline{\text{RST}}$ 输入可清除串行接口，终止与MAX7325的任何串行通信。

设置端口输出为高电平(对于漏极开路输出来说，逻辑高即为高阻态)可以将任一端口配置为逻辑输入端。通过串口读取MAX7325时，将返回端口的实际逻辑电平。

表 1. MAX7319–MAX7329系列器件比较

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
16-PORT EXPANDERS						
MAX7324	101xxxx and 110xxxx	8	Yes	—	8	8 input and 8 push-pull output versions: 8 input ports with programmable latching transition detection interrupt and selectable pullups. 8 push-pull outputs with selectable default logic levels. Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even if only for a transient) since the ports were last read.
MAX7325		Up to 8	—	Up to 8	8	8 I/O and 8 push-pull output versions: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 8 push-pull outputs with selectable default logic levels. Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V ₊ using external pullup resistors, but pullups draw current when output is low. Any open-drain port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which open-drain port inputs have changed (even if only for a transient) since the ports were last read.

I²C 端口扩展器, 提供 8 路推挽和 8 路开漏 I/O

表 1. MAX7319–MAX7329 系列器件比较(续)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
MAX7326		4	Yes	—	12	<p>4 input-only, 12 push-pull output versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups.</p> <p>12 push-pull outputs with selectable default logic levels.</p> <p>Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even if only for a transient) since the ports were last read.</p>
MAX7327	101xxxx and 110xxxx	Up to 4	—	Up to 4	12	<p>4 I/O, 12 push-pull output versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups.</p> <p>12 push-pull outputs with selectable default logic levels.</p> <p>Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V+ using external pullup resistors, but pullups draw current when output is low. Any open-drain port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which open-drain port inputs have changed (even if only for a transient) since the ports were last read.</p>
8-PORT EXPANDERS						
MAX7319	110xxxx	8	Yes	—	—	Input-only versions: 8 input ports with programmable latching transition detection interrupt and selectable pullups.
MAX7320	101xxxx	—	—	—	8	Output-only versions: 8 push-pull outputs with selectable power-up default levels.
MAX7321	110xxxx	Up to 8	—	Up to 8	—	I/O versions: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups.
MAX7322	110xxxx	4	Yes	—	4	4 input-only, 4 output-only versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.

I²C 端口扩展器， 提供 8 路推挽和 8 路开漏 I/O

表 1. MAX7319–MAX7329 系列器件比较(续)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
MAX7323	110xxxx	Up to 4	—	Up to 4	4	4 I/O, 4 output-only versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.
MAX7328 MAX7329	0100xxx 0111xxx	Up to 8	—	Up to 8	—	8 open-drain I/O ports with nonlatching transition detection interrupt and pullups on all ports.

漏极开路端口用作输入时提供带锁存的瞬态检测功能，器件连续监测所有输入端口的状态变化。输入端口的变化将 8 个标志位中的一个置位，以便区分发生变化的输入端口。随后的 MAX7325 读操作或写操作将清除所有标志位。

对锁存中断输出 \overline{INT} 进行编程，可用来标记用作输入端口的逻辑变化。每个输入端口的数据变化都会将 \overline{INT} 置为逻辑低电平。通过串口改变 I/O 口不会触发中断，在下次通过串行接口访问 MAX7325 时将解除中断输出 \overline{INT} 。

通过地址设置输入 AD0 和 AD2 可选择连接至 V+ 的内部上拉电阻。输入端口的上拉以 4 个为一组进行使能控制(见表 2)。利用从地址选择确保作为输入的 I/O 在上电时为逻辑高电平，内部上拉使能的 I/O 口其默认状态为逻辑高电平输出；内部上拉禁止的 I/O 口其默认状态为逻辑低电平输出。输出端口的上电逻辑电平由地址选择输入 AD0、AD2 设置。上电时，端口以两个为一组设置在默认的逻辑高电平或逻辑低电平(见表 2、表 3)。

初始上电

上电时，瞬变检测逻辑复位，并解除 \overline{INT} 。瞬态标记清零表示没有发生数据变化。可通过 I²C 从地址选择输入端 AD0 和 AD2 设置 16 个 I/O 口的上电默认状态(表 2、表 3)。对于用作输入的 I/O 口，须确保其默认状态为逻辑高电平，使 I/O 口的上电状态为高阻态。配置所有 I/O 的上拉使能，并具有高电平的上电状态。

上电复位

MAX7325 集成了上电复位(POR)电路，上电时可确保所有寄存器复位到已知状态。当 V+ 上升到 V_{POR} (1.6V，最大值)以上时，POR 电路释放寄存器和 2 线接口，开始正常工作。当 V+ 跌落到 V_{POR} 以下时，MAX7325 将所有寄存器内容复位到 POR 默认值(表 2、表 3)。

\overline{RST} 输入

\overline{RST} 输入可禁止任何与 MAX7325 相关的 I²C 通信，强制 MAX7325 进入 I²C STOP 状态。复位操作不会影响中断输出(\overline{INT})。

待机模式

当串行接口空闲时，MAX7325 自动进入待机模式，消耗最小的电源电流。

从地址、上电默认逻辑状态和输入上拉选择

地址输入 AD0、AD2 确定 MAX7325 的从地址，设置端口上电后的 I/O 状态，选择带上拉电阻的输入。内部上拉和上电默认状态以 4 个端口为一组进行设置(表 2)。

MAX7325 的从地址由每次 I²C 传输决定，无论该传输是否是真正寻址 MAX7325。MAX7325 能在传输期间辨别出地址输入 AD0 和 AD2 是否连到 SDA 或 SCL，而不是将逻辑电平固定在 V+ 或 GND。这意味着在应用中可动态设置 MAX7325 的从地址，无需给器件重新上电。

I²C 端口扩展器， 提供 8 路推挽和 8 路开漏 I/O

初始上电过程中，在第一次 I²C 传输结束之前 MAX7325 无法完全对地址输入 AD0 和 AD2 进行解码，AD0 和 AD2 最初连接在 V+ 或 GND。这一点十分重要，因为地址选择决定上电逻辑状态和是否使能上拉。上电时，挂载在总线上每个器件(主机器件或从机器件)的 I²C SDA 和 SCL 总线接口均为高阻态，包括 MAX7325。作为 I²C 标准接口器件必须满足这一要求。因此，连接在 SDA 或 SCL 的地址输入端 AD0 和 AD2，在上电时通常接到 V+。

上拉选择逻辑通过 AD0 选择是否使能端口 P0–P3 的上拉；通过 AD2 选择是否使能端口 P4–P7 的上拉。设置原则是：SDA 或 SCL 的逻辑高电平选择上拉，逻辑低电平则取消上拉(见表 2)。当 SDA 或 SCL 通过外部 I²C 总线上拉电阻上拉到 V+ 时，其端口配置在标准 I²C 结构的上电状态。

有些情况下，上电时不能满足 SDA = SCL = V+ 的假设；例如，上电期间，实际的热插拔应用存在一个合法的总线动作。另外，如果 SDA 和 SCL 被上拉到一个与 MAX7325 电源电压不同的电压，或上拉电源的上升速度迟于 MAX7325 的供电电源，那么，SDA 或 SCL 在上电时将被认为连接到 GND。这种情况下，存在四种地址组合的可能，该组合通过将地址输入端 AD0 和 AD2 连接到 V+ 或 GND 进行选择(如表 2、表 3 中的**粗体字**所示)。上电时应保证这些选择的正确性，而且不受 SDA、SCL 总线状态的影响。如果选用了其它 12 种地址组合的一种，须注意：在总线上出现第一次 I²C 传输之前(针对任何器件，不是仅对 MAX7325)，可能出现不希望的上拉组合，无效的端口组合可以初始化为逻辑低电平输出，而非输入或逻辑高电平输出。

表 2. MAX7325 地址-端口 P0–P7 对应关系

PIN CONNECTION		DEVICE ADDRESS								PORT POWER-UP DEFAULT								40kΩ INPUT PULLUPS ENABLED							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	P7	P6	P5	P4	P3	P2	P1	P0	P7	P6	P5	P4	P3	P2	P1	P0	
SCL	GND	1	1	0	0	0	0	0	1	1	1	1	0	0	0	0	Y	Y	Y	Y	—	—	—	—	
SCL	V+	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	
SCL	SCL	1	1	0	0	0	1	0	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	
SCL	SDA	1	1	0	0	0	1	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	
SDA	GND	1	1	0	0	1	0	0	1	1	1	1	0	0	0	0	Y	Y	Y	Y	—	—	—	—	
SDA	V+	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	
SDA	SCL	1	1	0	0	1	1	0	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	
SDA	SDA	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	
GND	GND	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	
GND	V+	1	1	0	1	0	0	1	0	0	0	0	1	1	1	1	—	—	—	—	Y	Y	Y	Y	
GND	SCL	1	1	0	1	0	1	0	0	0	0	0	1	1	1	1	—	—	—	—	Y	Y	Y	Y	
GND	SDA	1	1	0	1	0	1	1	0	0	0	0	1	1	1	1	—	—	—	—	Y	Y	Y	Y	
V+	GND	1	1	0	1	1	0	0	1	1	1	1	0	0	0	0	Y	Y	Y	Y	—	—	—	—	
V+	V+	1	1	0	1	1	0	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	
V+	SCL	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	
V+	SDA	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y	

I²C 端口扩展器， 提供8路推挽和8路开漏I/O

MAX7325

表3. MAX7325地址-输出O8–O15对应关系

PIN CONNECTION		DEVICE ADDRESS							OUTPUTS POWER-UP DEFAULT							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	O15	O14	O13	O12	O11	O10	O9	O8
SCL	GND	1	0	1	0	0	0	0	1	1	1	1	0	0	0	0
SCL	V+	1	0	1	0	0	0	1	1	1	1	1	1	1	1	1
SCL	SCL	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1
SCL	SDA	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1
SDA	GND	1	0	1	0	1	0	0	1	1	1	1	0	0	0	0
SDA	V+	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1
SDA	SCL	1	0	1	0	1	1	0	1	1	1	1	1	1	1	1
SDA	SDA	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1
GND	GND	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0
GND	V+	1	0	1	1	0	0	1	0	0	0	0	1	1	1	1
GND	SCL	1	0	1	1	0	1	0	0	0	0	0	1	1	1	1
GND	SDA	1	0	1	1	0	1	1	0	0	0	0	1	1	1	1
V+	GND	1	0	1	1	1	0	0	1	1	1	1	0	0	0	0
V+	V+	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1
V+	SCL	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1
V+	SDA	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1

端口输入

I/O 端口输入按照CMOS逻辑电平转换，该逻辑电平由扩展器的电源电压决定，且具有+6V的过压容限，与器件的电源电压无关。

I/O 端口输入瞬变检测

器件在最后一次通过串口访问扩展器的操作后，将连续监测所有配置成输入的I/O端口的变化。端口状态被存储

在“瞬像”寄存器中，用于瞬态监测。“瞬像”存储值与实际输入连续地进行比较，若检测到任何端口发生变化，将触发INT指示端口状态发生变化。在每个MAX7325的I²C读、写操作的应答期间，对输入端口进行采样(由内部把数据锁存到“瞬像”寄存器)，同时清除原先的瞬变标志位。通过串行接口可读取之前的端口瞬变标志位，包含在2字节读序列的第2字节。

I²C 端口扩展器, 提供 8 路推挽和 8 路开漏 I/O

串行接口 串口地址

MAX7325 作为从机通过 I²C 接口发送和接收数据，利用串行数据线 (SDA) 和串行时钟线 (SCL) 实现主机与从机之间的双向通信。主机启动所有向 MAX7325 发送数据或从 MAX7325 接收数据的传输，并生成同步数据传输的 SCL 时钟 (图 1)。

SDA 既可作为输入，也可作为漏极开路输出工作。SDA 需要一个典型值为 4.7kΩ 的上拉电阻，SCL 仅作为输入工作。如果 2 线接口上挂载了多个主机，或单主机系统中的主控制器具有漏极开路 SCL 输出，那么，SCL 也需要一个典型值为 4.7kΩ 的上拉电阻。

每次传输过程包括：主机发送一个开始 (START) 条件，接下来发送 MAX7325 的 7 位从地址和 R/W 位，或多个数据字节，最后发送停止 (STOP) 条件终止传输 (图 2)。

START 和 STOP 条件

串行接口空闲时，SCL 和 SDA 均保持高电平。主机通过发出 START (S) 条件表明传输开始，START 条件是在 SCL 为高时，SDA 由高至低的跳变产生的。主机完成与从机的通信时，主机发出 STOP (P) 条件，STOP 条件是在 SCL 为高时，SDA 由低至高的跳变产生的。之后，释放总线，以进行下一次传输 (图 2)。

位传输

每个时钟脉冲传输一个数据位。在 SCL 为高电平期间，SDA 上的数据必须保持稳定 (图 3)。

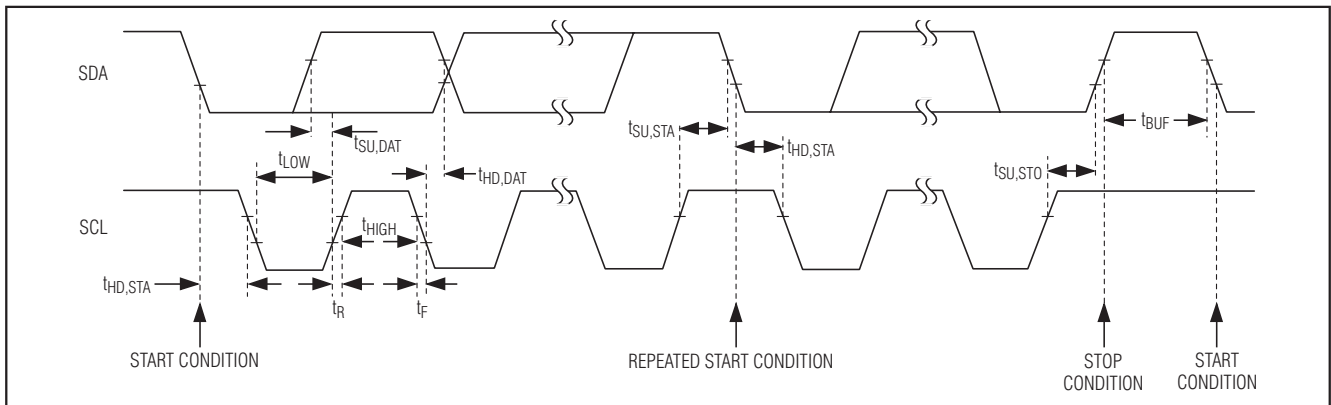


图 1. 2 线串口时序

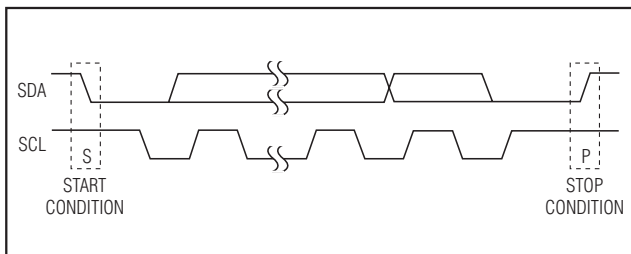


图 2. START 和 STOP 条件

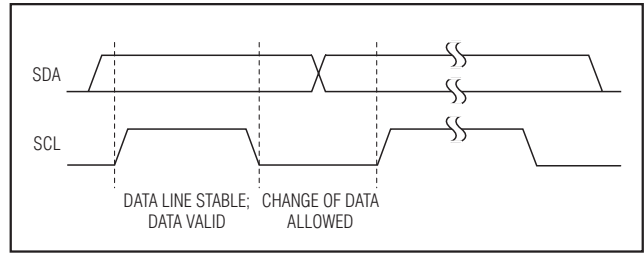


图 3. 位传输

I²C 端口扩展器， 提供8路推挽和8路开漏I/O

应答

应答位是第9位，接收器件利用这一位作为收到每一数据字节的应答信号(图4)。有效传输每个字节需要9位。主机产生第9位时钟信号，接收器件在应答脉冲期间拉低SDA，这样时钟脉冲为高电平期间SDA为稳定的低电平。当主机向MAX7325发送数据时，MAX7325产生应答信号，因为MAX7325是接收器件。当MAX7325向主机发送数据时，主机产生应答信号，因为主机是接收设备。

从地址

MAX7325具有2个7位长的从地址(表2、表3)。与8路推挽式I/O进行通信的地址不同于与8路I/O进行通信的地址。

紧跟在7位从地址之后的第8位为读写R/ \bar{W} 位。它在写命令时为低电平；读命令时为高电平(图5)。MAX7325从地

址的第1位(A6)、第2位(A5)、第3位(A4)始终为1、1、0 (P0-P7)或1、0、1 (O8-O15)。把AD0和AD2连接到GND、V+、SDA或SCL，以选择从地址位A3、A2、A1和A0。MAX7325具有16种可能的从地址(表2、表3)，允许在一条I²C总线上最多挂接16个MAX7325器件。

访问MAX7325

通过I²C接口访问MAX7325，MAX7325为8路漏极开路I/O口(P0-P7)和8路推挽式端口(O8-O15)提供两个不同的7位从地址，参见表2、表3。

MAX7325 I/O端口(P0-P7)的**单字节读操作**返回8个I/O端口状态，并在MAX7325应答从地址字节时清除内部瞬变标志和 \overline{INT} 输出。8个推挽式端口(O8-O15)的单字节读操作返回8个输出端口的状态，作为输入读回数据。

MAX7325 I/O端口(P0-P7)的**2字节读操作**返回8个I/O口的状态(作为一个单字节读操作)，随后是瞬变标志位。当MAX7325应答从机地址字节时清除内部瞬变标志位和 \overline{INT} 输出，但前期的瞬变标志数据将作为第2字节发送。MAX7325推挽式端口的2字节读操作将重复返回8个输出端口状态，作为输入读回数据。

MAX7325 I/O端口(P0-P7)的**多字节读操作**(I²C STOP位之前有2个以上的字节)重复返回端口数据和其后的瞬变标志位。由于每次传输都重新采样端口数据，且每次均复位瞬变标志位，因此，多字节读操作将不断返回端口的当前数据并识别输入端口的任何变化。

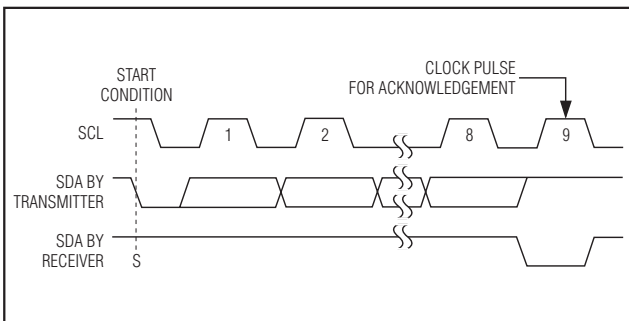


图4. 应答

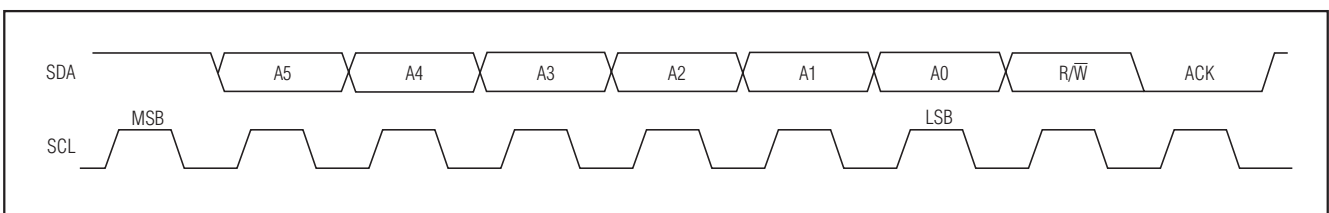


图5. 从地址

I²C 端口扩展器， 提供 8 路推挽和 8 路开漏 I/O

如果在读序列期间端口输入出现数据变化，那么， $\overline{\text{INT}}$ 在 I²C STOP 位之后被重新置位。在单字节读操作或多字节读操作期间，MAX7325 不会产生另外一次中断。

在 I²C 应答期间(单字节读操作或 2 字节读操作时，对 I²C 从地址的应答)对输入端口数据采样。

MAX7325 推挽式端口的多字节读操作将重复返回 8 个输出端口的状态，作为输入读回数据。

MAX7325 每组端口的单字节写操作用于设置所有 8 个端口的状态。

MAX7325 每组端口的多字节写操作重复设置所有 8 个端口的逻辑状态。

从 MAX7325 读取数据

MAX7325 漏极开路端口的读操作开始于主机发送端口组的从地址，且 $\text{R}/\overline{\text{W}}$ 位置为高电平。MAX7325 应答从地址，并在应答期间采样输入端口(“瞬像”存储)。在从地址应答期间，清除 $\overline{\text{INT}}$ 。

典型情况下，主机从 MAX7325 读取 1 或 2 个字节，接收数据时主机应答除最后一个字节以外的每个字节。

主机从 MAX7325 的漏极开路端口读取 1 个字节并发出一个 STOP 条件时(图 6)，MAX7325 发送当前的端口数据、清除瞬态变化标志位，复位瞬态检测。从地址应答期间， $\overline{\text{INT}}$ 变为高电平(如果外部上拉电阻不合适， $\overline{\text{INT}}$ 为高阻态)。新的“瞬像”存储数据既为发送到主机的当前端口数据；因此，可探测到传输期间的端口变化情况。出现 STOP 条件之前， $\overline{\text{INT}}$ 将始终保持高电平。

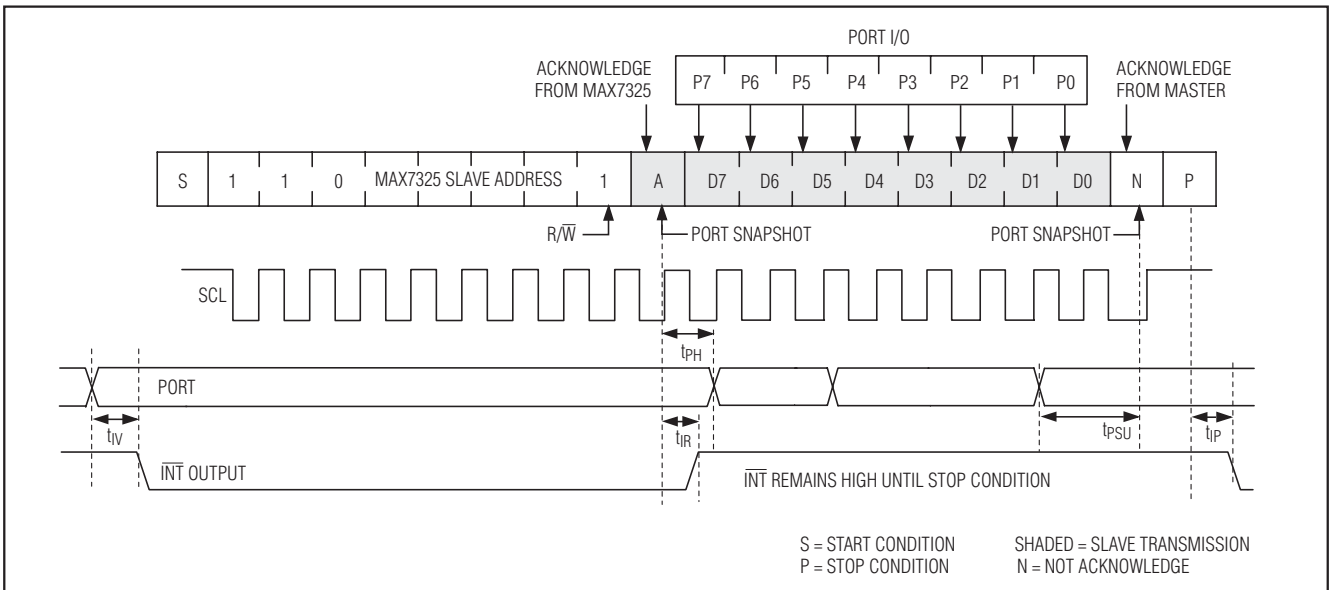


图6. 读MAX7325的漏极开路端口(1个数据字节)

I²C 端口扩展器， 提供8路推挽和8路开漏 I/O

通常，主机从MAX7325推挽式端口读取一个字节，然后发送一个STOP条件(图8)。当然，主机可以从MAX7325的B组端口读取2个或多个字节，然后发出STOP条件。这种情况下，MAX7325在每个应答位期间重新采集输出端口的数据，每次发送最新数据。

向MAX7325写数据

MAX7325每组端口的写操作开始于主机发送的从地址，且R/W位置低。MAX7325应答从地址，并在应答期间采样端口数据。对漏极开路端口进行写操作时，在应答从地址期间将INT置为高电平(上拉电阻不合适时相当于高阻态)。通常主机会继续发送1个或多个数据字节。MAX7325应答这些后续的数据字节，并用每个新字节更新对应的端口数据，直到主机发出STOP条件(图9)。

应用信息

端口输入和I²C接口在较高或较低逻辑电平间的转换

MAX7325的SDA、SCL、AD0、AD2和RST、INT以及O8–O15、P0–P7均具有+6V过压保护。这样，允许MAX7325工作在一个较低的电源电压下，例如+3.3V，而I²C接口和/或8个作为输入时的I/O端口可由较高的逻辑电平驱动，例如+5V。

MAX7325也可以工作在较高的电源电压下，例如+3V，而I²C接口和/或I/O端口P0–P7中的任何一个可由较低的逻辑

电平驱动，例如：+2.5V。V+ < 1.8V时，最小值为0.8 x V+的电压可以在任意输入端口触发一个逻辑高电平；V+ ≥ 1.8V时，最小值为0.7 x V+的电压即可触发逻辑高电平。例如，工作在+5V电源电压的MAX7325可能识别不出+3.3V的标称逻辑高电平。对输入电平进行转换的解决方案之一是：由漏极开路输出驱动MAX7325的I/O。使用连接到V+或更高电压的上拉电阻，以确保大于0.7 x V+的逻辑高电平电压。

输出端口电平转换

漏极开路输出架构允许电平转换到高于或低于MAX7325的电平，通过输出端口的外部上拉电阻将高阻态转换到正电源电压。上拉电阻可以连接到最高+6V的任何电压，选择适当的电阻确保逻辑低电平条件下的吸电流不会高于20mA。与CMOS输入接口时，选择220kΩ上拉电阻将是一个好的起点。选用较低的电阻可以提高噪声抑制能力，这种情况适用于对功耗要求不太严格或者是需要快速上升时间以驱动容性负载的应用。

每个推挽式输出端口与V+和GND之间均连接了一个保护二极管。当端口驱动电压高于V+或低于GND时，保护二极管将输出钳位到高于V+或低于GND一个二极管导通压降上。MAX7325断电时(V+ = 0V)，连接到V+和GND的保护二极管如同一个普通二极管，将每个输出端口钳位到GND(图10)。

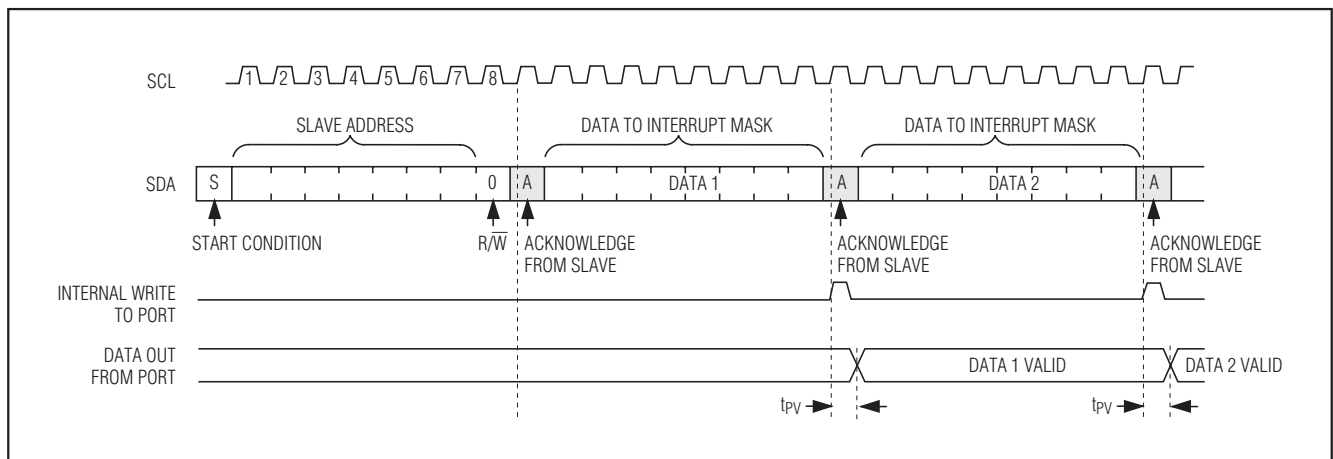


图9. 写MAX7325

I²C 端口扩展器， 提供8路推挽和8路开漏I/O

每个I/O口P0-P7均具有一个接至GND的保护二极管(图11)，当输入端口被驱动到低于GND电压时，保护二极管将输入钳位到低于GND一个二极管导通压降。

每个I/O端口P0-P7都有一个可被使能或禁止的40kΩ(典型值)上拉电阻。当端口电压被驱动到V₊以上时，上拉使能开关的体二极管导通，40kΩ上拉电阻使能。当MAX7325断电(V₊=0V)时，每个输入端口如同一个40kΩ电阻与二极管串联，连接到零电位。输入端口在任何情况下均具有+6V保护(图11)。

驱动LED负载

利用输出端口驱动LED时，必须加合适的电阻与LED串联，以将LED电流限制在20mA以内。把LED的阴极连接到MAX7325端口，将LED的阳极通过串联限流电阻R_{LED}连接到V₊。设置端口输出低电平点亮LED。可以依照下列公式选择电阻：

$$R_{LED} = (V_{SUPPLY} - V_{LED} - V_{OL}) / I_{LED}$$

其中：

R_{LED}是与LED串联的电阻(Ω)。

V_{SUPPLY}是用于驱动LED的电源电压(V)。

V_{LED}是LED的正向电压(V)。

V_{OL}是当吸收I_{LED}电流时，MAX7325的低电平输出电压(V)。

I_{LED}是所要求的LED工作电流(A)。

例如，+5V电源供电、以10mA电流驱动一个2.2V红光LED时：

$$R_{LED} = (5 - 2.2 - 0.1) / 0.01 = 270\Omega$$

驱动电流大于20mA的负载

MAX7325通过并联输出可用于驱动继电器等吸收电流大于20mA的负载。每20mA负载至少需要一个输出端口，例如，一个5V、330mW的继电器吸收电流为66mA，因此需要4个并联输出。任何输出组合均可用作负载共享设计端口，因为端口的任何组合均可在同一时间通过写入MAX7325来进行置位或清零。器件总吸收电流不要超出100mA。

关闭感性负载时(如继电器)会产生瞬态负压，通过在感性负载上跨接一个反偏二极管实现对MAX7325的保护。选择二极管时，其峰值电流要大于感性负载的工作电流。

电源考虑

MAX7325工作在+1.71V至+5.5V电源电压。用一个尽可能靠近器件的0.047μF陶瓷电容将电源旁路至GND。对于TQFN封装，裸焊盘接GND。

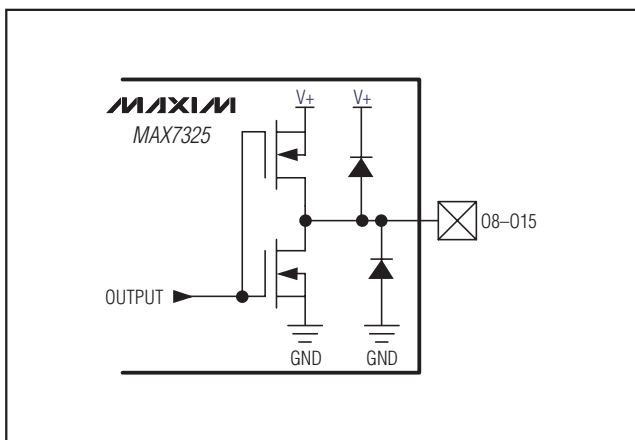


图10. MAX7325推挽式输出端口结构

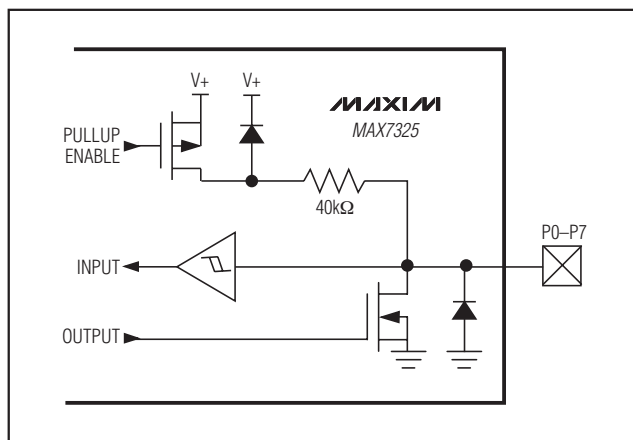
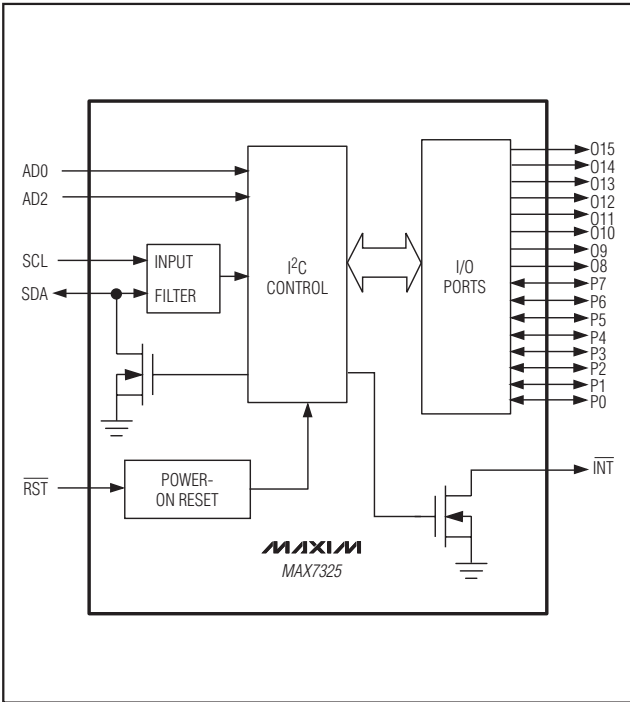


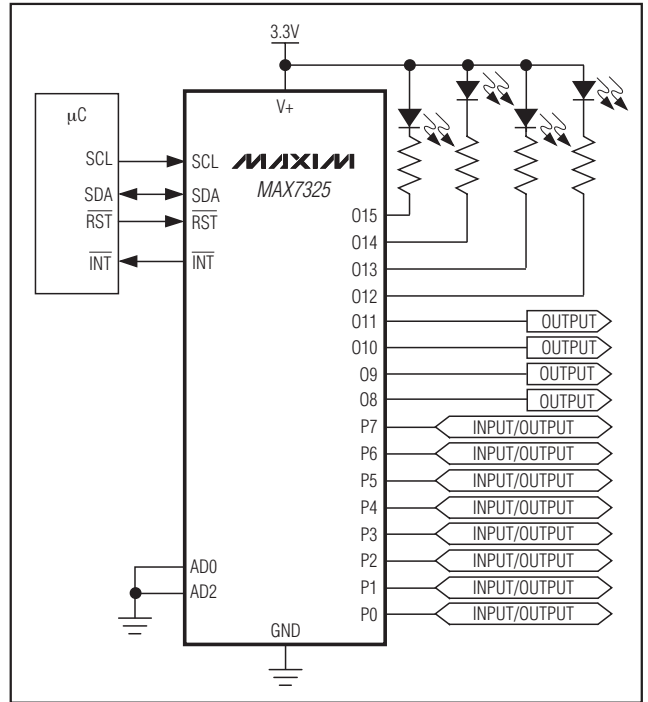
图11. MAX7325漏极开路I/O端口结构

I²C 端口扩展器, 提供 8 路推挽和 8 路开漏 I/O

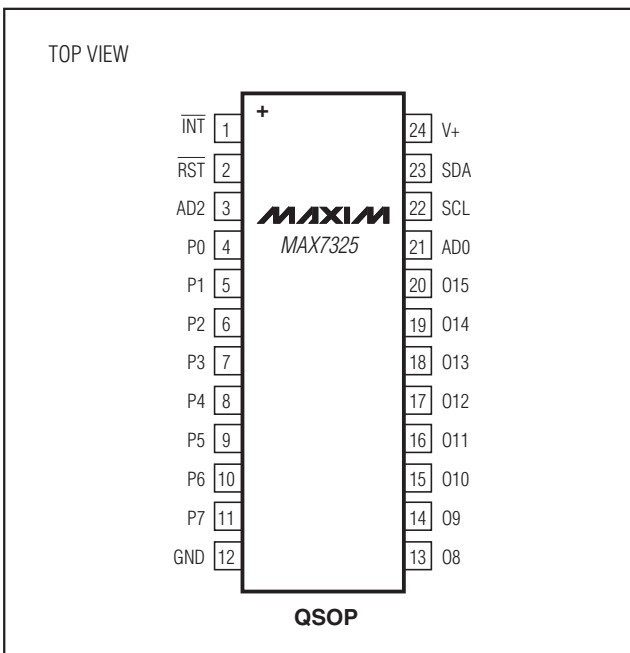
功能框图



典型应用电路



引脚配置(续)



芯片信息

PROCESS: BiCMOS

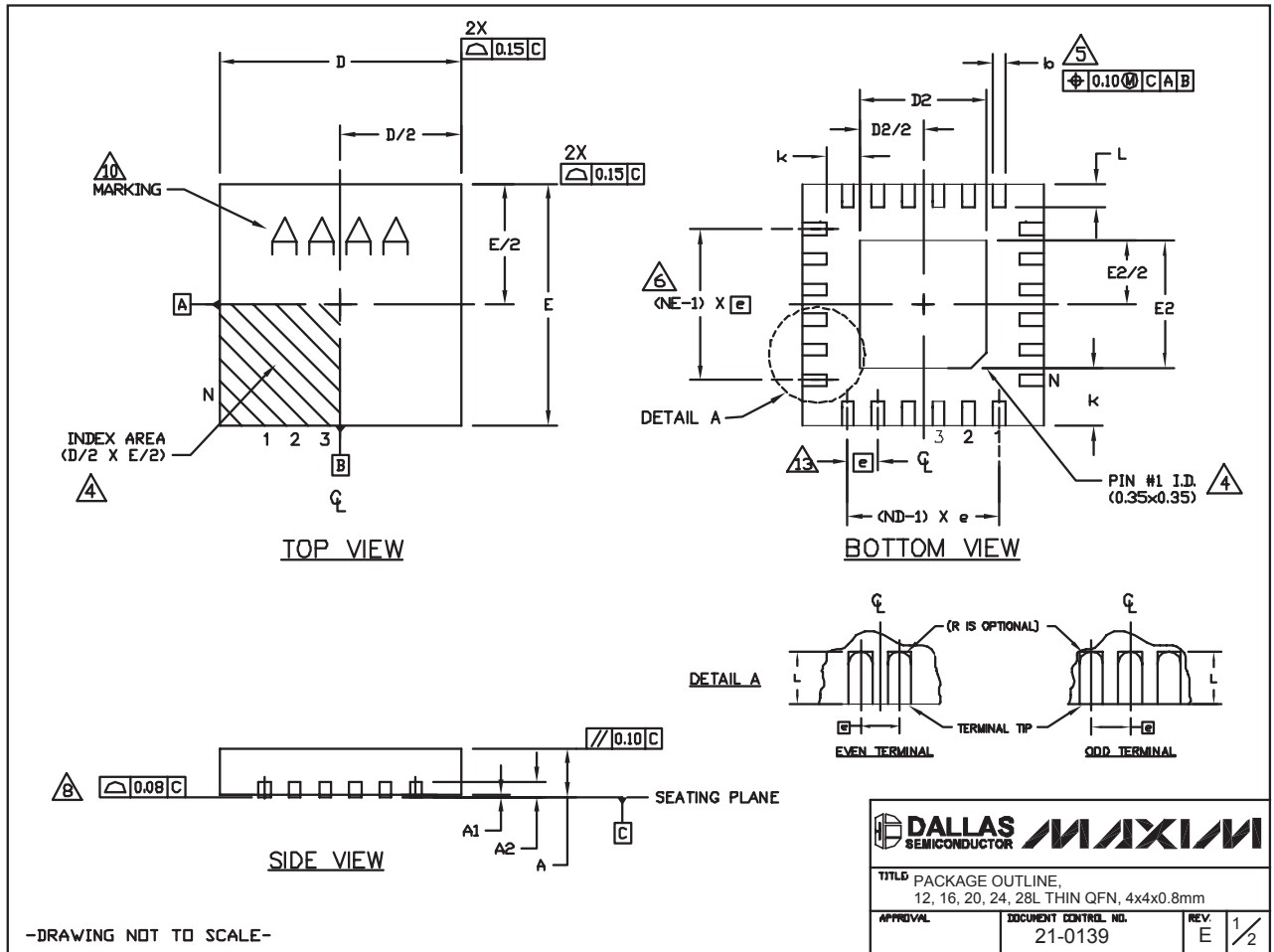
I²C 端口扩展器, 提供 8 路推挽和 8 路开漏 I/O

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX7325

24L QFN THIN.EPS



I²C 端口扩展器, 提供8路推挽和8路开漏I/O

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 www.maxim-ic.com.cn/packages.)

COMMON DIMENSIONS															
PKG	12L 4x4			16L 4x4			20L 4x4			24L 4x4			28L 4x4		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF			0.20 REF		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	12			16			20			24			28		
ND	3			4			5			6			7		
NE	3			4			5			6			7		
Jedec Var.	VGGB			VGGC			WGGD-1			WGGD-2			WGGE		

EXPOSED PAD VARIATIONS							
PKG. CODES	D2			E2			DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO
T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO
T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	NO

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.

THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.

DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.

ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.

COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-3, T2444-4 AND T2844-1.

MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

11. COPLANARITY SHALL NOT EXCEED 0.08mm

12. WARPAGE SHALL NOT EXCEED 0.10mm

LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.

14. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

TITL: PACKAGE OUTLINE, 12, 16, 20, 24, 28L THIN QFN, 4x4x0.8mm			
APPROVAL	DOCUMENT CTRL. NO. 21-0139	REV. E	2/2

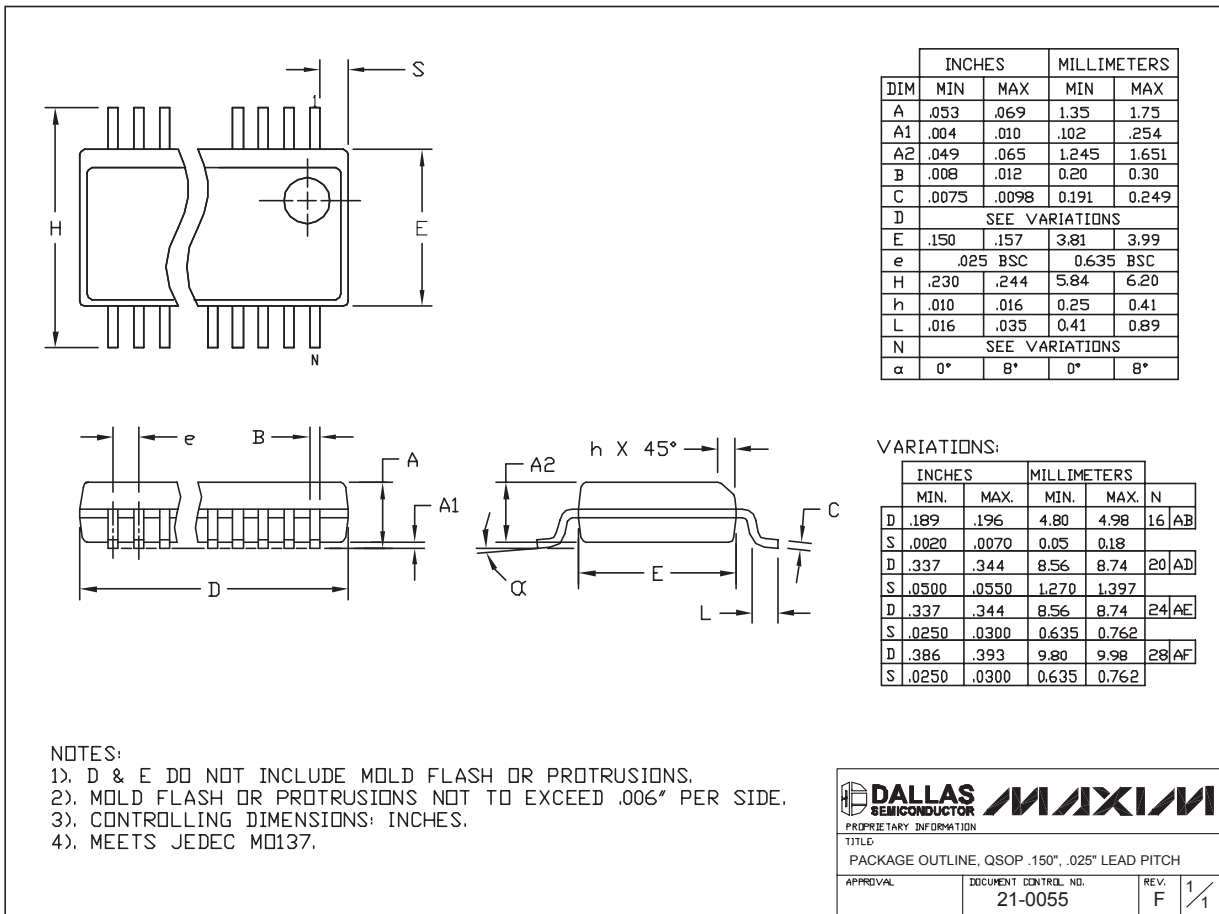
I²C 端口扩展器, 提供 8 路推挽和 8 路开漏 I/O

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX7325

QSOP,EP5



Maxim 北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 19