

2/3通道电源排序器/监控器

概述

MAX6880-MAX6883 2/3电压监控器用于在上电时对电源进行排序。当所有电压超过各自门限后，这些器件依次接通送给系统的电压，导通作为开关的n沟道MOSFET。相邻电压之间的时间间隔由外部电容决定，可以实现灵活的延时。MAX6880/MAX6881可排序三路电压，MAX6882/MAX6883可排序两路电压。

开始时，这些器件首先监视所有电压，当所有电压进入其容差范围内后，内部电荷泵顺序接通外部n沟道MOSFET，为系统施加电压。内部电荷泵驱动栅极至超出相应输入5V的电位，从而可确保MOSFET完全导通，降低导通电阻。

MAX6880-MAX6883具有电容设定的摆率控制特性，实现受控的接通特性。所有这些电压达到其最终稳态值的92.5%之后，电源就绪输出(MAX6880/MAX6882)信号有效。采用外部电容可延迟电源就绪输出(PG/RST)，以产生上电复位延迟。初始上电过程完成后，MAX6880-MAX6883继续监视电压。如果任一路电压低于其门限，MOSFET迅速关断，所有电压同时拉低。内部100Ω下拉电阻确保MOSFET源极上的电容迅速放电。电源就绪输出置低，使系统复位。

MAX6880-MAX6883采用小型、4mm x 4mm、24引脚和16引脚薄型QFN封装，工作温度范围-40°C至+85°C。

应用

多电压系统
网络系统
电信
存储设备
服务器/工作站

选型指南在数据资料的最后给出。

特性

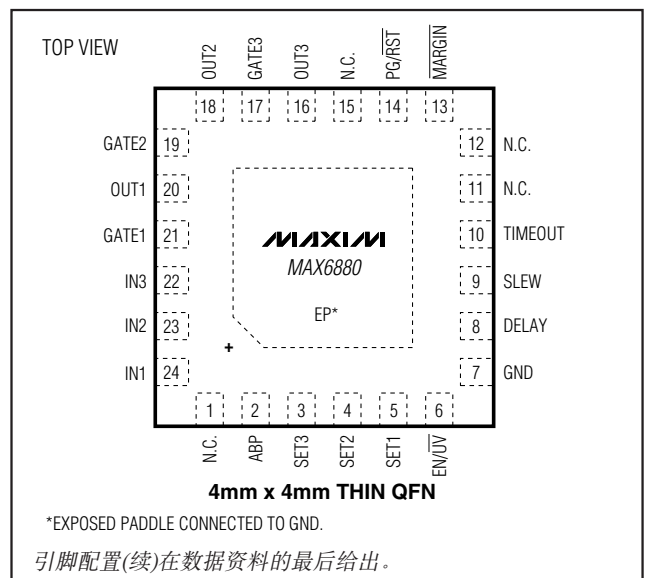
- ◆ 电容可调的上电排序延迟
- ◆ 内部电荷泵驱动外部n沟道FET
- ◆ 可用电容调节电源就绪输出延迟时间 (MAX6880/MAX6882)
- ◆ 可调欠压锁定或逻辑使能输入
- ◆ 各路输出的内部100Ω下拉可为容性负载迅速放电
- ◆ 0.5V至5.5V额定IN_/OUT_范围
- ◆ 2.7V至5.5V工作电压范围
- ◆ 对电压毛刺不敏感
- ◆ 细小的4mm x 4mm、24引脚或16引脚薄型QFN封装

订购信息

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX6880ETG+	-40°C to +85°C	24 Thin QFN	T2444-4
MAX6881ETE+	-40°C to +85°C	16 Thin QFN	T1644-4
MAX6882ETE+	-40°C to +85°C	16 Thin QFN	T1644-4
MAX6883ETE+	-40°C to +85°C	16 Thin QFN	T1644-4

+表示无铅封装。

引脚配置



2/3通道电源排序器/监控器

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND, unless otherwise noted.)

IN1, IN2, IN3.....	-0.3V to +6V	Input/Output Current (all pins except OUT_ and GND)	±20mA
ABP	-0.3V to the highest of $V_{IN1} - V_{IN3}$	Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
SET1, SET2, SET3	-0.3V to +6V	16-Pin 4mm x 4mm Thin QFN	
GATE1, GATE2, GATE3	-0.3V to +12V	(derate 16.9mW/°C above +70°C)	1349mW
OUT1, OUT2, OUT3	-0.3V to +6V	24-Pin 4mm x 4mm Thin QFN	
MARGIN	-0.3V to +6V	(derate 20.8mW/°C above +70°C)	1667mW
PG/RST, EN/UV	-0.3V to +6V	Operating Temperature Range	-40°C to +85°C
DELAY, SLEW, TIMEOUT	-0.3V to +6V	Storage Temperature Range	-65°C to +150°C
OUT_ Current.....	±50mA	Maximum Junction Temperature	+150°C
GND Current.....	±50mA	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(IN1, IN2, or IN3 = +2.7V to +5.5V, EN/UV = MARGIN = ABP, $T_A = -40^\circ\text{C}$ to +85°C, unless otherwise specified. Typical values are at $T_A = +25^\circ\text{C}$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Voltage Range	IN_	Voltage on the highest of IN_ to ensure that PG/RST is valid and GATE_ = 0	1.4			V
		Voltage on the highest of IN_ to ensure the device is fully operational	2.7		5.5	
Supply Current	I _{CC}	IN1 = 5.5V, IN2 = IN3 = 3.3V, no load		1.1	1.8	mA
SET_ Threshold Range	V _{TH}	SET_ falling, $T_A = +25^\circ\text{C}$	0.4925	0.5	0.5075	V
		SET_ falling, $T_A = -40^\circ\text{C}$ to +85°C	0.4875	0.5	0.5125	
SET_ Threshold Hysteresis	V _{TH_HYST}	SET_ rising		0.5		%
SET_ Input Current	I _{SET}	SET_ = 0.5V	-100		+100	nA
EN/UV Input Voltage	V _{EN_R}	Input rising		1.286		V
	V _{EN_F}	Input falling	1.22	1.25	1.28	
EN/UV Input Current	I _{EN}		-5		+5	µA
EN/UV Input Pulse Width	t _{EN}	EN/UV falling, 100mV overdrive	7			µs
DELAY, TIMEOUT Output Current	I _D	(Notes 2, 3)	2.12	2.5	2.88	µA
DELAY, TIMEOUT Threshold Voltage		V _{CC} = 3.3V		1.25		V
SLEW Output Current	I _S	(Note 4)	22.5	25	27.5	µA
Sequence Slew-Rate Timebase Accuracy	SR	C _{SLEW} = 200pF	-15		+15	%
Timebase/C _{SLEW} Ratio		100pF < C _{SLEW} < 1nF		104		kΩ
Slew-Rate Accuracy during Power-Up and Power-Down		C _{SLEW} = 200pF, V _{IN_} = 5.5V (Note 4)	-50		+50	%

2/3通道电源排序器/监控器

MAX6880-MAX6883

ELECTRICAL CHARACTERISTICS (continued)

(IN1, IN2, or IN3 = +2.7V to +5.5V, EN/ $\overline{\text{UV}}$ = $\overline{\text{MARGIN}}$ = ABP, T_A = -40°C to +85°C, unless otherwise specified. Typical values are at T_A = +25°C, unless otherwise noted.) (Note 1)

Power-Good Threshold	V _{TH_PG}	V _{OUT_} falling	91.5	92.5	93.5	%
Power-Good Threshold Hysteresis	V _{HYS_PG}	V _{OUT_} rising	0.5			%
GATE_ Output High	V _{GOH}	I _{SOURCE} = 0.5μA	IN_ + 4.2	IN_ + 5.0	IN_ + 5.8	V
GATE_ Pullup Current	I _{GUP}	During power-up and power-down, V _{GATE_} = 1V	2.5	4		μA
GATE_ Pulldown Current	I _{GD}	During power-up and power-down, V _{GATE_} = 5V	2.5	4		μA
	I _{GDS}	When disabled, V _{GATE_} = 5V, V _{IN_} ≥ 2.7V	9.5			mA
		When disabled, V _{GATE_} = 5V, V _{IN_} ≥ 4V	20			
SET_ to GATE_ Delay	t _{D-GATE}	SET falling, 25mV overdrive	10			μs
PG/ $\overline{\text{RST}}$ Output Low	V _{OL}	V _{IN_} ≥ 2.7V, I _{SINK} = 1mA, output asserted	0.3			V
		V _{IN_} ≥ 4.0V, I _{SINK} = 4mA, output asserted	0.4			
Tracking Differential Voltage Stop Ramp	V _{TRK}	Differential between each of the OUT_ and the ramp voltage during power-up and power-down, Figure 1 (Note 5)	75	125	180	mV
Tracking Differential Fault Voltage	V _{TRK_F}	Differential between each of the OUT_ and the ramp voltage, Figure 1 (Note 5)	200	250	310	mV
Power-Low Threshold	V _{TH_PL}	OUT_ falling	125	142	170	mV
Power-Low Hysteresis	V _{TH_PLHYS}	OUT_ rising	10			mV
OUT to GND Pulldown Impedance		IN_ > 2.7V (Note 6)	100			Ω
$\overline{\text{MARGIN}}$ Pullup Current	I _{IIN}		7	10	13	μA
$\overline{\text{MARGIN}}$ Input Voltage	V _{IL}		0.8			V
	V _{IH}		2.0			
$\overline{\text{MARGIN}}$ Glitch Rejection			100			ns

Note 1: Specifications guaranteed for the stated global conditions. 100% production tested at T_A = +25°C and T_A = +85°C. Specifications at T_A = -40°C to +85°C are guaranteed by design. These devices meet the parameters specified when at least one of IN1/IN2/IN3 is between 2.7V to 5.5V, while the remaining IN1/IN2/IN3 are between 0 and 5.5V.

Note 2: A current I_D = 2.5μA ±15% is generated internally and is used to set the DELAY and TIMEOUT periods and used as a reference for t_{DELAY} and t_{TIMEOUT}.

Note 3: The total DELAY is t_{DELAY} = 200μs + (500kΩ × C_{DELAY}). Leave DELAY unconnected for 200μs delay. The total TIMEOUT is t_{TIMEOUT} = 200μs + (500kΩ × C_{TIMEOUT}). Leave TIMEOUT unconnected for 200μs timeout.

Note 4: A current I_S = 25μA ±10% is generated internally and used as a reference for t_{FAULT}, t_{RETRY}, and slew rate.

Note 5: During power-up, only the condition OUT_ < ramp - V_{TRK} is checked in order to stop the ramp. However, both conditions OUT_ < ramp - V_{TRK_F} and OUT_ > ramp + V_{TRK_F} cause a fault. During power-down, only the condition OUT_ > ramp + V_{TRK} is checked in order to stop the ramp. However, both conditions OUT_ < ramp - V_{TRK_F} and OUT_ > ramp + V_{TRK_F} cause a fault (see Figure 10). Therefore, if OUT1, OUT2, and OUT3 (during power-up tracking and power-down) differ by more than 2 × V_{TRK_F}, a fault condition is asserted.

Note 6: A 100Ω pulldown to GND activated by a fault condition. See the *Internal Pulldown* section.

2/3通道电源排序器/监控器

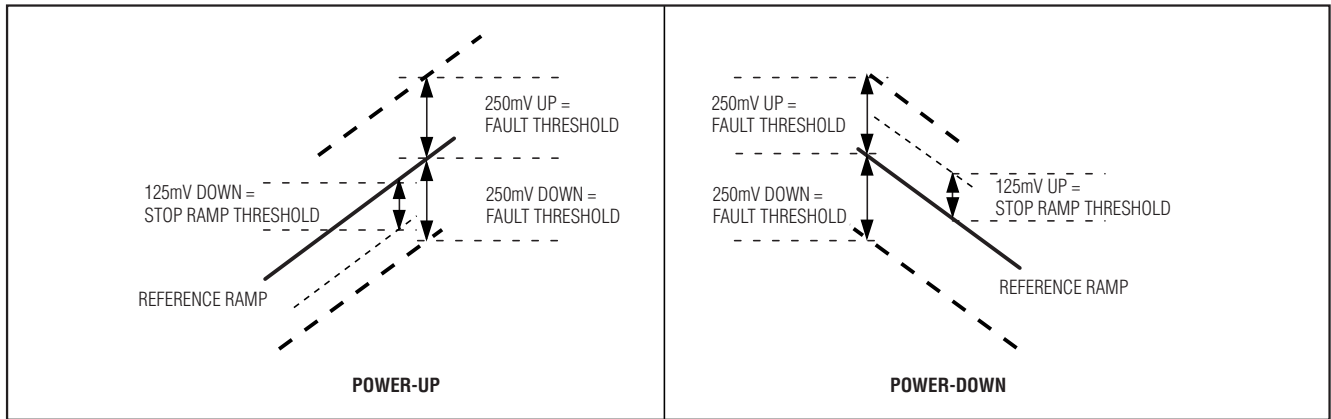


图1. 上电和掉电时, 停止电压爬升/故障窗口

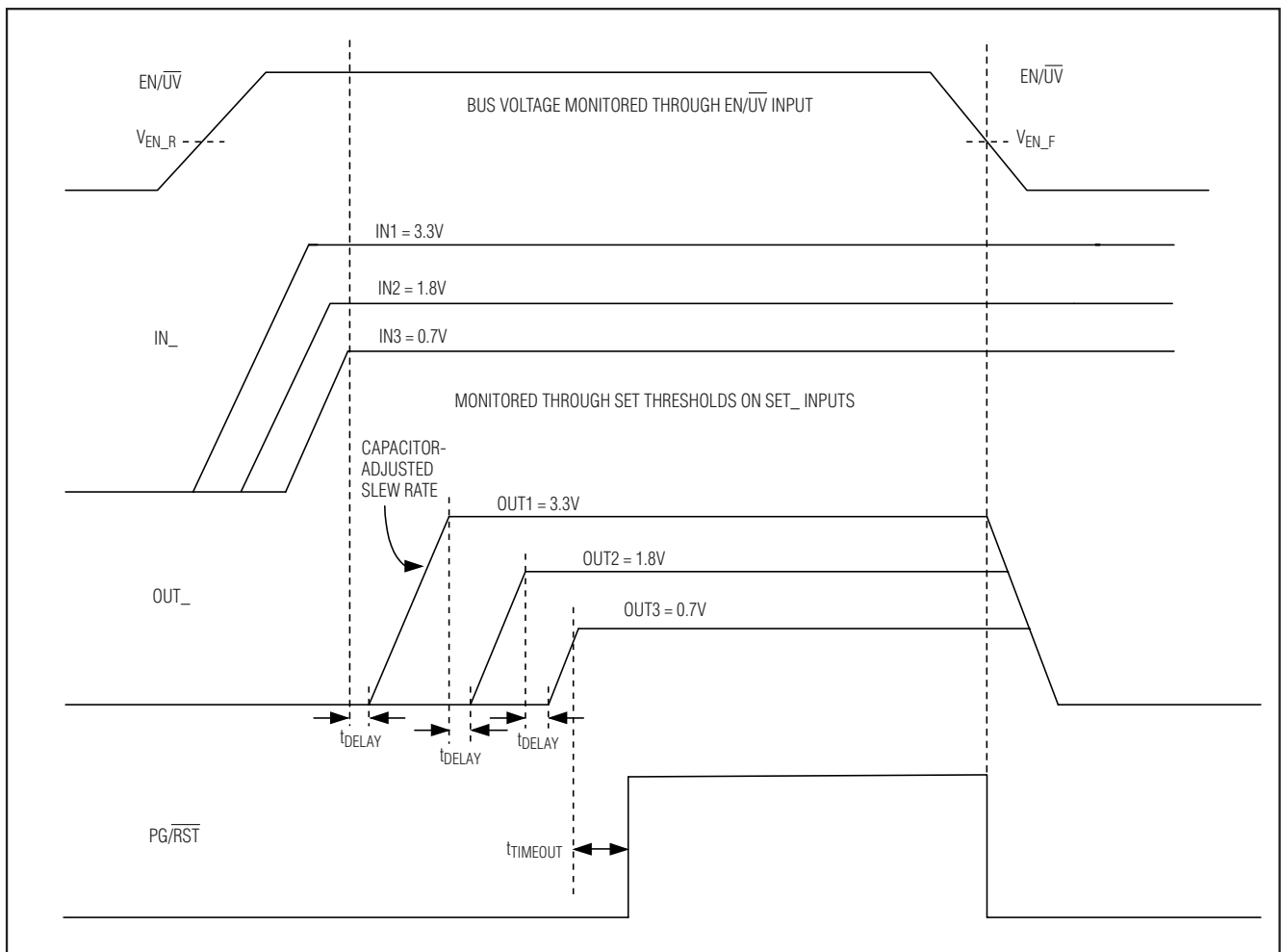


图2. 正常模式下的排序

2/3通道电源排序器/监控器

MAX6880-MAX6883

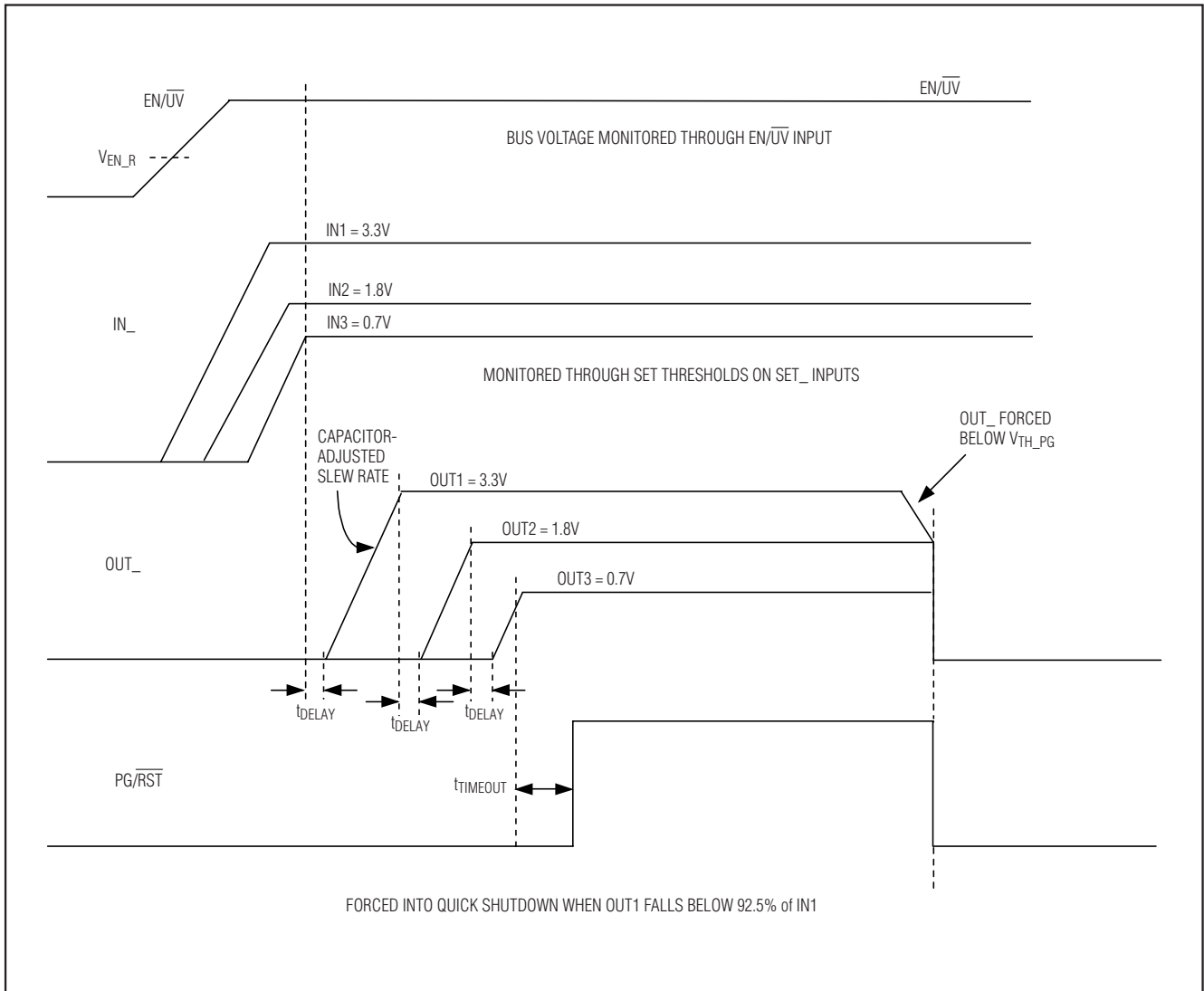


图3. 快速关断模式下的排序

2/3通道电源排序器/监控器

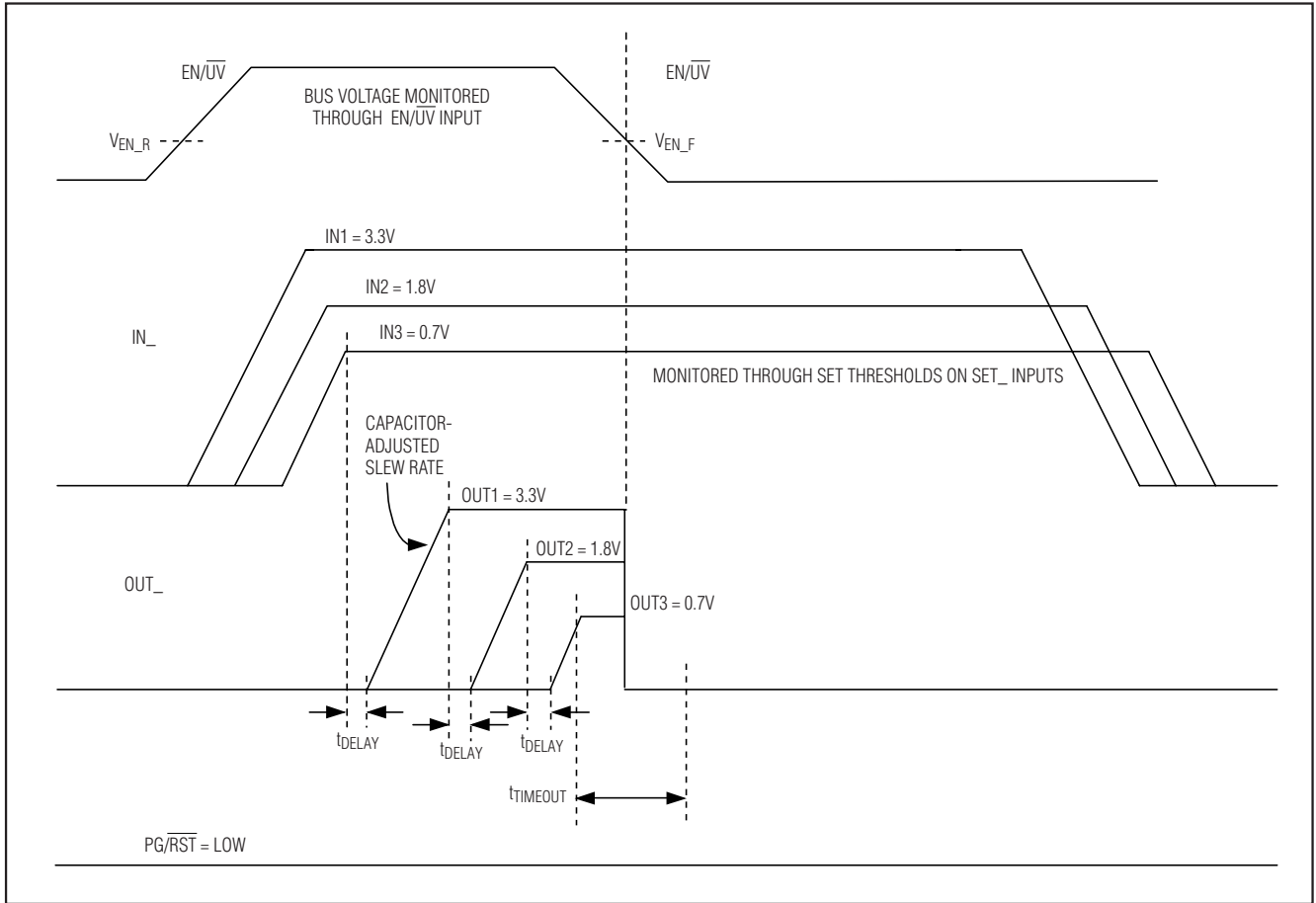


图4. 时序图(中止排序)

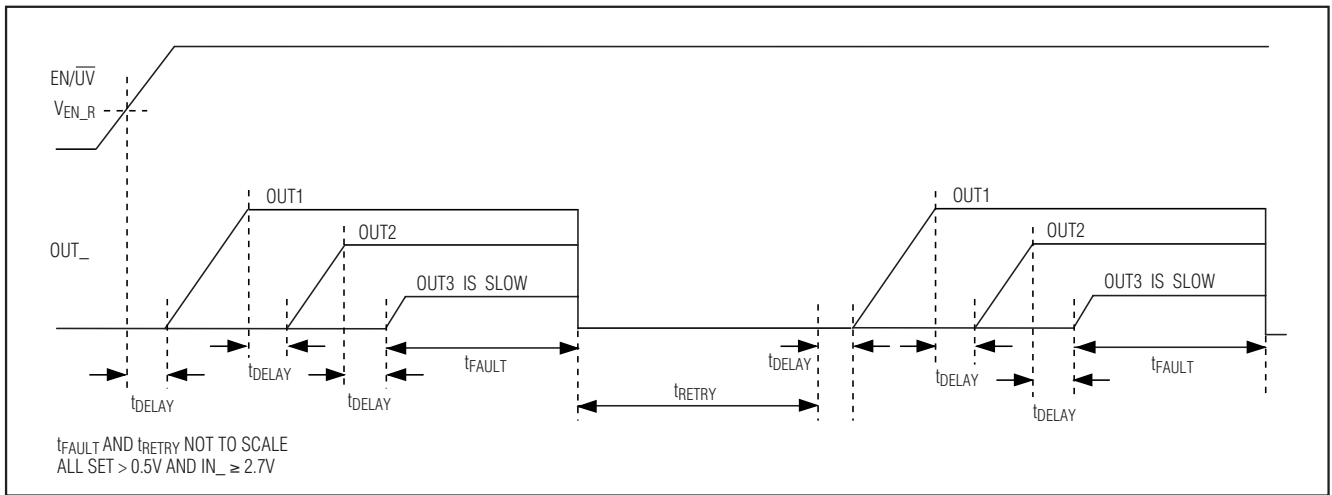


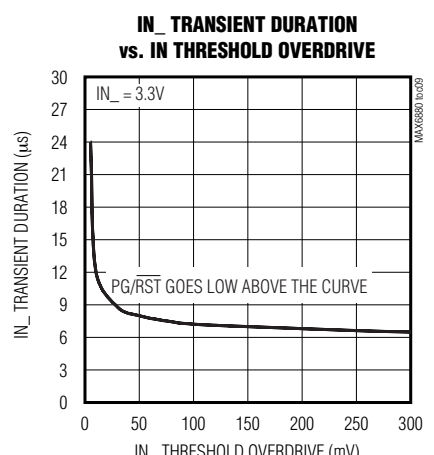
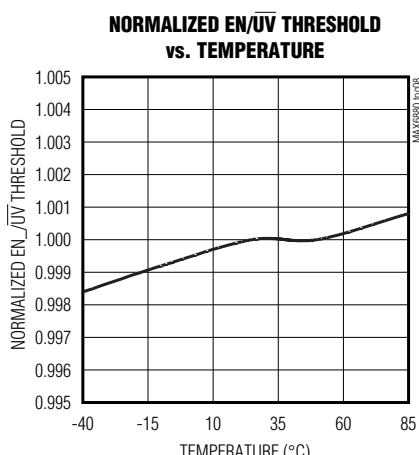
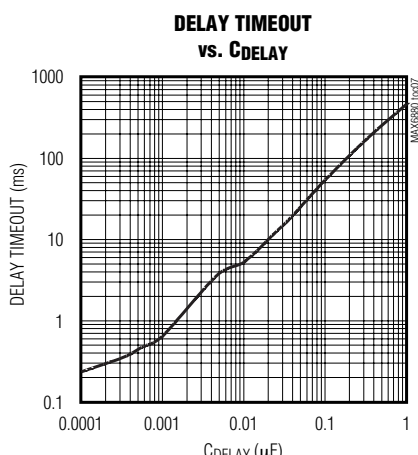
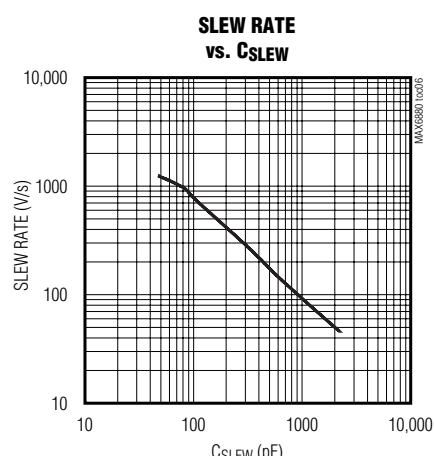
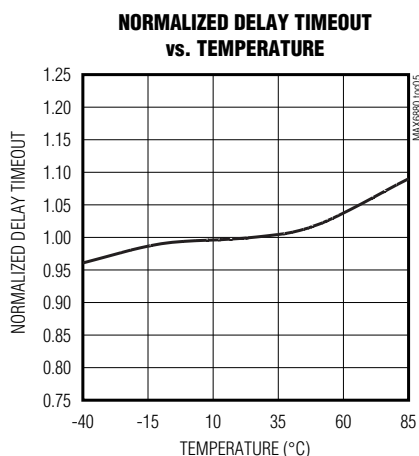
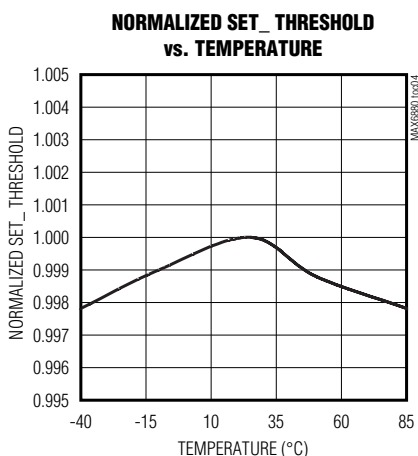
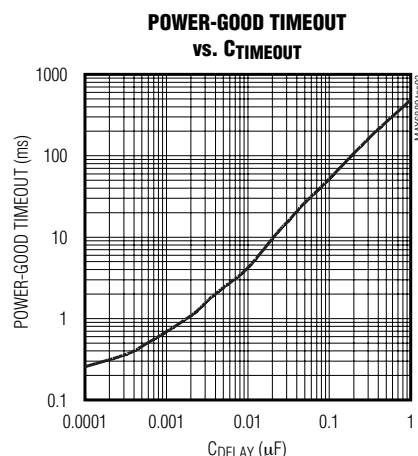
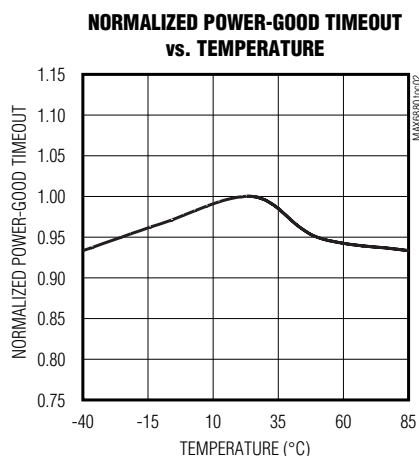
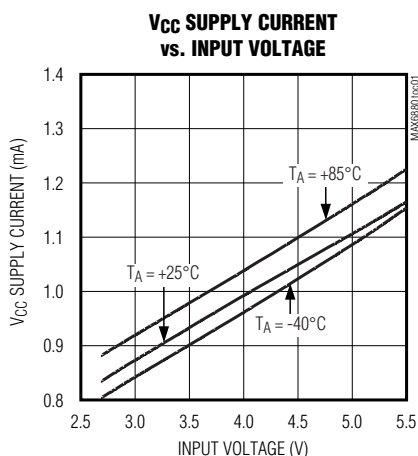
图5. 排序中的t_{FAULT}和t_{RETRY}时序

2/3通道电源排序器/监控器

典型工作特性

($V_{IN_}$ = 2.7V to 5.5V, C_{SLEW} = 200pF, $EN = \overline{MARGIN} = ABP$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

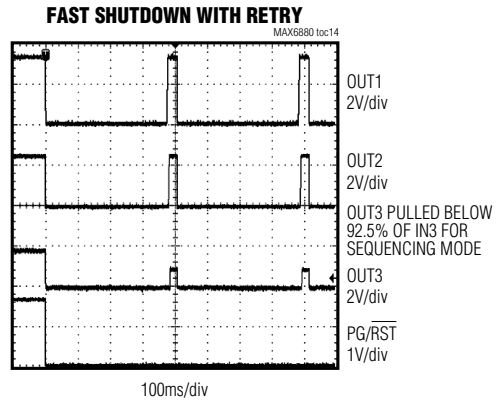
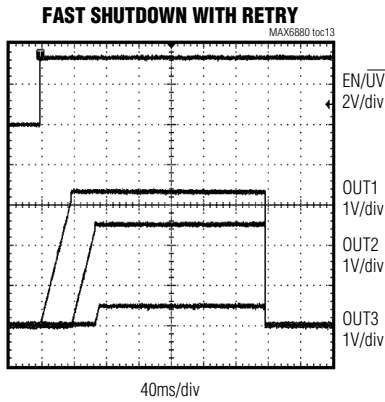
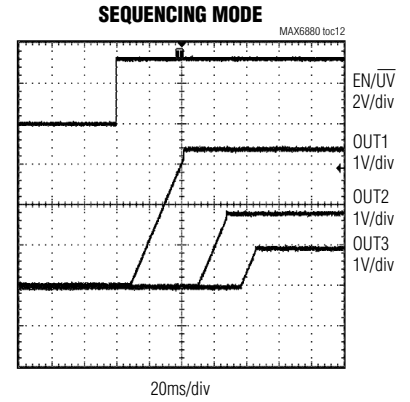
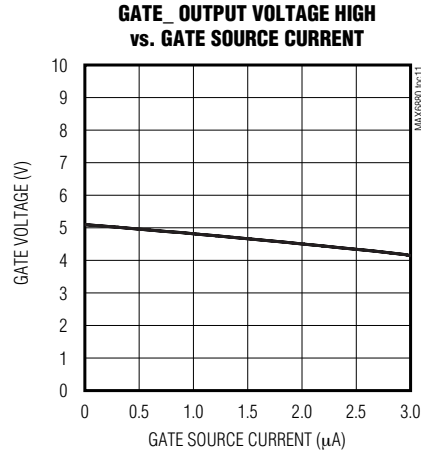
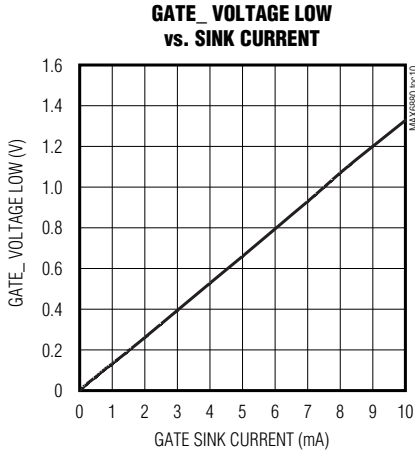
MAX6880-MAX6883



2/3通道电源排序器/监控器

典型工作特性(续)

($V_{IN_}$ = 2.7V to 5.5V, C_{SLEW} = 200pF, $EN = \overline{MARGIN} = ABP$, $T_A = +25^\circ C$, unless otherwise noted.)



2/3通道电源排序器/监控器

引脚说明

MAX6880-MAX6883

引脚				名称	功能
MAX6880	MAX6881	MAX6882	MAX6883		
1, 11, 12, 15	—	—	1, 8, 9, 10	N.C.	没有连接。无内部连接。
2	—	1	—	ABP	内部电源旁路输入。采用一只1 μ F的电容器，将ABP旁路至GND。在快速掉电状态下，ABP维持器件的供电电压。
3	2	—	—	SET3	外部可调节的IN_欠压锁定门限。SET_接外部电阻分压网络，设置每个IN_电源所期望的欠压门限(参见典型应用电路)。所有SET_输入高于内部SET_门限(0.5V)后才会使能排序功能。
4	3	2	2	SET2	
5	4	3	3	SET1	
6	5	4	4	EN/ \overline{UV}	逻辑使能输入或欠压锁定监测输入。只有EN/ \overline{UV} 为高(EN/ \overline{UV} > V _{EN_R})才会启动上电排序操作。若EN/ \overline{UV} < V _{EN_F} ，OUT_启动跟踪掉电。EN/ \overline{UV} 接外部电阻分压网络可设置外部UVLO门限。
7	6	5	5	GND	地。
8	7	6	6	DELAY	排序延迟设定。DELAY和GND之间接一只电容器可设定排序延迟(所有SET_输入和EN/ \overline{UV} 都超过各自的门限后)或各通道电源之间的延迟。DELAY悬空时默认的延迟为200 μ s。
9	8	7	7	SLEW	摆率设定。SLEW和GND之间接一只电容器可设定OUT_摆率。
10	—	8	—	TIMEOUT	PG/ \overline{RST} 延时设定。当所有OUT_超出各自的IN_参考门限后，PG/ \overline{RST} 在经过一定延时之后变为高电平。TIMEOUT和GND之间接一只电容器设置期望的延时。TIMEOUT悬空时默认的延迟时间为200 μ s。
13	—	9	—	\overline{MARGIN}	余量输入，低有效。驱动 \overline{MARGIN} 为低时使能余量模式(参见余量输入(MARGIN)(MAX6880/MAX6882)部分)。MARGIN返回高电平后禁止MARGIN功能(返回至正常监视模式)。MARGIN内部由10 μ A电流源上拉至ABP。

2/3通道电源排序器/监控器

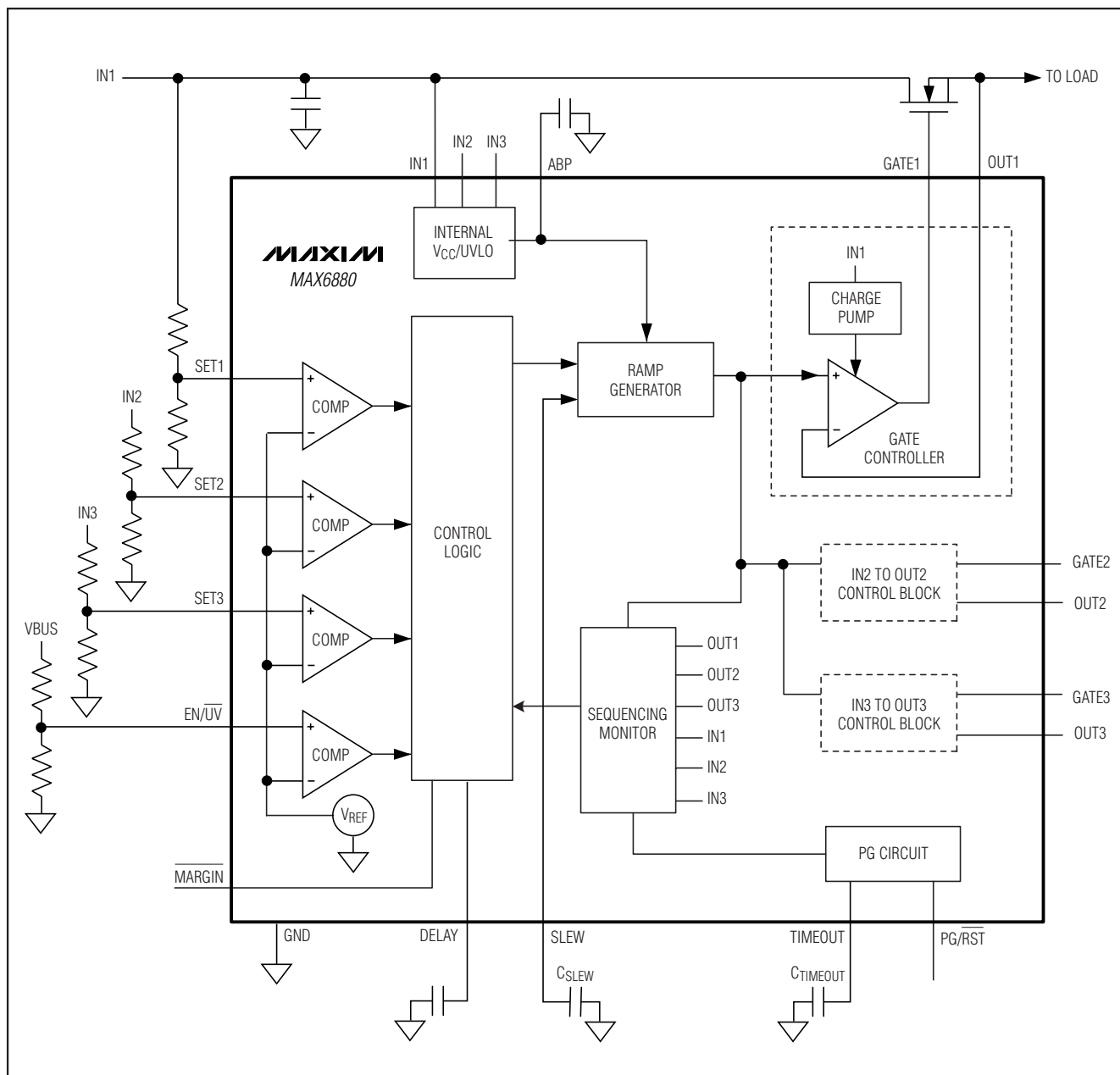
引脚说明(续)

引脚				名称	功能
MAX6880	MAX6881	MAX6882	MAX6883		
14	—	10	—	PG/ $\overline{\text{RST}}$	电源就绪输出，开漏。所有OUT_电压超过 $V_{\text{TH_PG}}$ 门限并延迟 t_{TIMEOUT} 时间后PG/ $\overline{\text{RST}}$ 变为高电平。
16	9	—	—	OUT3	通道3输出电压监视。OUT3接n沟道FET源极。故障状态下接通到地的100 Ω 下拉。
17	10	—	—	GATE3	外部n沟道FET的栅极驱动。上电过程完成后，内部电荷泵使GATE3升高至 $V_{\text{IN3}} + 5\text{V}$ ，完全导通n沟道FET。
18	11	11	11	OUT2	通道2输出电压监视。OUT2接n沟道FET源极。故障状态下接通到地的100 Ω 下拉。
19	12	12	12	GATE2	外部n沟道FET的栅极驱动。上电过程完成后，内部电荷泵使GATE2升高至 $V_{\text{IN2}} + 5\text{V}$ ，完全导通n沟道FET。
20	13	13	13	OUT1	通道1输出电压监视。OUT1接n沟道FET的源极。故障状态下接通到地的100 Ω 下拉。
21	14	14	14	GATE1	外部n沟道FET的栅极驱动。上电过程完成后，内部电荷泵使GATE1升高至 $V_{\text{IN1}} + 5\text{V}$ ，完全导通n沟道FET。
22	15	—	—	IN3	电源电压输入。IN1、IN2或IN3必须高于内部欠压锁定门限($V_{\text{ABP}} = 2.7\text{V}$)才能使能排序功能。SET_输入同时监视每路IN_输入通道，确保所有电源稳定之后才使能上电过程。如果IN_接地或悬空，并且SET_大于0.5V，那么在该通道上就不执行排序控制。每路IN_通过内部100k Ω 电阻下拉。
23	16	15	15	IN2	
24	1	16	16	IN1	
EP	EP	EP	EP	EP	裸露焊盘。裸露焊盘须接地。

2/3通道电源排序器/监控器

功能框图

MAX6880-MAX6883



2/3通道电源排序器/监控器

详细说明

MAX6880-MAX6883多电压电源排序器/监控器可监视三路(MAX6880/MAX6881)或二路(MAX6882/MAX6883)系统电压,为那些需要电压排序的系统提供正确的上电和掉电控制。当系统电源启动时,这些器件可确保受控电压以正确的次序进行排序。MAX6880-MAX6883提供用于控制最多三个外部n沟道FET所需的电压和时序,用于控制OUT1/OUT2/OUT3电源电压。

MAX6880-MAX6883的每路输入电源都具有可调节的欠压门限。当所有电压都高于预设的门限时,器件导通外部n沟道MOSFET,对系统电源进行排序。输出被依次接通,首先是OUT1,最后是OUT3。

MAX6880-MAX6883内置电荷泵可完全导通外部FET,降低大电流下的压降。MAX6880/MAX6882还提供延时周期可选的电源就绪输出(PG/RST),用于系统复位。

MAX6880-MAX6883可监视最多三路电压。这些器件可被配置为取消任何一路IN_的工作。要禁止任意IN_的排序工作,应使IN_接地(或悬空),并将SET_连接至高于0.5V的电压。通道取消特性使器件应用更灵活,使其适用于多种不同的场合。例如,采用IN1和IN2,禁止IN3时,MAX6880能对两路电压进行排序。

为MAX6880-MAX6883供电

这些器件可从IN1、IN2或IN3输入中获得电源(参见功能框图)。为了确保正常工作,至少应保证IN_输入中的一个电压不低于+2.7V。

IN1/IN2/IN3中电压最高者为器件供电。由于设置了一定的内部滞回,这些输入电压彼此相差在100mV(典型值)之内时,为MAX6880-MAX6883供电的输入电源保持不变。

排序

所有上电条件均满足时($V_{EN/UV} > 1.25V$ 且所有SET_输入高于内部SET_门限,即0.5V),开始排序工作。在排序模式下,输出依次启动,OUT1最先,OUT3最后。在每个通道接通之前,要经过一段延迟时间(大小由DELAY与地之间的电容器设定)。各通道的上电过程终止于输出电压超过相应IN_电压的某个固定百分比(V_{TH_PG})。当所有通道电压都超过该门限时,PG/RST在经过一个延迟时间 $t_{TIMEOUT}$ 后变为高电平,表明排序成功。

如果在上电排序初始阶段出现故障,则终止排序。

掉电时同时关断所有输出,相互跟踪。没有反向掉电排序。

电源排序操作应在所选定的故障超时周期(t_{FAULT})内完成(参见图5)。当器件必须改变控制摆率以适应比较慢的电源时,总排序时间会延长。如果外部FET太小(对于所选定的负载电流和IN_源电流来说, R_{DS} 太大),OUT_电压可能永远不会达到控制斜坡电压。摆率为935V/s时,如果所有输出在22ms内没有达到稳定,则发出故障信号。摆率为93.5V/s时,如果排序占用的时间大于219ms则报告故障。故障时间(t_{FAULT})由SLEW(C_{SLEW})端的电容器设置。采用以下公式估算故障时间:

$$t_{FAULT} = 2.191 \times 10^8 \times C_{SLEW}$$

自动重试功能

MAX6880/MAX6881/MAX6882具有自动重试模式,可在检测到故障状态后再次上电(参见典型工作特性)。

检测到故障时,在 t_{RETRY} 周期内,GATE_保持关断并接通100Ω下拉电路。 t_{RETRY} 周期过后,如果所有上电条件均满足,器件等待 t_{DELAY} 时间后重新排序(参见图5)。这些上电条件包括:所有 $V_{SET_} > 0.5V$, $EN/UV > V_{EN_R}$ 和 $OUT_电压 < V_{TH_PL}$ 。自动重试周期 t_{RETRY} 是 C_{SLEW} 的函数(参见表1)。

上电和掉电

在上电期间,一个内部环路通过控制外部MOSFET的GATE_强迫OUT_跟随内部参考斜坡电压。该过程必须在可调的故障超时周期内(t_{FAULT})完成;否则,器件强制关断所有GATE_。

上电完成后,强制 $V_{EN/UV}$ 低于 V_{EN_F} 可以启动掉电过程。参考斜坡电压以电容器设定的斜率逐渐降低。控制环路参照公共的参考斜坡电压监视每个OUT_电压。在斜坡下降期间,如果OUT_电压比参考斜坡电压高,且差值大于 V_{TRK} ,控制环路暂停控制斜坡电压的下降,直到较慢的OUT_电压赶上。如果OUT_电压比参考斜坡电压高或低,且差值大于 V_{TRK_F} ,则发出故障信号并进入快速关断模式。在快速关断模式下,OUT_和GND之间连接100Ω下拉电阻使OUT_端电容快速放电,GATE_被强大的 I_{GDS} 电流拉低(参见图3)。

2/3通道电源排序器/监控器

图4所示为被终止的排序模式。若EN/ \overline{UV} 在 $t_{TIMEOUT}$ 结束之前变为低，所有输出变为低，器件进入快速关断模式。

内部下拉

发生故障后，为确保OUT_电压不会因大容量输出电容所致而一直为高，在OUT_端内部接一个100 Ω 的下拉电阻器。该下拉电阻可确保所有OUT_电压在开始上电之前低于 V_{TH_PL} (以地为参考)。在快速关断模式和故障模式下，内部下拉电阻还能确保输出电容快速放电。正常工作时没有下拉。

稳定性说明

排序或摆率控制无需外部补偿。

输入

IN1/IN2/IN3

IN1、IN2或IN3中电压最高者为器件供电。各IN_电源的欠压门限通过IN_、SET_与地之间的外部电阻分压器来设置。若要取消对IN_的排序，可将IN_接地(或悬空)且SET_接高于0.5V的电压。

欠压锁定门限(SET_)

MAX6880/MAX6881具有三路，MAX6882/MAX6883具有两路外部可调的IN_欠压锁定门限(SET1/SET2/SET3)。0.5V的SET_门限能监测低至0.5V的IN_电压。每路IN_电源的欠压门限通过IN_、SET_与地间的电阻分压器来设置(参见图6)。所有SET_输入必须高于内部SET_门限(0.5V)才能启动排序功能。采用以下公式设定UVLO门限：

$$V_{IN_} = V_{TH} (R1 + R2) / R2$$

其中 $V_{IN_}$ 是欠压锁定门限， V_{TH} 是500mV SET_门限。

余量输入(\overline{MARGIN}) (MAX6880/MAX6882)

\overline{MARGIN} 功能允许将电源电压降低到SET_输入所设定的正常范围以下时进行系统级测试。在调低系统电压之前首先驱动 \overline{MARGIN} 为低可以避免出现报错信号。 \overline{MARGIN} 为低时PG/RST的状态不变。 \overline{MARGIN} 为低时禁止PG/RST和所有监视功能。 \overline{MARGIN} 功能允许我们在调节电源的时候不必调节监视门限来阻止排序器告警。正常工作模式下可将 \overline{MARGIN} 驱动为高电平或悬空。

摆率控制输入(SLEW)

受控上电/掉电过程中，参考斜坡电压的摆率可通过连接在SLEW和地之间的电容(C_{SLEW})在90V/s至950V/s间设置。采用以下公式计算摆率的典型值：

$$\text{摆率} = (9.35 \times 10^{-8}) / C_{SLEW}$$

其中摆率的单位为V/s， C_{SLEW} 的单位为法拉。

电容器 C_{SLEW} 也设定了重试延迟时间(t_{RETRY})，参见表1。

例如，如果 $C_{SLEW} = 100\text{pF}$ ，则 $t_{RETRY} = 350\text{ms}$ ， $t_{FAULT} = 21.91\text{ms}$ ，摆率 = 935V/s。又如，如果 $C_{SLEW} = 1\text{nF}$ ，则 $t_{RETRY} = 3.5\text{s}$ ，摆率 = 93.5V/s。

C_{SLEW} 是SLEW焊盘上的电容，其电容量必须足够大，这样PC板寄生电容才可忽略不计。 C_{SLEW} 的范围应为： $100\text{pF} < C_{SLEW} < 1\text{nF}$ 。

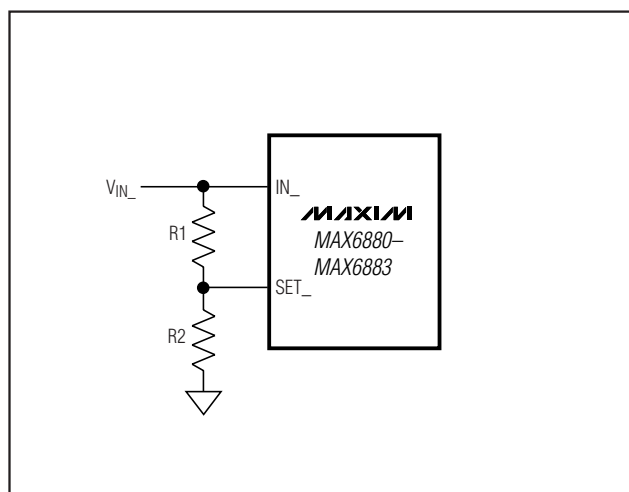


图6. 设置欠压锁定(UVLO)门限

2/3通道电源排序器/监控器

表 1. C_{SLEW} 定时公式

TIME PERIOD	FORMULAS
Slew Rate	$(9.35 \times 10^{-8}) / C_{SLEW}$
t_{RETRY}	$3.506 \times 10^9 \times C_{SLEW}$
t_{FAULT}	$2.191 \times 10^8 \times C_{SLEW}$

限制浪涌电流

$SLEW$ 与地间的电容器 C_{SLEW} 控制 OUT_{n-} 摆率，因而也就控制着对 OUT_{n-} 端负载电容充电所需的浪涌电流。通过设置摆率可对浪涌电流加以限制，计算公式如下：

$$I_{INRUSH} = C_{OUT} \times SR$$

其中 I_{INRUSH} 的单位是安培， C_{OUT} 的单位为法拉， SR 的单位为 V/s 。

排序延迟(DELAY)

在 $DELAY$ 与地之间接一个电容 C_{DELAY} (参见图 2 至图 5) 可以调节启动排序操作的延迟时间 (t_{DELAY})。在所有输入电压已经达到稳定的情况下， EN/\overline{UV} 由低变高后也会有同样的延迟。延迟时间计算公式如下：

$$t_{DELAY} = 200\mu s + (500k\Omega \times C_{DELAY})$$

其中 t_{DELAY} 的单位为 μs ， C_{DELAY} 的单位为法拉。 $DELAY$ 悬空时默认延迟时间为 $200\mu s$ 。

超时周期输入(TIMEOUT) (MAX6880/MAX6882)

有些器件具有 PG/\overline{RST} 延时特性。 PG/\overline{RST} 延时可利用 $TIMEOUT$ 和地之间的外接电容器 ($C_{TIMEOUT}$) 设置。当所有 OUT_{n-} 输出超出相应的 IN_{n-} 参考门限 (V_{TH_PG}) 后， PG/\overline{RST} 在选定的延时时间 $t_{TIMEOUT}$ 内保持为低(参见图 3)。

$$t_{TIMEOUT} = 200\mu s + (500k\Omega \times C_{TIMEOUT})$$

其中， $t_{TIMEOUT}$ 的单位为 μs ， $C_{TIMEOUT}$ 的单位为法拉。 $TIMEOUT$ 悬空时默认延迟时间为 $200\mu s$ 。

逻辑使能输入(EN/\overline{UV})

在上电阶段，驱动逻辑输入 EN/\overline{UV} 高于 V_{EN_R} 将启动电压排序。驱动 EN/\overline{UV} 低于 V_{EN_F} 则启动跟踪式掉电操作。将 EN/\overline{UV} 接外部电阻分压网络可以设定一个外部欠压锁定门限。

ABP输入(MAX6880/MAX6882)

ABP 为芯片内部模拟电路的电源。采用一只 $1\mu F$ 的陶瓷电容旁路 ABP 至 GND，该电容器尽可能靠近器件放置。ABP 取自最高电压的 IN_{n-} 。不要用 ABP 为外部电路供电。快速掉电期间 ABP 维持器件的电源电压。

OUT1/OUT2/OUT3

MAX6880/MAX6881 监视三路 OUT_{n-} 输出，MAX6882/MAX6883 监视两路 OUT_{n-} 输出，以控制排序性能。当内部电源 (ABP) 超过所需的最小电压 ($2.7V$)， $EN/\overline{UV} > V_{EN_R}$ ，且 $IN1/IN2/IN3$ 均高于预设的 SET_{n-} 门限时，开始排序 $OUT1/OUT2/OUT3$ 。在故障状态下， OUT_{n-} 端的内部下拉电阻 (100Ω) 被接通，协助负载电容放电 (接 100Ω 电阻实现快速掉电控制)。

输出

GATE_n

MAX6880-MAX6883 具有最多三个 $GATE_{n-}$ 输出，用于驱动最多三个外部 n 沟道 FET 的栅极。在 $GATE_{n-}$ 开始导通外部 n 沟道 FET 之前，必须满足以下条件：

- 1) 所有 SET_{n-} 输入 ($SET1/SET2/SET3$) 均高于其 $0.5V$ 门限。
- 2) 至少一路 IN_{n-} 输入高于最小工作电压 ($2.7V$)。
- 3) $EN/\overline{UV} > 1.25V$ 。

上电期间，通过控制环路驱动 $GATE_{n-}$ 电压，使所有 OUT_{n-} 电压以电容设定的摆率顺序上电。上电完成后各 $GATE_{n-}$ 被内部上拉至高于其相应 IN_{n-} 电压 $5V$ 的电位，完全导通外部 n 沟道 FET。

电源就绪输出(PG/\overline{RST}) (MAX6880/MAX6882)

MAX6880/MAX6882 包括电源就绪输出 (PG/\overline{RST})。 PG/\overline{RST} 是开漏输出，需要外部上拉电阻。

当所有 OUT_{n-} 输出高于其 IN_{n-} 参考门限 ($IN_{n-} \times V_{TH_PG}$)，并经过所设定的复位延时 $t_{TIMEOUT}$ (参见 *超时周期输入 (TIMEOUT) (MAX6880/MAX6882)* 部分) 后 PG/\overline{RST} 变高。 OUT_{n-} 电压超过其 IN_{n-} 参考门限后 PG/\overline{RST} 在设定的复位延时时间 ($t_{TIMEOUT}$) 内维持低电平。当 $V_{SET_{n-}} < V_{TH}$ 或 $V_{EN/\overline{UV}} < V_{EN_R}$ 时 PG/\overline{RST} 变为低 (参见图 2)。

2/3通道电源排序器/监控器

MAX6880-MAX6883

应用信息

布局与旁路

MOSFET选择

外部通道MOSFET与被排序的电源串联。由于负载电流和MOSFET漏-源阻抗(R_{DS})决定了电压降的大小,因此MOSFET的导通特性会影响负载电源的精度。MAX6880-MAX6883驱动外部MOSFET使其完全导通,远离线性区以确保最低的漏-源导通阻抗。为获得最高的电源精度/最低电压降,应选择在4.5V至6.0V的栅-源偏压下具有适当漏-源导通阻抗的MOSFET。

为了更好的抑制噪声,每个IN_输入与地间接0.1 μ F的旁路电容,该电容器尽可能靠近器件放置。采用1 μ F的电容将ABP旁路至GND,该电容器也要尽可能靠近器件放置。ABP是由内部产生的电压,不能用来向外部电路供电。

选型指南

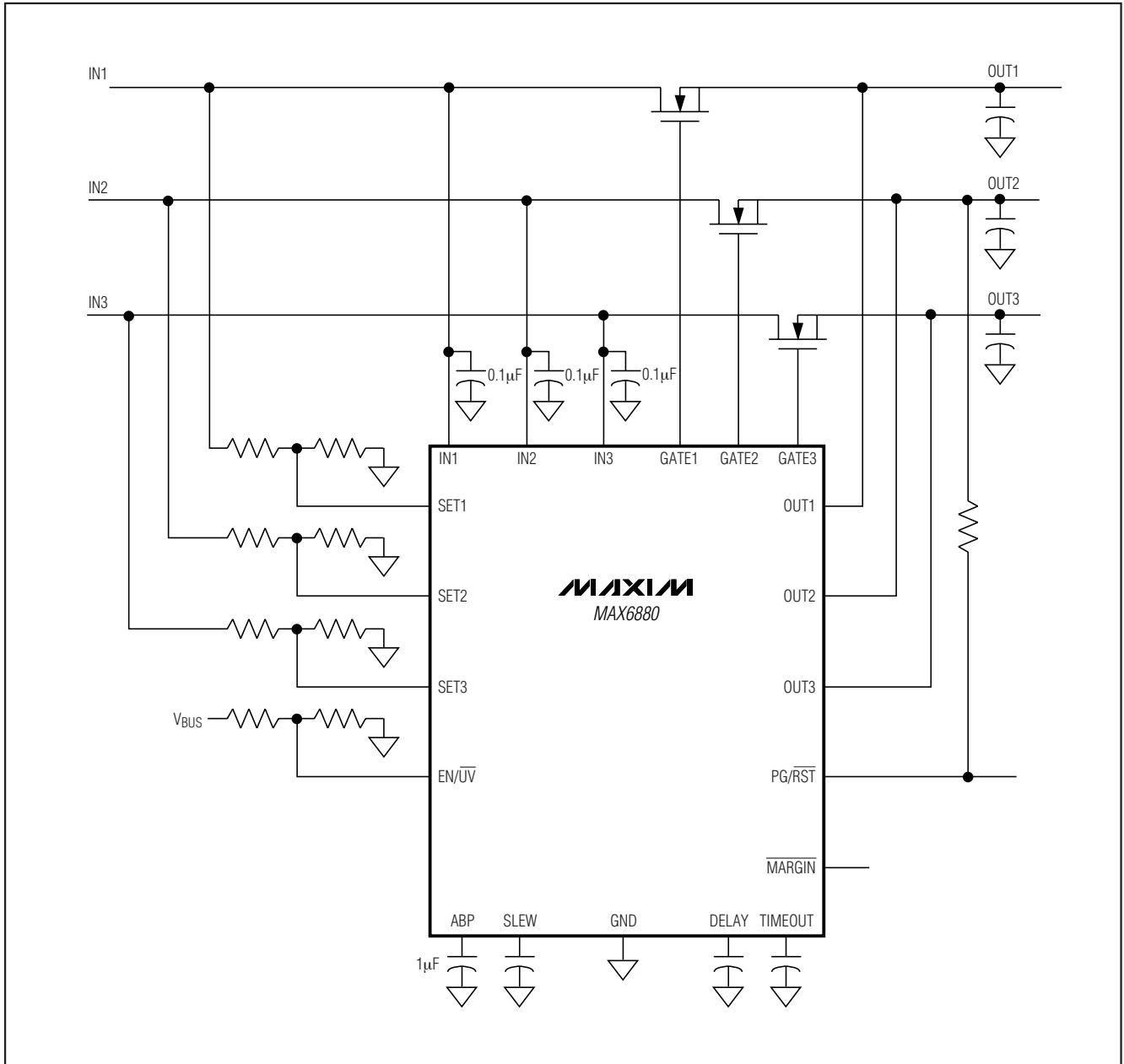
PART	CHANNEL	TIMEOUT SELECTABLE	PG/ \overline{RST}	\overline{MARGIN}	PG THRESHOLD VOLTAGE (%)
MAX6880	3	Yes	Yes	Yes	92.5
MAX6881	3	No	No	No	—
MAX6882	2	Yes	Yes	Yes	92.5
MAX6883	2	No	No	No	—

芯片信息

PROCESS: BiCMOS

2/3通道电源排序器/监控器

典型应用电路

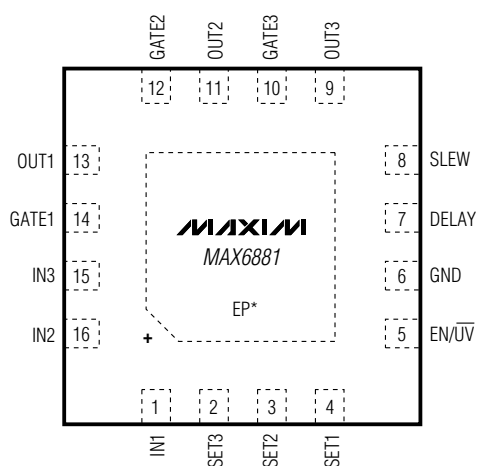


2/3通道电源排序器/监控器

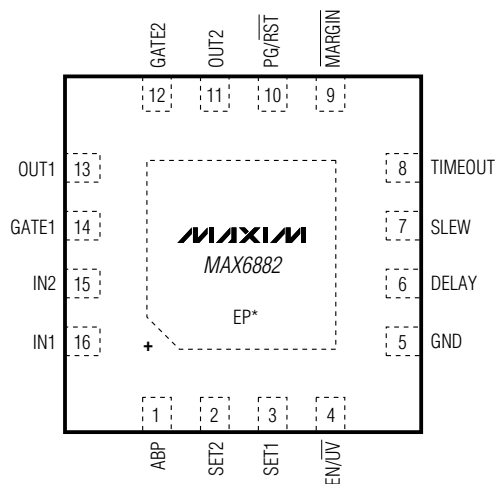
引脚配置(续)

MAX6880-MAX6883

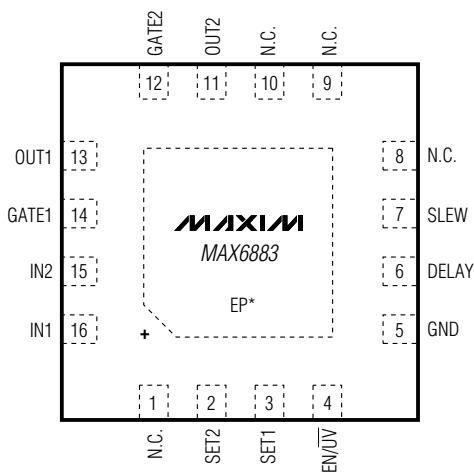
TOP VIEW



4mm x 4mm THIN QFN



4mm x 4mm THIN QFN



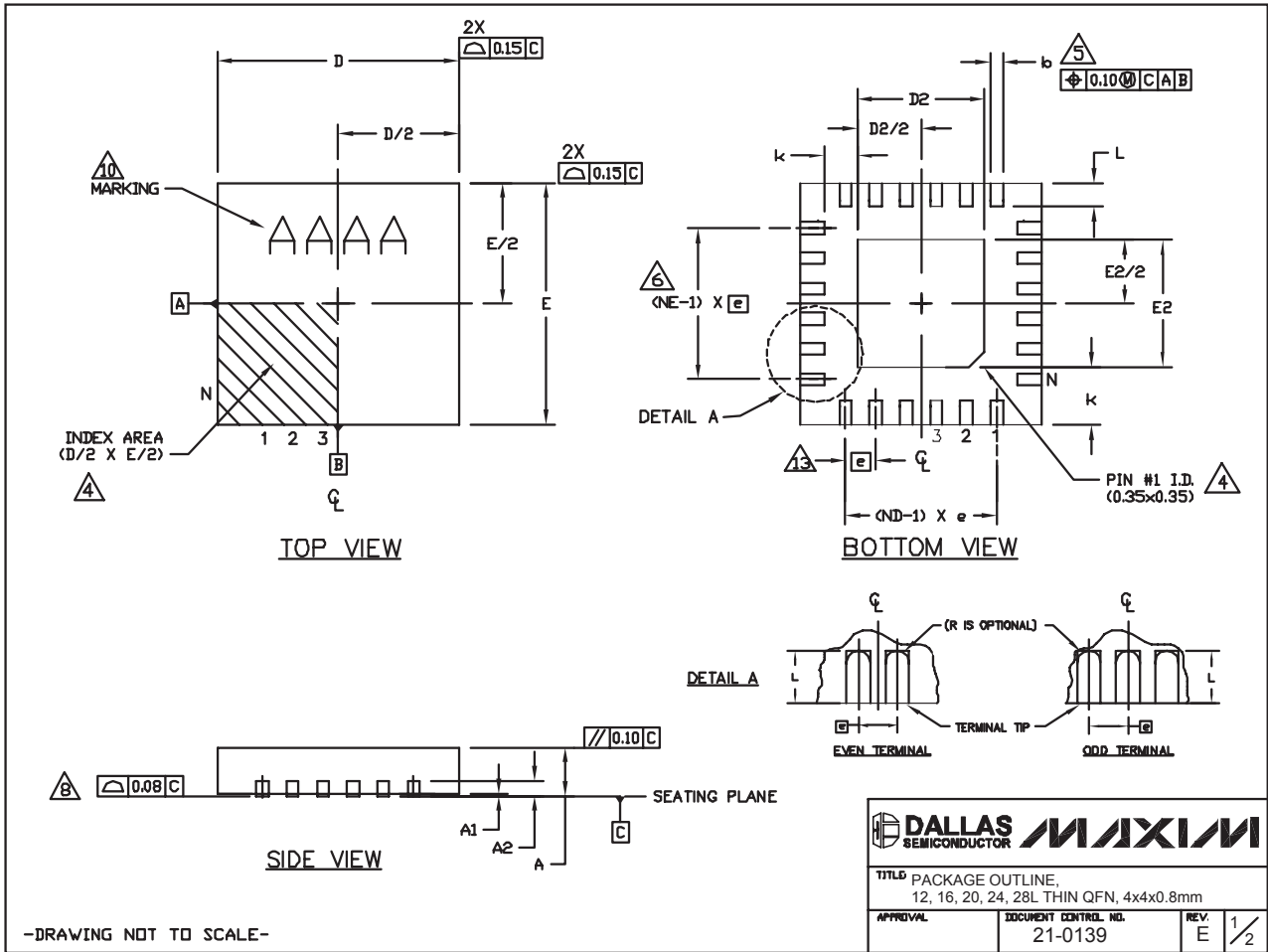
4mm x 4mm THIN QFN

*EXPOSED PADDLE CONNECTED TO GND.

2/3通道电源排序器/监控器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)



2/3通道电源排序器/监控器

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX6880-MAX6883

COMMON DIMENSIONS													EXPOSED PAD VARIATIONS										
PKG. REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4			28L 4x4			PKG. CODES	D2			E2			DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25	T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50	T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO
N	12			16			20			24			28			T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	NO
ND	3			4			5			6			7										
NE	3			4			5			6			7										
JEDEC VPK	VGG3			VGGC			WGGD-1			WGGD-2			WGGE										

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-3, T2444-4 AND T2844-1.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- COPLANARITY SHALL NOT EXCEED 0.08mm
- WARPAGE SHALL NOT EXCEED 0.10mm
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

TITLE: PACKAGE OUTLINE, 12, 16, 20, 24, 28L THIN QFN, 4x4x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0139
REV. E	2/2

MAXIM北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 19