



双路SPDT模拟开关, 可处理超摆幅信号

MAX4850/MAX4850H/MAX4852/MAX4852H

概述

MAX4850/MAX4850H/MAX4852/MAX4852H系列是双路SPDT (单刀/双掷)开关, 工作在+2V至+5.5V单电源, 可以处理大于电源摆幅的信号。这些开关具有3.5Ω或3.5Ω/7Ω低导通电阻以及低导通电容, 可理想用于音频与数据信号的切换。

MAX4850/MAX4850H配置为两个SPDT开关, 具有两个比较器, 用于耳机检测或静音/发送按键功能。MAX4852配置为两个SPDT开关, 不具备比较器, 电源电流低至1μA。

对于超摆幅应用, 这些器件提供信号导通或高阻两种选择。对于MAX4850/MAX4852, 即使在超出正电源摆幅的情况下, 信号(高达5.5V)也可以不失真地通过开关; 对于MAX4850H/MAX4852H, 当输入信号超出电源摆幅时, 开关输入变为高阻状态。

MAX4850/MAX4850H/MAX4852/MAX4852H提供节省空间的(3mm x 3mm)、16引脚TQFN封装, 工作在-40°C至+85°C扩展级温度范围。

应用

- USB开关
- 音频信号切换
- 蜂窝电话
- 笔记本电脑
- PDA及其它手持设备

特性

- ◆ 符合USB 2.0全速(12MB)和USB 1.1信号开关要求
- ◆ 可切换大于V_{CC}的信号
- ◆ 0.1ns 偏差
- ◆ 3.5Ω/7Ω导通电阻
- ◆ -3dB带宽: 135MHz
- ◆ +2V至+5.5V供电范围
- ◆ 与1.8V逻辑兼容
- ◆ 低电源电流
1μA (MAX4852)
5μA (MAX4850)
10μA (MAX4850H/MAX4852H)
- ◆ 提供节省空间的(3mm x 3mm) 16引脚TQFN封装

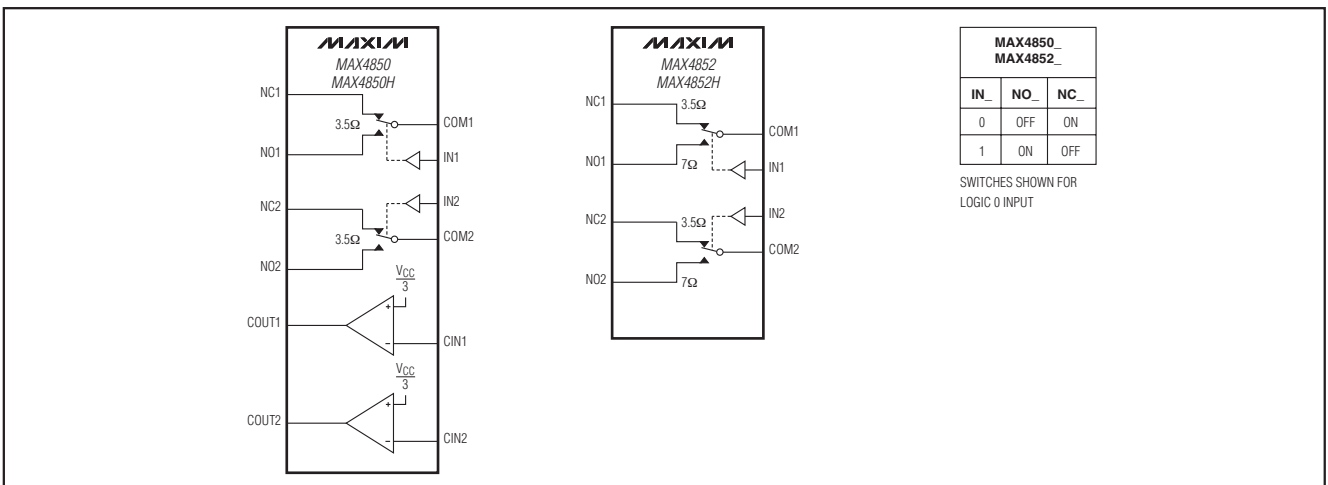
订购信息

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
MAX4850ETE	-40°C to +85°C	16 TQFN-EP*	ABU
MAX4850HETE	-40°C to +85°C	16 TQFN-EP*	ABV
MAX4852ETE	-40°C to +85°C	16 TQFN-EP*	ABZ
MAX4852HETE	-40°C to +85°C	16 TQFN-EP*	ACA

*EP = 裸焊盘。

引脚配置和选型指南在数据资料的最后给出。

方框图/真值表



双路SPDT模拟开关， 可处理超摆幅信号

MAX4850/MAX4850H/MAX4852/MAX4852H/MAX4852H

详细说明

MAX4850/MAX4850H/MAX4852/MAX4852H是低导通电阻、低电压、采用+2V至+5.5V单电源供电的模拟开关，完全规范于电源标称值为3.0V的应用。这些器件具有超摆幅信号处理能力，在电源电压降至2.0V时，仍然允许高达5.5V的信号。这些器件配置为双路SPDT开关。

这些开关具有50pF的低导通电容，能够满足USB 2.0全速/1.1应用中12Mbps数据信号的开关要求。MAX485_设计用来切换USB的D+和D-信号，并能保证在输入信号的50%和输出信号的50%处测量偏差小于1ns(见图1)。

MAX4850_带有一个比较器，可用于耳机或静音检测。比较器门限由内部设定，约为 V_{CC} 的1/3。

应用信息

数字控制输入

逻辑输入(IN_)可接受高达+5.5V的电压，即使电源电压低于这个电平。例如， V_{CC} 电源为+3.3V时，IN_输入可低至GND，最高可达+5.5V，从而允许多种逻辑电平共存于同一系统。满摆幅驱动IN_可使功耗降至最低。+2V供电时，逻辑门限值为0.5V(低)和1.4V(高)；+5V供电时，逻辑门限值是0.8V(低)和1.8V(高)。

模拟信号电平

模拟输入信号在整个电源电压范围内变化时，这些开关的导通电阻变化极小(见典型工作特性)。这些开关是双向的，因此NO_、NC_和COM_既可作为输入也可以作为输出。

比较器

比较器的同相输入端由内部设置为 $V_{CC}/3$ 。当反相端(CIN_)电压低于该门限($V_{CC}/3$)时，比较器输出(COUT_)为高电平；当CIN_上升到 $V_{CC}/3$ 以上时，COUT_为低电平。

比较器门限可用于耳机检测，因为典型情况下，耳机音频信号偏置在 $V_{CC}/2$ 。

供电顺序

警告：不要超过极限参数，因为超过列出的极限参数可能引起器件永久损坏。

对于所有CMOS器件，推荐使用正确的供电顺序。总是在加模拟信号之前先加 V_{CC} ，特别是在模拟信号没有限流的情况下。

双路 SPDT 模拟开关， 可处理超摆幅信号

MAX4850/MAX4850H/MAX4852/MAX4852H

测试电路/时序图

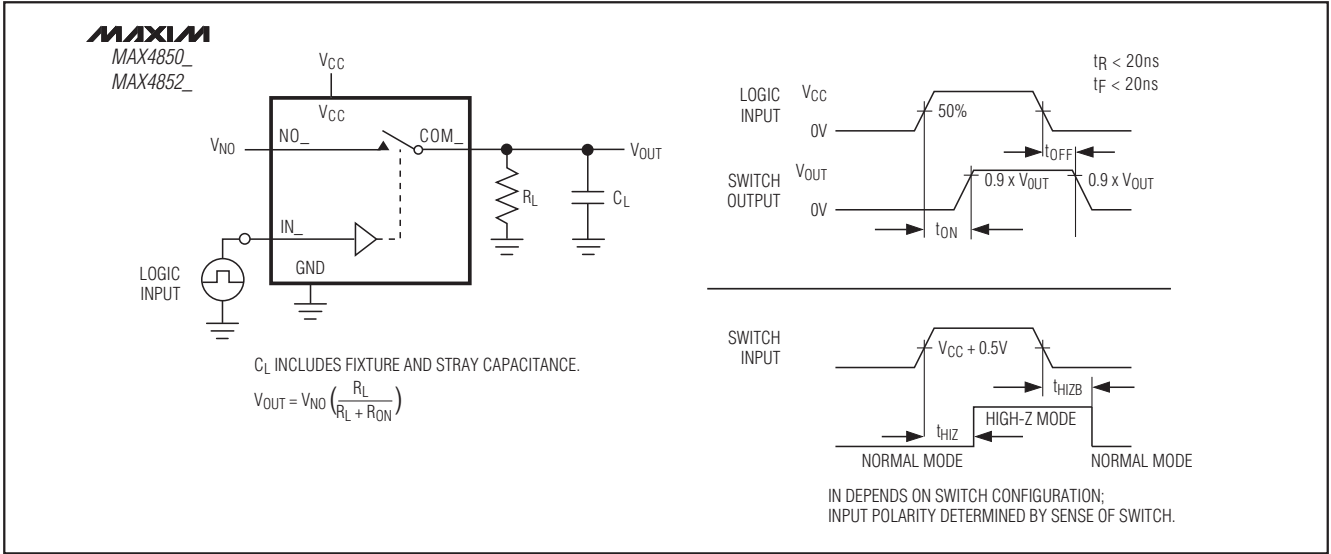


图1. 开关时间

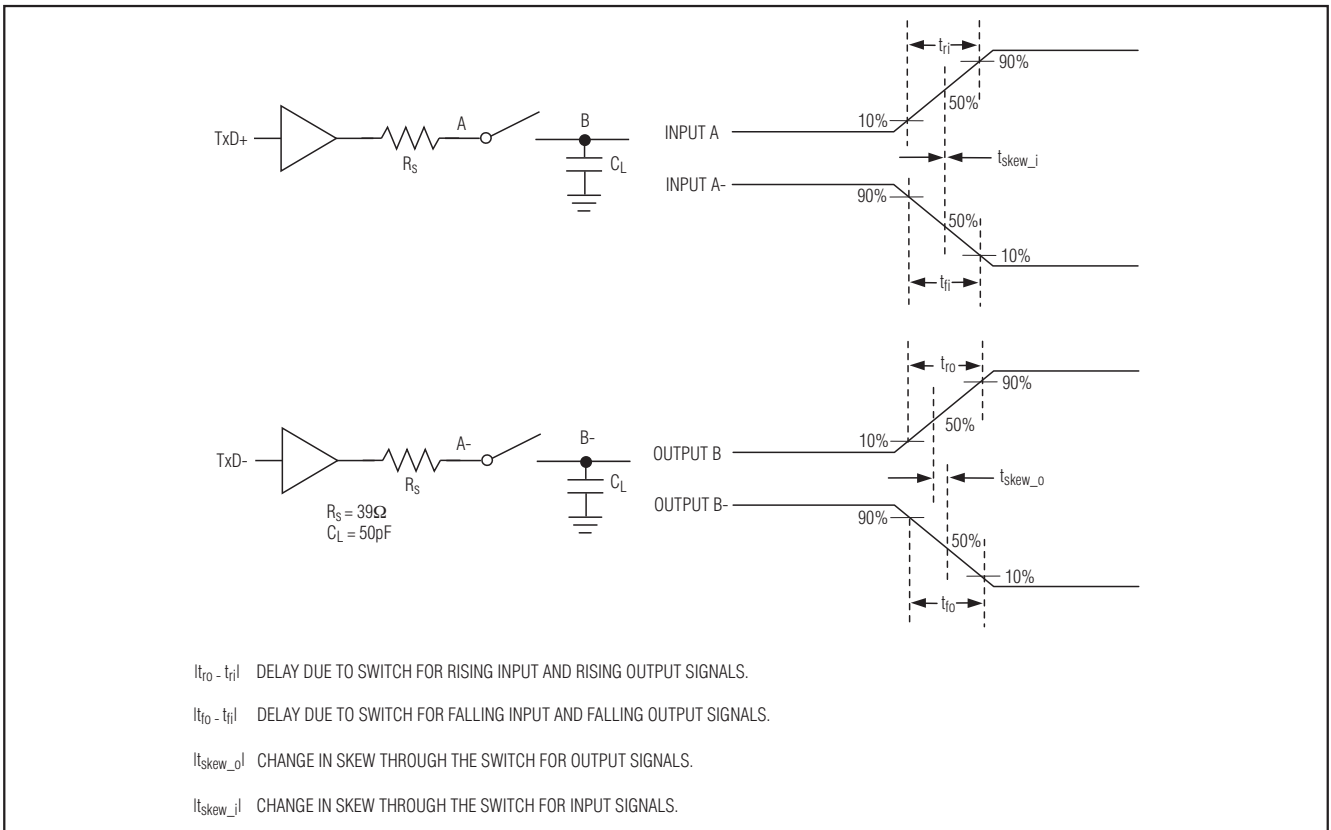


图2. 输入/输出偏差时序图

双路SPDT模拟开关， 可处理超摆幅信号

MAX4850/MAX4850H/MAX4852/MAX4852H

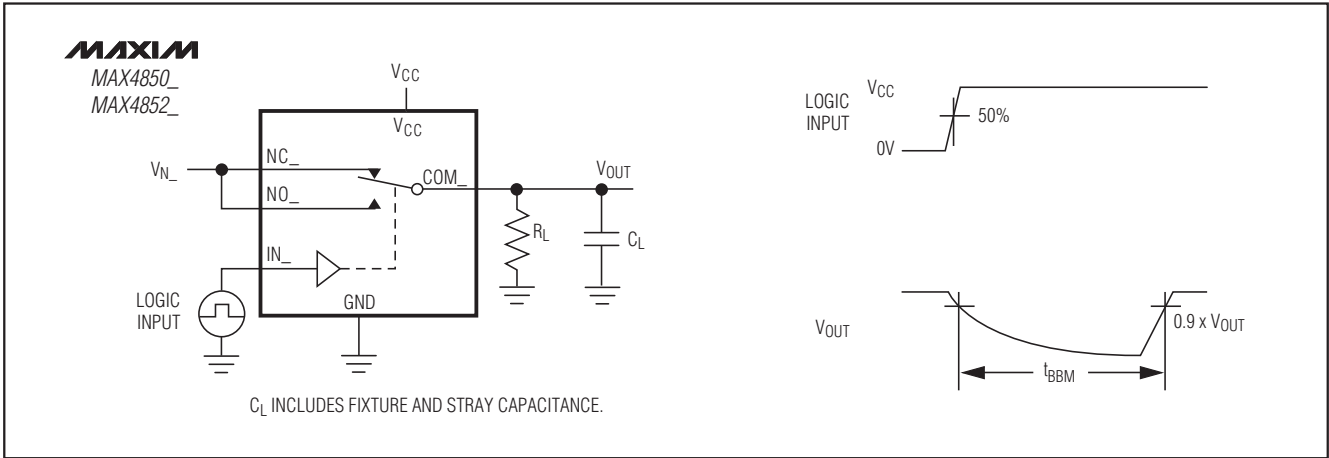


图3. 先断后合的间隔

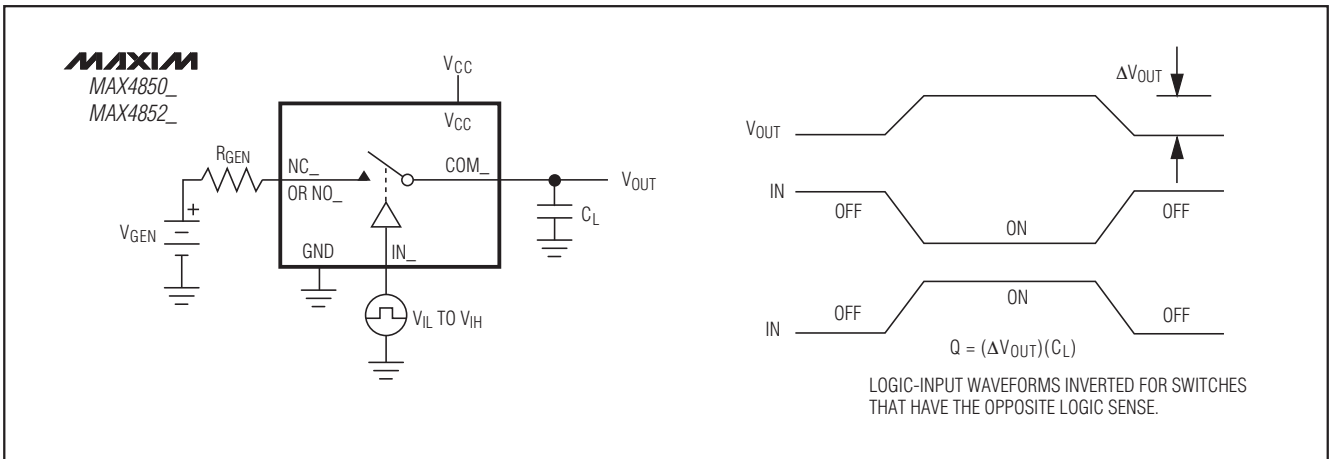


图4. 电荷注入

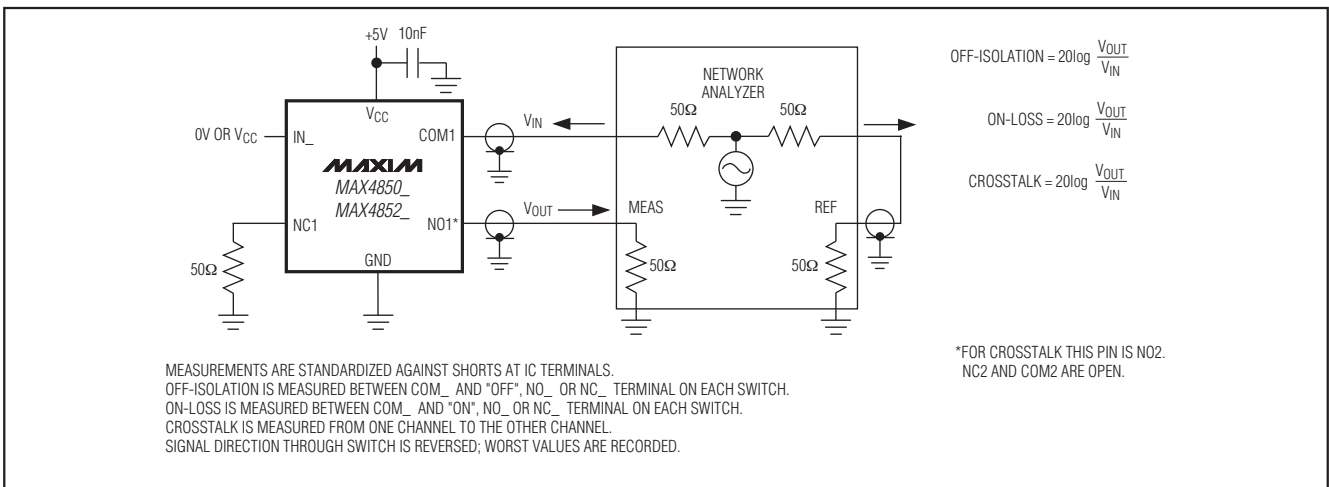


图5. 导通损耗、关断隔离和串扰

双路 SPDT 模拟开关,
可处理超摆幅信号

MAX4850/MAX4850H/MAX4852/MAX4852H

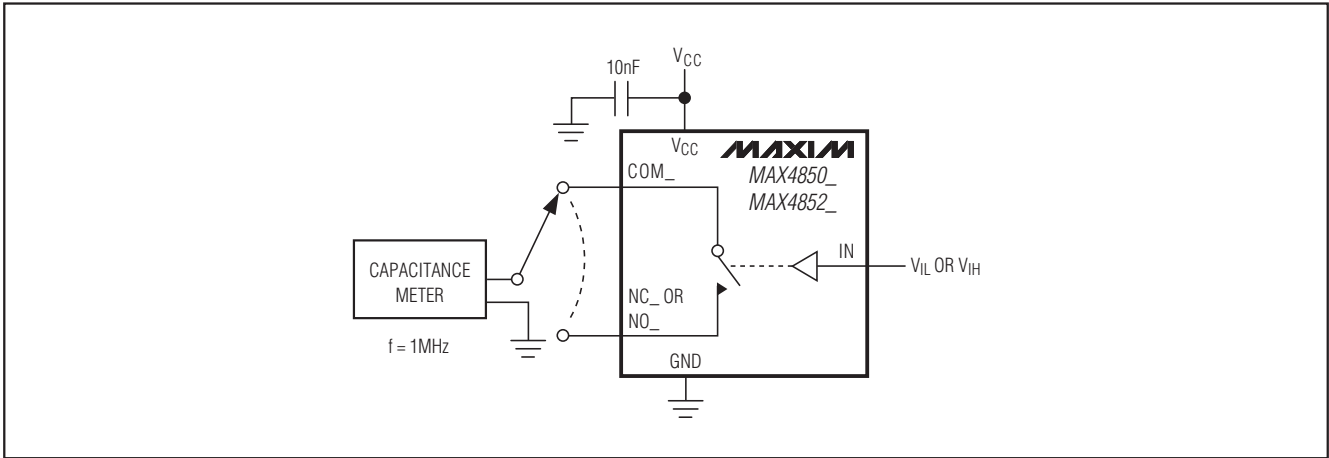


图6. 通道的关断/导通电容

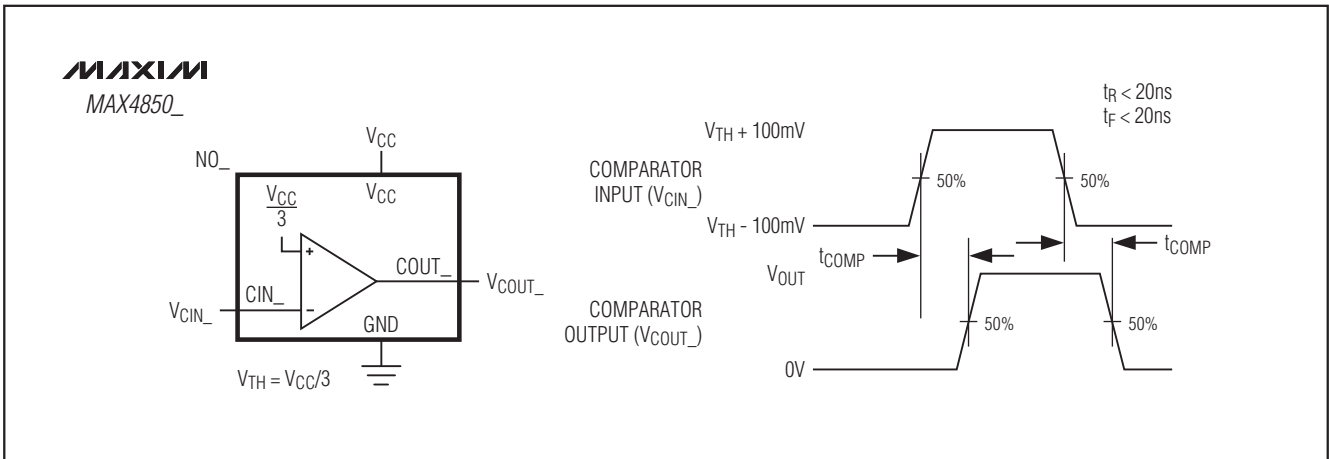
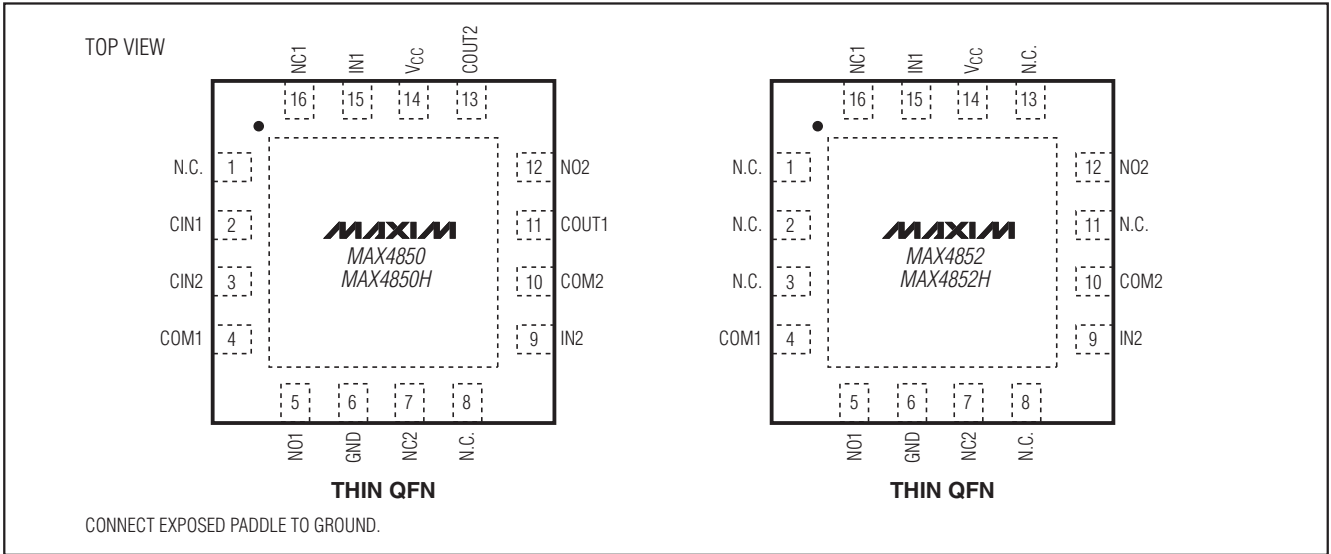


图7. 比较器切换时间

双路SPDT模拟开关，
可处理超摆幅信号

引脚配置

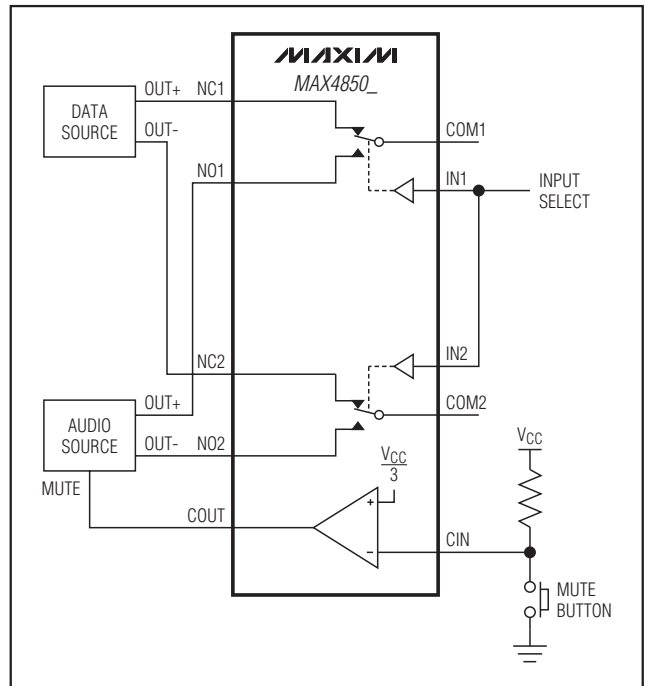
MAX4850/MAX4850H/MAX4852/MAX4852H



选型指南

PART	R _{ON} NC_/NO_ (Ω)	COMPARATORS	OVER-RAIL HANDLING
MAX4850	3.5/3.5	2	Input signal passes through the switch
MAX4850H	3.5/3.5	2	High-impedance switch input
MAX4852	3.5/7	—	Input signal passes through the switch
MAX4852H	3.5/7	—	High-impedance switch input

典型工作电路



芯片信息

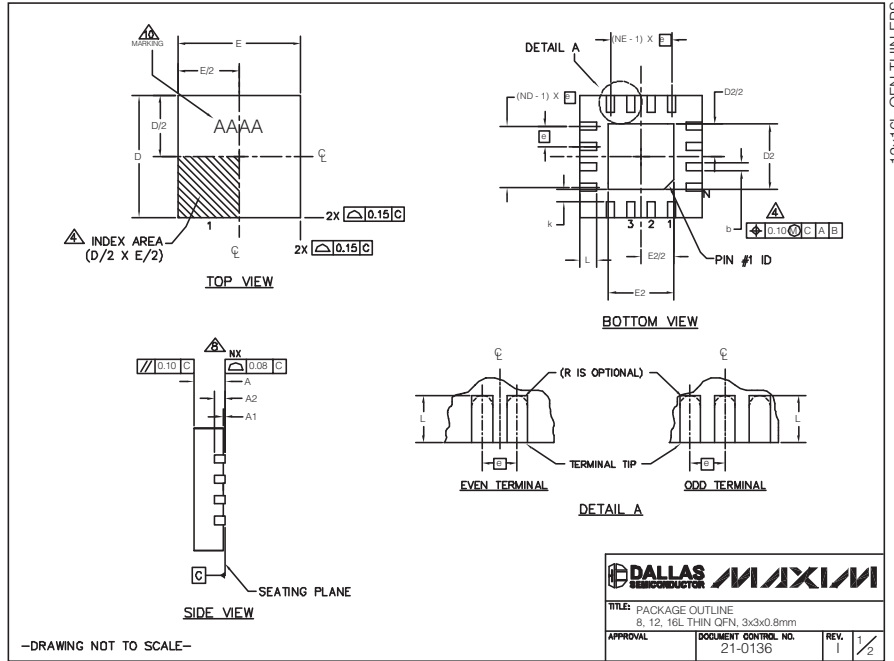
TRANSISTOR COUNT: 735
PROCESS: CMOS

双路 SPDT 模拟开关， 可处理超摆幅信号

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 www.maxim-ic.com.cn/packages.)

MAX4850/MAX4850H/MAX4852/MAX4852H



PKG	8L 3x3			12L 3x3			16L 3x3			
	REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	
D	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10	
E	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10	
Ⓜ	0.65 BSC.			0.50 BSC.			0.50 BSC.			
L	0.35	0.55	0.75	0.45	0.55	0.65	0.30	0.40	0.50	
N	8			12			16			
ND	2			3			4			
NE	2			3			4			
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	
A2	0.20 REF			0.20 REF			0.20 REF			
k	0.25	-	-	0.25	-	-	0.25	-	-	

PKG CODES	D2			E2			PIN ID	JEDEC
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
T0833-1	0.25	0.70	1.25	0.25	0.70	1.25	0.35 x 45°	WEEC
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633FH-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633-5	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- WARPAGE NOT TO EXCEED 0.10mm.

-DRAWING NOT TO SCALE-

DALLAS SEMICONDUCTOR MAXIM
 TITLE: PACKAGE OUTLINE 8, 12, 16L THIN QFN, 3x3x0.8mm
 APPROVAL, DOCUMENT CONTROL NO. 21-0136, REV. 1, 2/2

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

16 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2004 Maxim Integrated Products

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。