

MAX2036评估板

评估板: MAX2036

概述

MAX2036评估板(EV kit)简化了MAX2036 8通道可变增益放大器(VGA)和可编程八路混频器阵列的评估。评估板在工厂进行了完全安装和测试。评估板的输入、输出端口均包含标准SMB连接器, 允许在测试台上进行快速简便的评估。MAX2036支持10位ADC性能。

该文档提供了评估器件所需的测试设备清单、简单明了的功能验证测试步骤、评估板电路说明、电路原理图、元件列表以及每层PCB的布局。

元件列表

DESIGNATION	QTY	DESCRIPTION
AUX_DRV_N, AUX_DRV_P, CW_IN1N- CW_IN8N, CW_IN1P- CW_IN8P, CW_IOUTN, CW_IOUTP, CW_QOUTN, CW_QOUTP, LO1-LO8, LO_LVDSN, LO_LVDSP, SIN_IN, TEST_MODE_L O, VGACNTL, VG_OUT1P- VG_OUT8P	43	PCB vertical-mount SMBs Digi-Key J467-ND
C1-C4, C7-C25, C55, C57, C77	0	Not installed, ceramic capacitors (0603)
C6, C26, C28, C31, C37-C45, C50-C54, C60, C61, C66, C70-C75, C78, C80-C103, C107	53	100nF $\pm 10\%$, 50V XR7 ceramic capacitors (0603) Murata GRM188R71H104K
C30	1	100pF $\pm 5\%$, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H101J
C32-C35	4	1500pF $\pm 5\%$, 50V C0G ceramic capacitors (0603) Murata GRM1885C1H152J

特性

- ◆ 8通道架构
- ◆ 高集成度理想用于超声成像系统
- ◆ 与MAX2035引脚兼容
- ◆ VGA特性
 - 经过优化的最大增益、增益范围以及输出参考噪声指标, 适合与10位ADC连接
 - 最大增益为39.5dB
 - 总增益范围为50dB
 - 5MHz时, 具有 $60\text{nV}/\sqrt{\text{Hz}}$ 的超低输出参考噪声
- ◆ 绝对增益误差为 $\pm 0.5\text{dB}$
- ◆ 每通道功耗为120mW
- ◆ 可转接的输出VGA箝位功能, 消除ADC过驱动
- ◆ 全差分VGA输出直接驱动ADC
- ◆ 可变增益范围支持50dB动态范围
- ◆ $V_{\text{OUT}} = 1.5\text{V}_{\text{P-P}}$, $f_{\text{IN}} = 5\text{MHz}$ 时, HD2为-62dBc
- ◆ $V_{\text{OUT}} = 1.5\text{V}_{\text{P-P}}$, $f_{\text{IN}} = 5\text{MHz}$ 时, 超声规范定义的双音IMD3为-52dBc
- ◆ CWD混频器特性
 - 1.25MHz载波、1kHz频偏时混频器热噪声和抖动噪声低至155dBc/Hz
 - 串口可编程LO相位发生器, 提供4、8、16 LO正交相位分辨率
 - 可选择独立通道的 $4 \times f_{\text{LO}}$ LO输入驱动
 - 每通道功耗为269mW (标准工作模式)和226mW (低功耗模式)
 - CWD架构符合所有超声成像专利技术的要求

订购信息

PART	TYPE
MAX2036EVKIT+	EV Kit

+表示无铅(Pb)并符合RoHS标准。

MAX2036评估板

元件列表(续)

DESIGNATION	QTY	DESCRIPTION
C46, C47, C48	3	4.7 μ F +80%/-20%, 10V Y5V ceramic capacitors (0805) Murata GRM21BF51A475Z
C56	1	120pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H121J
C58	1	39pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H390J
C64	1	47pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H470J
C65	1	18pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H180J
C76, C105, C106, C109	4	470nF $\pm$ 10%, 25V X7R ceramic capacitors (0603) Murata GRM188R71E474K
C79	1	33pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H330J
C104	1	150pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H151J
C108	1	560pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H561J
C200–C203	4	10 μ F $\pm$ 10%, 16V tantalum capacitors (C case) AVX TAJC106K016R
DUT1	1	Octal VGA/mixer (100 TQFP-EP*) Maxim MAX2036CCQ+
FB1	1	Ferrite bead, SMD Digi-Key 240-2411-1-ND
FB2, FB3	2	Ferrite beads, SMD Digi-Key 240-2436-1-ND
J1, J11, J15	3	Large test points for 0.062in PCB (red) Mouser 151-107-RC or equivalent
J2, J3–J8, J10, J14	9	Large test points for 0.062in PCB (black) Mouser 151-103 RC or equivalent
J9, J12, J13	3	Large test points for 0.062in PCB (white) Mouser 151-101 RC or equivalent

DESIGNATION	QTY	DESCRIPTION
J16, J17	2	10 x 2 right-angle female headers (0.100in spacing), tin plated Digi-Key S5524-ND
J18	1	3 x 2 dual-row male header (0.100in spacing) Digi-Key WM8121-ND
K1–K8	8	1:1 transformers (50:50) Coilcraft TTWB2010
K9–K16	0	Not installed, transformers
L1–L16	16	12 μ H $\pm$ 10% ferrite-core magnetic shielded inductors (0603) TDK MLF1608E120KT
L17	1	39 μ H $\pm$ 5% wire-wound ferrite inductor (1812) Coilcraft 1812LS-393XJBC
L18	1	33 μ H $\pm$ 5% wire-wound ferrite inductor (1812) Coilcraft 1812LS-333XJBC
L19, L20	2	82 μ H $\pm$ 5% wire-wound ferrite inductors (1812) Coilcraft 1812LS-823XJBC
R3, R4, R11, R12, R13, R19, R31, R32, R35, R42, R53, R54, R61, R62, R84, R85	16	28 Ω $\pm$ 1% resistors (0603) Any
R5, R6, R7, R10, R16, R21, R22, R29, R30, R39, R43, R44, R47, R48, R49, R51, R52, R59, R60, R65, R66, R83, R91, R92, R164–R171, R174, R176	0	Not installed, resistors (0603)
R8, R9, R14, R15, R20, R23–R26, R40, R41, R45, R46, R50, R57, R58	16	475 Ω $\pm$ 1% resistors (0603) Any
R38	1	100 Ω $\pm$ 1% resistor (0603) Any

*EP = 裸焊盘。

MAX2036评估板

元件列表(续)

评估板: MAX2036

DESIGNATION	QTY	DESCRIPTION
R67–R82, R94, R95, R99–R102, R104, R105, R114–R129, R143–R146, R150–R163, R172, R173, R175, R177, R186, R187	64	0 Ω resistors (0603) Any
R87	1	7.5k Ω $\pm$ 1% resistor (0603) Any
R88, R89	2	10k Ω $\pm$ 5% resistors (0603) Any
R93, R130	2	3k Ω $\pm$ 5% resistors (0603) Any
R103, R112	2	2k Ω $\pm$ 5% resistors (0603) Any
R106–R110, R147, R149	7	200 Ω $\pm$ 1% resistors (0603) Any
R111	1	124 Ω $\pm$ 1% resistor (0603) Any
R113	1	887 Ω $\pm$ 1% resistor (0603) Any

DESIGNATION	QTY	DESCRIPTION
R131–R142	12	360 Ω $\pm$ 0.1% metal-film resistors (0805) Digi-Key P360ZCT-ND
R178	1	20k Ω $\pm$ 5% resistor (0603) Any
R179, R180, R181, R184, R185	5	5.11k Ω $\pm$ 1% resistors (0603) Any
R182	1	1.5k Ω $\pm$ 1% resistor (0603) Any
R183	1	1k Ω $\pm$ 1% resistor (0603) Any
S1–S9	9	SPDT slide switches Digi-Key EG1903-ND
T1–T21, T30–T33, T37–T60	49	Test points Digi-Key 5001K-ND
U1, U2	2	Dual op amps (10 μ MAX [®]) Maxim MAX4226EUB+
U3	1	Dual op amp (8 μ MAX) Maxim MAX4477AUA+
VG_OUT1N–VG_OUT8N	0	Not installed, connectors
—	1	PCB: MAX2036 Evaluation Kit+

元件供应商

SUPPLIER	PHONE	WEBSITE
AVX Corporation	843-946-0238	www.avxcorp.com
Coilcraft, Inc.	847-639-6400	www.coilcraft.com
Digi-Key Corp.	800-344-4539	www.digikey.com
Mouser Electronics	800-346-6873	www.mouser.com
Murata Electronics North America, Inc.	770-436-1300	www.murata-northamerica.com
TDK Corp.	847-803-6100	www.component.tdk.com

μ MAX是Maxim Integrated Products, Inc.的注册商标。

MAX2036评估板

快速入门

MAX2036评估板已完全安装并经过工厂测试，请按照连接和设置部分的说明对器件进行正确评估。

所需测试设备

本节列出了验证MAX2036工作的推荐测试设备。推荐设备仅供参考，可采用其它合适设备替代。

- 可提供+5V、-5V和+12V电压的直流电源，电流分别为500mA、100mA和100mA
- 运行Windows® XP或更高版本的PC
- 50MHz脉冲发生器(例如，HP 8112A)
- 两台数字万用表(DMM)，用于测量输出电压
- 三个电流表
- 4通道、500MHz示波器(例如，TEK TDS3054B)

连接和设置

本节提供了测试MAX2036评估板基本功能的步骤向导。作为防止损坏输出的常规防护措施，在完成所有连接之前请勿打开直流电源或信号发生器。

- 1) 将第1个电源设置为+12V，电流限制为100mA。在禁用其输出后将其连接至评估板。必要时，可将一个电流表与电源串联，以监测电源电流。
- 2) 将第2个电源设置为+5V，电流限制为500mA。禁用输出电压后将其连接至评估板的 V_{REF} 和 V_{CC} 。必要时，可将一个电流表与电源串联以监测电源电流。
- 3) 将第3个电源设置为-5V，电流限制为100mA。禁用输出后将其连接至评估板。必要时，可将一个电流表与电源串联以监测电源电流。
- 4) 按照图7和图8连接测试连续波多普勒(CWD)波束成形器。按照图9连接测试器件的VGA部分。

- 5) 对于混频器测试，直接跳至下一步。对于VGA测试，将1个直流电源连接至VGACNTL进行增益控制。将输入信号施加至评估板的SIN_IN，用示波器测量差分输出电压。
- 6) 若要测试设备的CW部分，可按照表1设置进行。设置TEST_MODE = 0。可使用Maxim CMAXQUSB接口板和PC编程寄存器，测试模式仅用于Maxim工程应用。
- 7) 按照图1和图2编程寄存器。在I和Q处测得的电压为该模式的相量表示。

硬件详细说明

MAX2036的可变增益放大器(VGA)部分具有一个低噪声输入级、VGA级和输出驱动功能。单一芯片提供完备的8通道可变增益功能。MAX2036评估板使器件能够以宽边方式驱动，所有通道可以同时由一个信号源驱动；也可以由独立的信号源分别驱动每个通道。增益控制接口通过简单的0至2V输入信号控制器件8个通道的增益。在8组差分输出同轴连接器获得可变增益输出，这些输出可以连接到ADC或测量设备。

评估板还提供器件各项辅助功能的调节，例如可编程箝位等。

MAX2036的CW部分包括输入正交混频器和基带信号组合电路。其输入与VGA输入相同，通过一个噪声抑制低通滤波器耦合到CW电路。8个通道叠加后的输出为正交基带差分电流源输出。该电流输出由固定电阻端接，产生电压输出，便于测量。

CW波束成形电路可采用片上低噪声逻辑电路或为每个通道提供的外部时钟实现。当采用片上逻辑电路时，需要一个简单的LVDS时钟，然后通过SPI™接口对每个通道进行独立编程，相位分辨率最高可达16级。

Windows是Microsoft Corp.的注册商标。

SPI是Motorola, Inc.的商标。

超声前端CWD波束成形电路 工作模式

CWD波束成形电路有4种不同的工作模式:

模式1: 用户提供一路频率为 $16 \times f_{LO}$ 的输入。由于CWD LO的频率范围为1MHz至7.5MHz, 由用户提供的输入频率应在16MHz至120MHz之间。这种高时钟频率需要采用差分LVDS输入。然后, $16 \times f_{LO}$ 输入通过16分频产生16个相位。这16个相位分别用于8个通道的每个通道, 并由串行移位寄存器选择相位。每个通道有一个对应的5位移位寄存器(4位用于相位编程, 1位用于通道使能), 用于设置16分频电路的输出相位。移位寄存器的前4位用于设置16个相位, 第5位允许用户通过串行总线分别控制每个通道的通/断。

模式2: 用户提供一路频率为 $8 \times f_{LO}$ 的输入。由于CWD LO频率范围为1MHz至7.5MHz, 由用户提供的输入频率应在8MHz至60MHz之间。该高时钟频率需要采用差分LVDS输入。然后, $8 \times f_{LO}$ 输入通过8分频产生8个相位。这8个相位是分别用于8个通道的每个通道, 并由串行移位寄存器选择相位。模式1、2和3中的串行移位寄存器相同。每个通道有一个对应的5位移位寄存器(4位用于相位编程, 1位用于通道使能), 用于设置输出相位。由于产生8个相位, 所以只需4个相位编程位中的3位。用户利用串行移位寄存器加载每个通道的5位

数据, 但相位编程的MSB是一个空位(或无关项)。移位寄存器的第5位允许用户通过串行总线分别控制每个通道的通/断。

模式3: 用户提供一路频率为 $4 \times f_{LO}$ 的输入。由于CWD LO的频率范围为1MHz至7.5MHz, 由用户提供的输入频率应在4MHz至30MHz之间。该时钟频率可采用3V CMOS输入。该模式下, 用户提供合适的相位, 每个通道有一路独立的4LO输入。 $4 \times f_{LO}$ 输入经过4分频产生4个相位。这4个相位分别用于8个通道的每个通道, 并且由串行移位寄存器选择相位。模式1、2和3中的串行移位寄存器相同。每个通道有一个对应的5位移位寄存器(4位用于相位编程, 1位用于通道使能), 用于编程输出相位。由于我们产生的是4个相位, 所以4个相位编程位中只有2位是必须的。用户利用串行移位寄存器加载每个通道的5位数据, 但是两个相位编程的MSB是空位(或无关项)。移位寄存器的第5位允许用户通过串行总线分别控制每个通道的通/断。

模式4: 用户提供一路频率为 $4 \times f_{LO}$ 输入。由于CWD LO的频率范围为1MHz至7.5MHz, 由用户提供的输入频率应在4MHz至30MHz之间。该时钟频率必须采用3V CMOS输入。该模式下, 用户提供合适的相位, 每个通道有一路独立的4LO输入。4LO输入用来产生精确(与占空比无关)的正交。该模式下不使用串行移位寄存器。

表 1. CWD波束成形模式

CONTROL BITS		MODE	LO INPUT FREQUENCY	CLOCK INTERFACE	PHASE RESOLUTION	NO. OF CLOCK INPUTS PER CHIP	PROGRAM BY SERIAL SHIFT REGISTER (SSR)	NO. OF USEFUL BITS IN SSR/CH	NO. OF DON'T CARE BITS IN SSR/CH
CW_M1	CW_M2								
0	0	1	16 x	LVDS	16 phases	1	Yes	4	0
0	1	2	8 x	LVDS	8 phases	1	Yes	3	1 MSB
1	0	3	4 x	3V CMOS	4 phases	8	Yes	2	2 MSBs
1	1	4	4 x	3V CMOS	User provides quadrature	8	No	N/A	N/A

N/A = 不可用。

MAX2036评估板

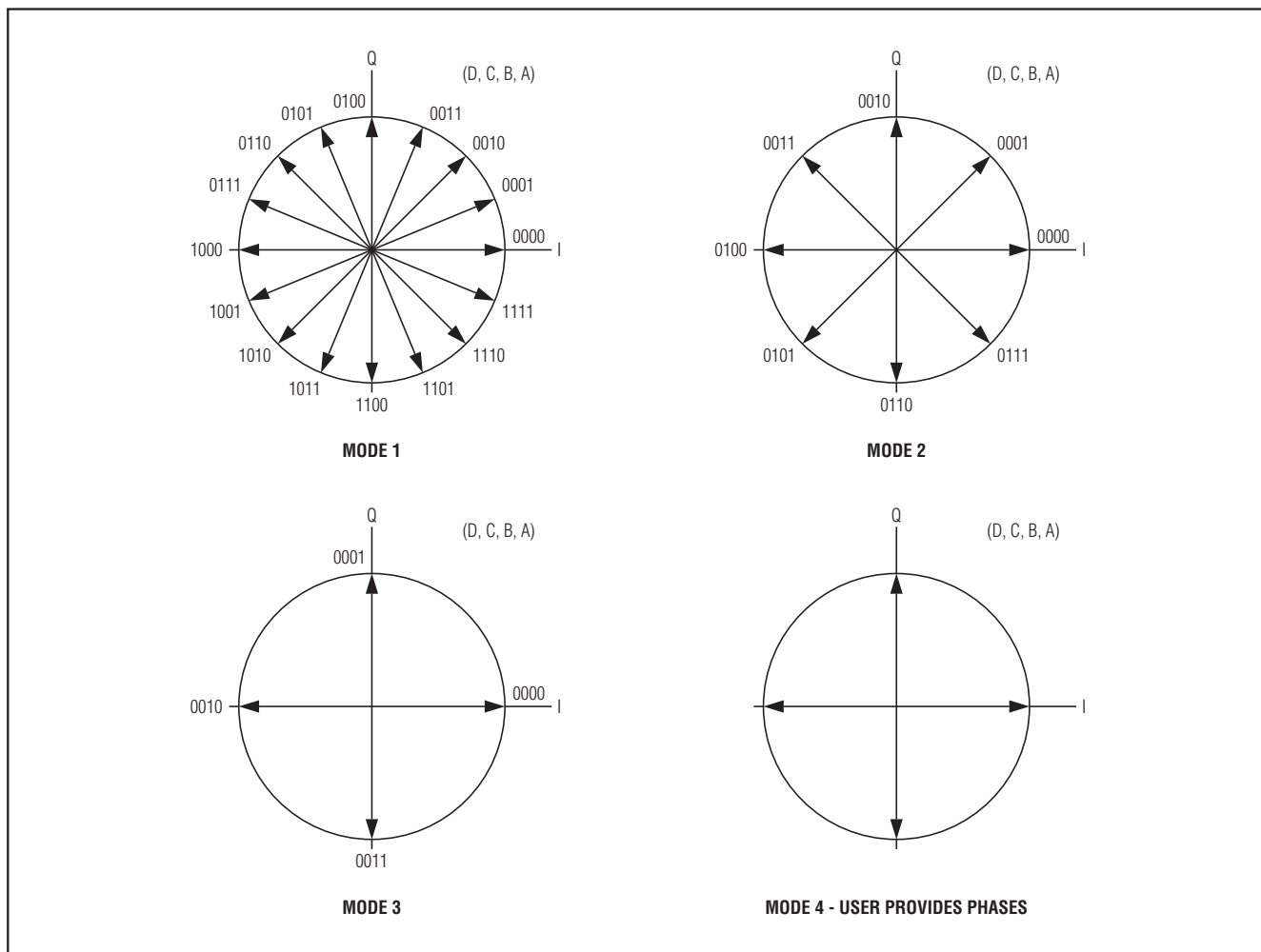


图1. 不同模式的相量表示

以下为VGA/CWD波束成形IC的CWD波束成形部分可编程LO的实现方案。该方案需要一个高频混频器时钟以生成最多16个相位。通过2位(CW_M1、CW_M2)设置上述四种模式。

波束成形器编程系数

表2至表5列出了产生每个通道所要求的相位时所必须的MAX2036器件编程，表中给出了位组合模式，按照CWD波束成形器编程部分所述，这些位组合模式需要通过串口编程到每个通道。

每个通道的关断位也通过相同串口编程，串口编程为高位在前。

这些工作模式需要外部LO时钟源，如工作模式部分所述。通过设置CW_M1和CW_M2 2位数据选择模式。

注：SD为软通道使能，可由芯片的PD使能设置屏蔽。当SD关断信号作用到某个特定通道时，通道的混频器和LO缓冲器被关断。

MAX2036评估板

评估板: MAX2036

表2. 模式1逻辑表(SD = 0:
通道打开/SD = 1: 通道关闭)

MODE 1 (CW_M1 = 0, CW_M2 = 0)					SHUTDOWN
PHASE (DEGREES)	D	C	B	A	SD
0	0	0	0	0	0/1
22.5	0	0	0	1	0/1
45	0	0	1	0	0/1
67.5	0	0	1	1	0/1
90	0	1	0	0	0/1
112.5	0	1	0	1	0/1
135	0	1	1	0	0/1
157.5	0	1	1	1	0/1
180	1	0	0	0	0/1
202.5	1	0	0	1	0/1
225	1	0	1	0	0/1
247.5	1	0	1	1	0/1
270	1	1	0	0	0/1
292.5	1	1	0	1	0/1
315	1	1	1	0	0/1
337.5	1	1	1	1	0/1

表3. 模式2逻辑表(SD = 0:
通道打开/SD = 1: 通道关闭)

MODE 2 (CW_M1 = 0, CW_M2 = 1)					SHUTDOWN
PHASE (DEGREES)	D	C	B	A	SD
0	X	0	0	0	0/1
45	X	0	0	1	0/1
90	X	0	1	0	0/1
135	X	0	1	1	0/1
180	X	1	0	0	0/1
225	X	1	0	1	0/1
270	X	1	1	0	0/1
315	X	1	1	1	0/1

X = 无关。

表4. 模式3逻辑表(SD = 0:
通道打开/SD = 1: 通道关闭)

MODE 3 (CW_M1 = 1, CW_M2 = 0)					SHUTDOWN
PHASE (DEGREES)	D	C	B	A	SD
0	X	X	0	0	0/1
90	X	X	0	1	0/1
180	X	X	1	0	0/1
270	X	X	1	1	0/1

X = 无关。

表5. 模式4逻辑表(所有通道的相位置0,
用户从外部控制相位)

MODE 4 (CW_M1 = 1, CW_M2 = 1)					SHUTDOWN
PHASE (DEGREES)	D	C	B	A	SD
Serial bus only used in Mode 4 to set SD bits on channels when M4_ENABLE = 0	N/A	N/A	N/A	N/A	0/1
Serial bus not used for phase or SD bits if M4_ENABLE = 1 (all channels on)	N/A	N/A	N/A	N/A	0

N/A = 不可用。

MAX2036评估板

图2说明了通过串口对8个独立通道进行串行编程的过程(注意, 串行数据可在端口间进行菊链连接, 从而通过一条数据线即可对系统的多个芯片进行编程)。

图3为MAX2036的CWD波束成形电路的框图。8路输入RF信号加载到可编程低通滤波器。这些滤波器滤除前级信号的混叠噪声, 然后通过8对正交混频器将RF信号下变频到基带。每个混频器的正交LO信号取自低噪声逻辑电路。

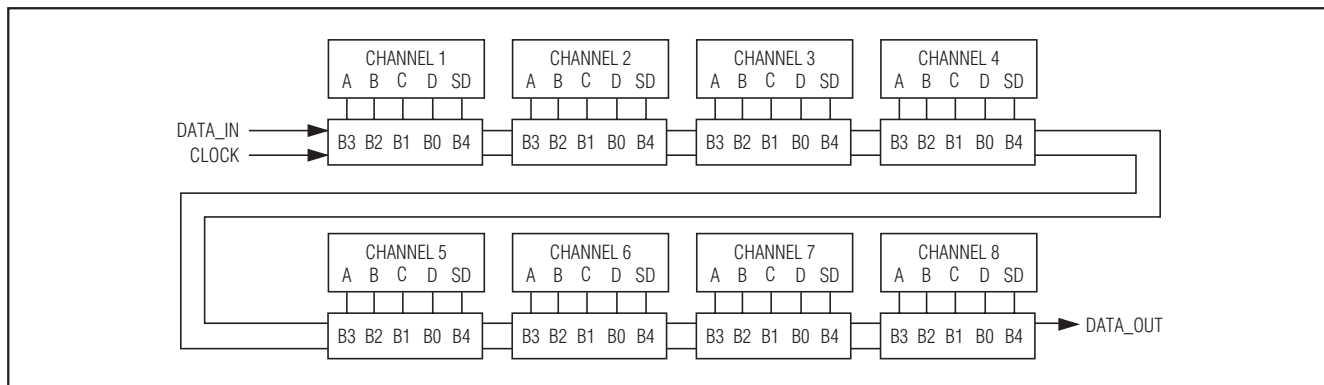


图2. 串行移位寄存器的数据流

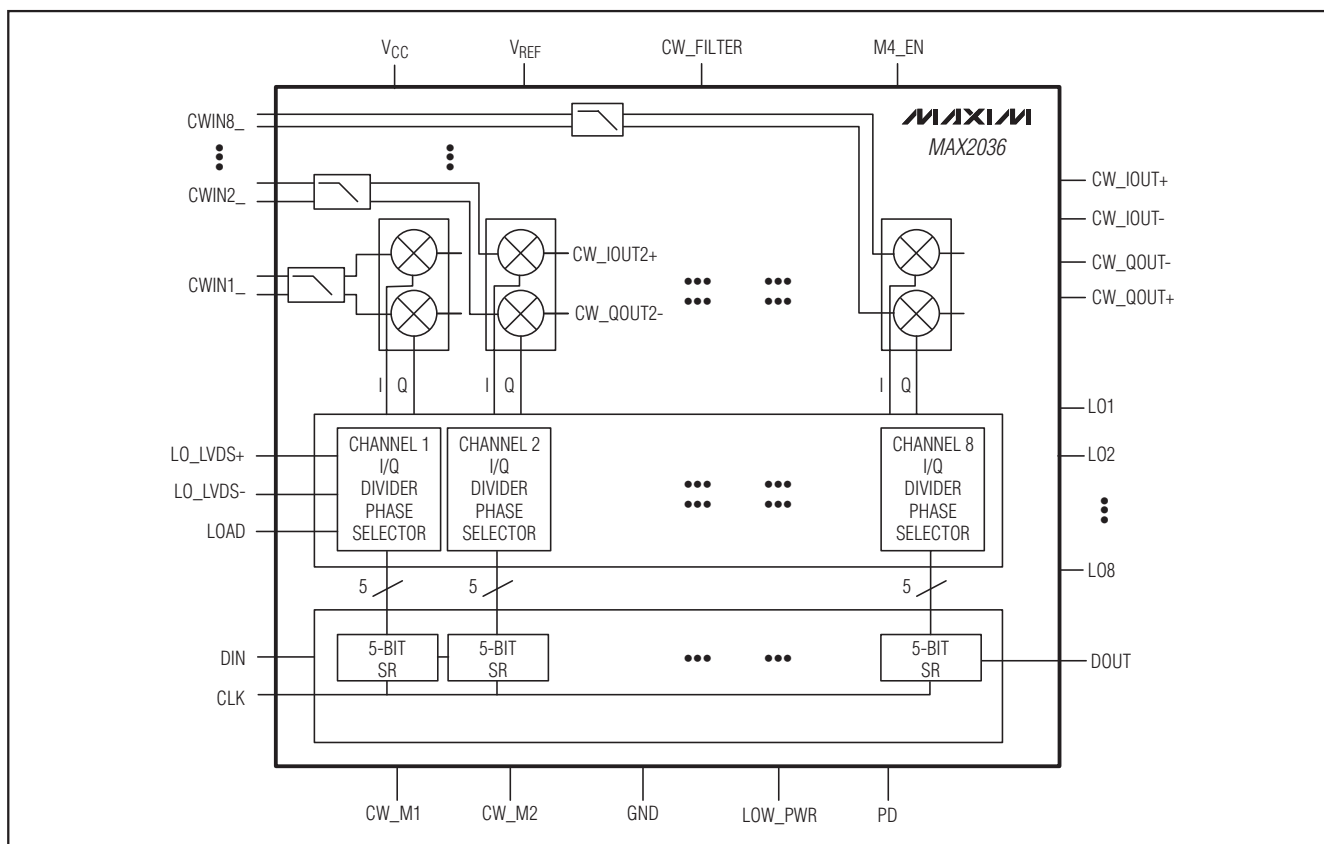


图3. 芯片CWD部分的简化框图

MAX2036评估板

根据客户需求编程这些数字相位发生器，以完成系统级的波束成形功能。

图4所示为详细的输入电路。LNA RF信号加载到并联的CW和VGA输入。利用CW_VG并行控制位，可以选择这些输入在两种功能之间切换。选择CW工作时，VGA功能

电路从RF输入断开，并且VGA部分被关断；选择VGA工作时，操作过程类似。图中标出了低通滤波器，串联电感为外部元件，而并联滤波元件集成在芯片内部。低通滤波器的截止频率通过CW_FILTER并行控制位进行设置。

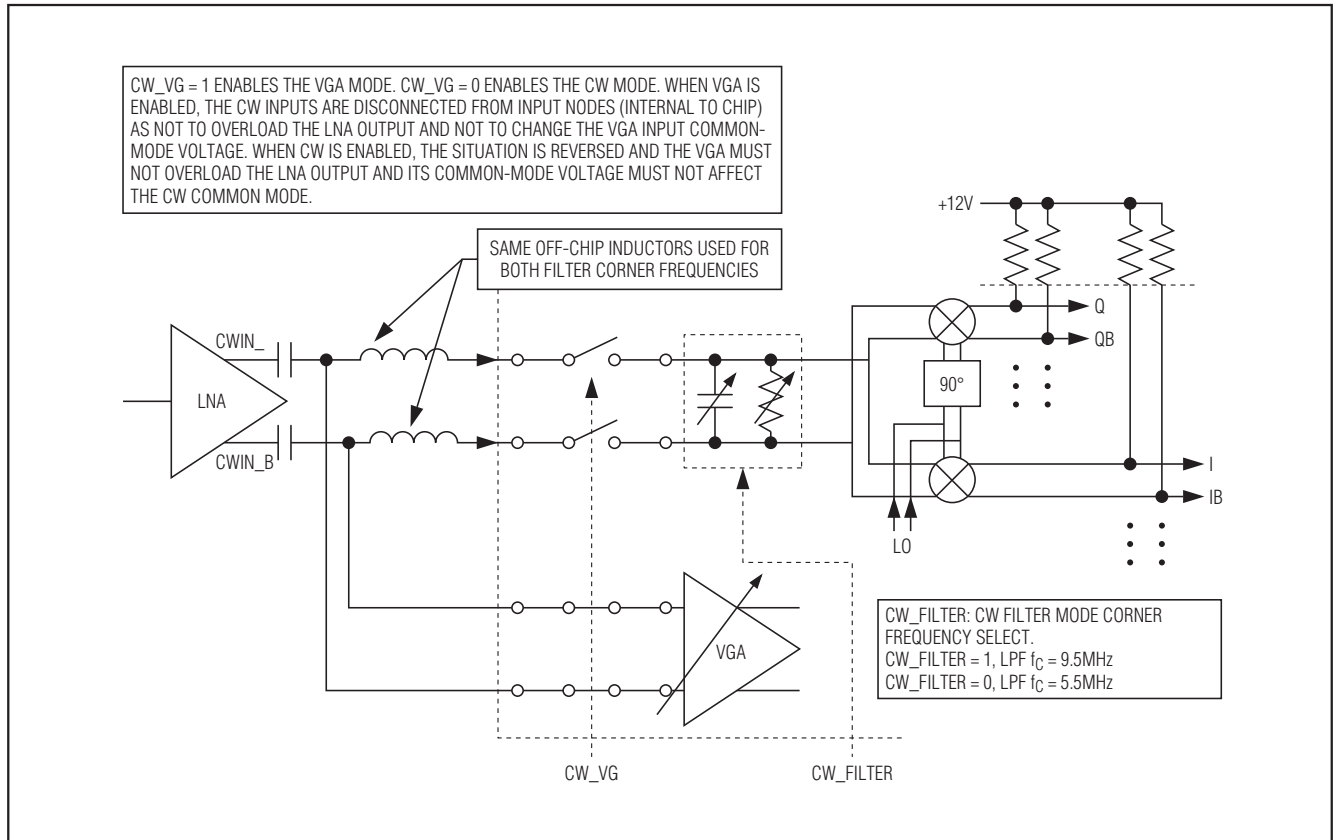


图4. CW输入详细电路

MAX2036评估板

CWD波束成形器编程

八路CWD波束成形器采用一个串行移位寄存器编程。数据通过DIN引脚移位至器件内部,高位在前。器件设计成可菊链连接方式,以减少编程所需的电缆数量。DATA_OUT用于实现菊链连接。串行移位寄存器时钟作用到CLK引脚。每个混频器均可编程为16个相位(最多)之一;所以,编程时每个通道都需要4位设置。主高频混频器时钟作用到差分输入LO_LVDS+和LO_LVDS- (模式1和2)和LOx (模式3和4)。提供一个加载输入(LOAD),使用户能够加载具有编程值的相位计数器,从而产生正确的LO相位。混频器输入信号送至输入引脚(CWIN1_至CWIN8_)。叠加后的混频器I/Q基带输出通过引脚CW_IOUT_和CW_QOUT_提供。该模式被激活或未被选中而处于低功耗模式时,用户可通过CW_VG引脚将CWD波束成形电路唤醒。引脚CW_M1和CW_M2用于选择四种可能的工作模式之一(参见表1),LOAD引脚用于同步模式4。LO1至LO8用于模式3和模式4下的3V CMOS LO输入。

集成CWD波束成形器是具有16、8或4相可编程分辨率的 λ 波束成形器。具体实施需要用户为所有的CWD接收前端IC提供一个高频差分混频器时钟,频率为CWD频率的16、8或4倍(模式1和2时为LVDS输入;模式3和4时为3V CMOS输入)。用户利用一个串行移位寄存器接口编程波束成形,该接口能够以菊链形式连接器件。每个通道需要4位设置内部I/Q分相器/选择器,从而输出正确的I/Q混频器相量;另外1位用于独立的通道使能,波束成形器编程按照以下过程执行:

- 1) 标准CWD工作模式下,混频器时钟(CW_LVDS)开启且编程信号(DATA_IN、CLOCK、LOAD)关闭。(LOAD = 逻辑高电平, CLOCK = 逻辑低电平, DATA_IN = 无关,但固定为逻辑高电平或逻辑低电平)。
- 2) 用户关闭混频器时钟(CW_LVDS),启动编程序列。
- 3) 用户将相位信息以10MHz的编程速率移入移位寄存器。假设CWD接收器为64通道,每通道5位将需要大约30 μ s。
- 4) 完成移位寄存器编程后,用户将加载信号拉低然后再拉高,以适当的数值将内部计数器加载至I/Q分相器/选

择器(注:在进行该操作时,混频器时钟必须关闭,否则加载信号和混频器时钟时序之间可能出现问题。由于编程期间始终关闭混频器时钟,所以不应存在问题)。

- 5) 用户打开混频器时钟,启动波束成形电路。时钟必须打开,以便在混频器时钟周期开始时启动。混频器时钟上不能有干扰,干扰信号会造成I/Q分相器工作不稳定。

上述波束成形器利用串行移位寄存器配置编程,大大简化了编程电路的复杂度,减少编程所需的IC引脚数,并有助于简化PCB布局。利用数据输入(DATA_IN)和数据输出(DATA_OUT)实现器件之间的菊链连接,所有前端可以运行在同一编程时钟下。时序图标出了重要的时序参数,数据时钟(CLOCK)最高可达10MHz,串行移位寄存器接口的技术指标如下:

$$t_{DSU} \text{ (最小数据建立时间)} = 30\text{ns}$$

$$t_{HLD} \text{ (最小数据保持时间)} = 2\text{ns}$$

$$t_{DCLK} \text{ (最小数据时钟周期)} = 100\text{ns}$$

$$t_{DCLKPWH} \text{ (最小数据时钟高电平脉宽)} = 30\text{ns}$$

$$t_{DCLKPWL} \text{ (最小数据时钟低电平脉宽)} = 30\text{ns}$$

本方案中,加载信号(LOAD)将相位信息以每通道5位形式装载到I/Q分相器/选择器。该操作将预设值装载到分频器,从而选择合适的混频器相位。完成串行移位寄存器编程后,加载信号拉至逻辑高电平。加载信号的主要技术指标为:

$$t_{LD} \text{ (最小加载时钟)} = 30\text{ns}$$

$$t_{LDMIXCLK} \text{ (最小加载信号逻辑高电平至混频器时钟打开的时间)} = 30\text{ns}$$

$$t_{CLH} \text{ (最小数据时钟至加载信号逻辑高电平的时间)} = 30\text{ns}$$

编程输入(CLOCK、DATA_IN和LOAD)兼容于3V CMOS逻辑,逻辑输入技术指标为:

$$\text{最小逻辑低电平} = 0.8\text{V}$$

$$\text{最小逻辑高电平} = 2\text{V}$$

$$\text{输入电容} = 3\text{pF至}5\text{pF}$$

MAX2036评估板

CWD工作频率最高可达7.5MHz，所以混频器时钟输入需要高达120MHz左右(因此模式1和模式2采用LVDS)。该输入应与标准LVDS兼容，还须设计成多点端接，从而能够由一个驱动器驱动多个前端IC。有些情况下，利用一个驱动器驱动所有前端IC可能并不可行，所以在最终部署系统时建议谨慎分配LVDS时钟。

可登录网站www.maxim-ic.com.cn在线订购MAX2036评估板。CMAXQUSB命令模块提供了一个简单易用软件包，

可通过PC的USB口对器件编程，该命令模块可从Maxim获得。软件中的3线设置菜单默认使用“SEND AND RECEIVE MSB first”。3线接口进一步将CS设置为空闲高电平。注意该电路板的CS输出用于仿真图5所示的LOAD信号。然而，这种情况下的CS信号为标准CS控制，DATA加载之前CS = 1，DATA加载期间CS = 0，DATA完成加载后，CS再次上升到高电平。这与图5所示LOAD信号响应不同，但其工作原理相同。

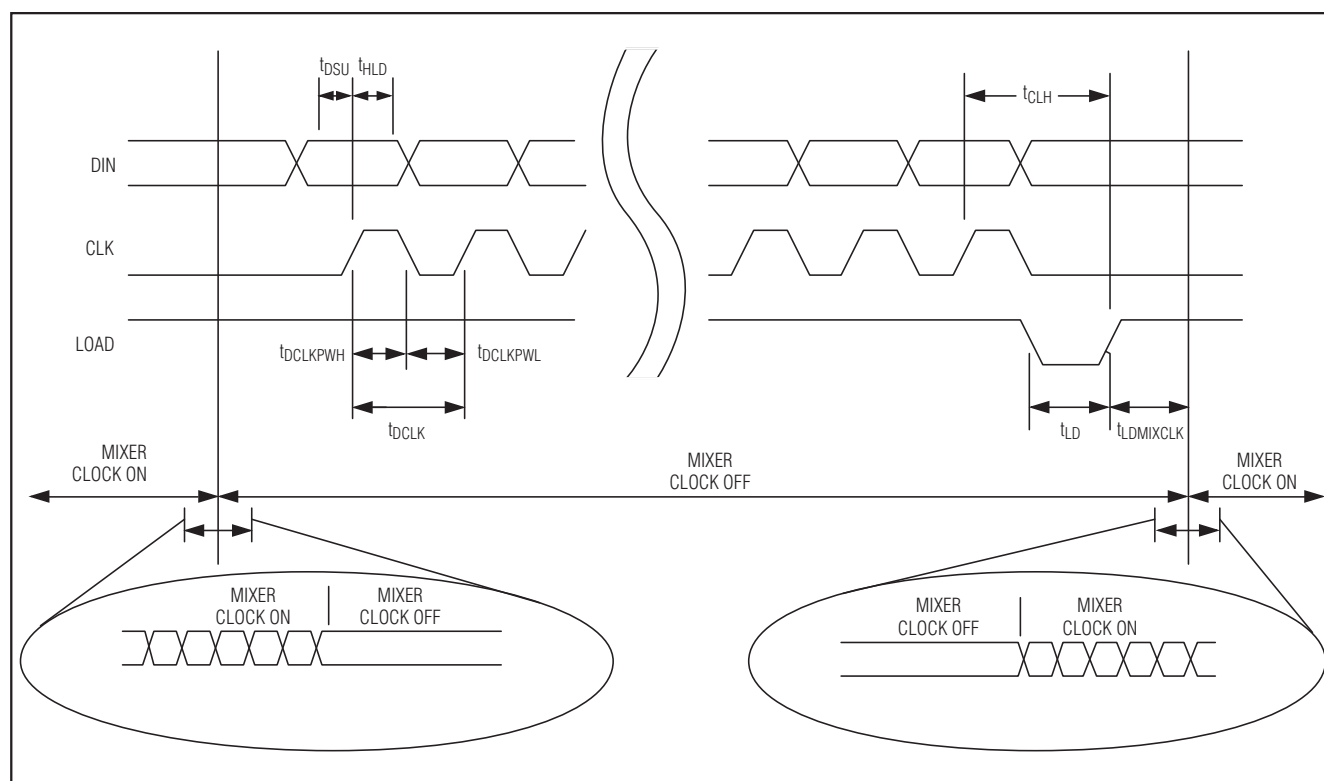


图5. CWD波束成形器时序图

MAX2036评估板

利用脉冲发生器测试MAX2036的 相位旋转波束成形功能

MAX2036的相位旋转波束成形功能要求评估板具有同相RF输入和LO输入。MAX2036的TEST_MODE输出信号可用于RF输入功能。该信号在芯片内部分频，以匹配所设置模式的正确RF输入频率。它将与每个通道内部生成的LO信号同相，总是起始于0°相位。

同步LO信号必须由用户提供，图7所示利用简单的脉冲发生器产生LO信号。脉冲发生器以触发方式连续工作。

由LOAD作为触发信号时，始终以固定相位状态开始。LOAD信号将编程相位信息串行锁存到MAX2036波束成形器。

CMAXQUSB命令模块的CS输出信号用于触发HP 8112A脉冲发生器。CMAXQUSB的CS输出连接至HP 8112A的EXT_INP，并且设置为上升沿触发。在DATA加载结束后出现的CS上升沿用于触发脉冲发生器输出。这就是相同步发生器的工作方式，脉冲发生器的正确设置参见表6。

表6. HP 8112A脉冲发生器设置

MODE	PERIOD (ns)	DELAY (ns)	WIDTH (ns)	LEE (ns)	TRE (ns)	HIL (V)	LOL (ns)	GATE
1	30	65	15	5.5	5.5	0.8	0	Rise
2	60	65	30	5.5	5.5	0.8	0	Rise
3	200	200	100	6	6	1.5	0	Rise
4	—	—	—	—	—	—	—	—

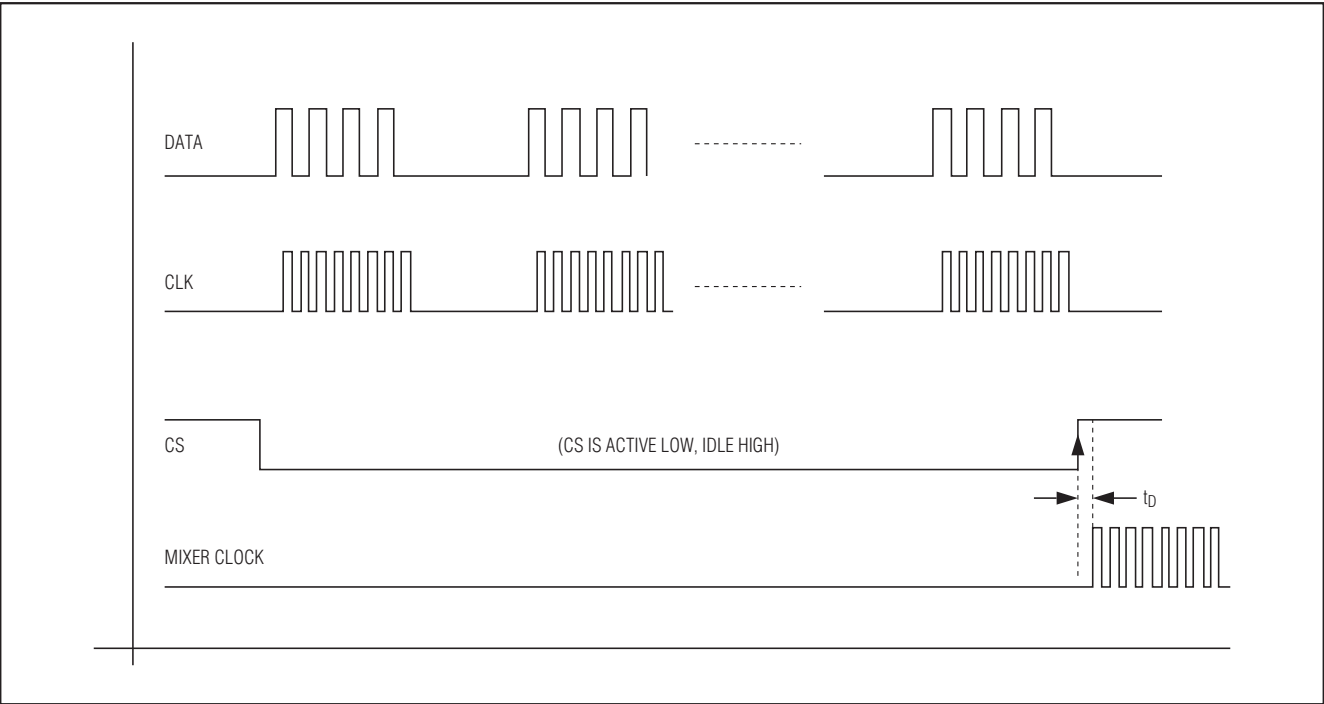


图6. 评估板测试时序图

MAX2036评估板

评估板: MAX2036

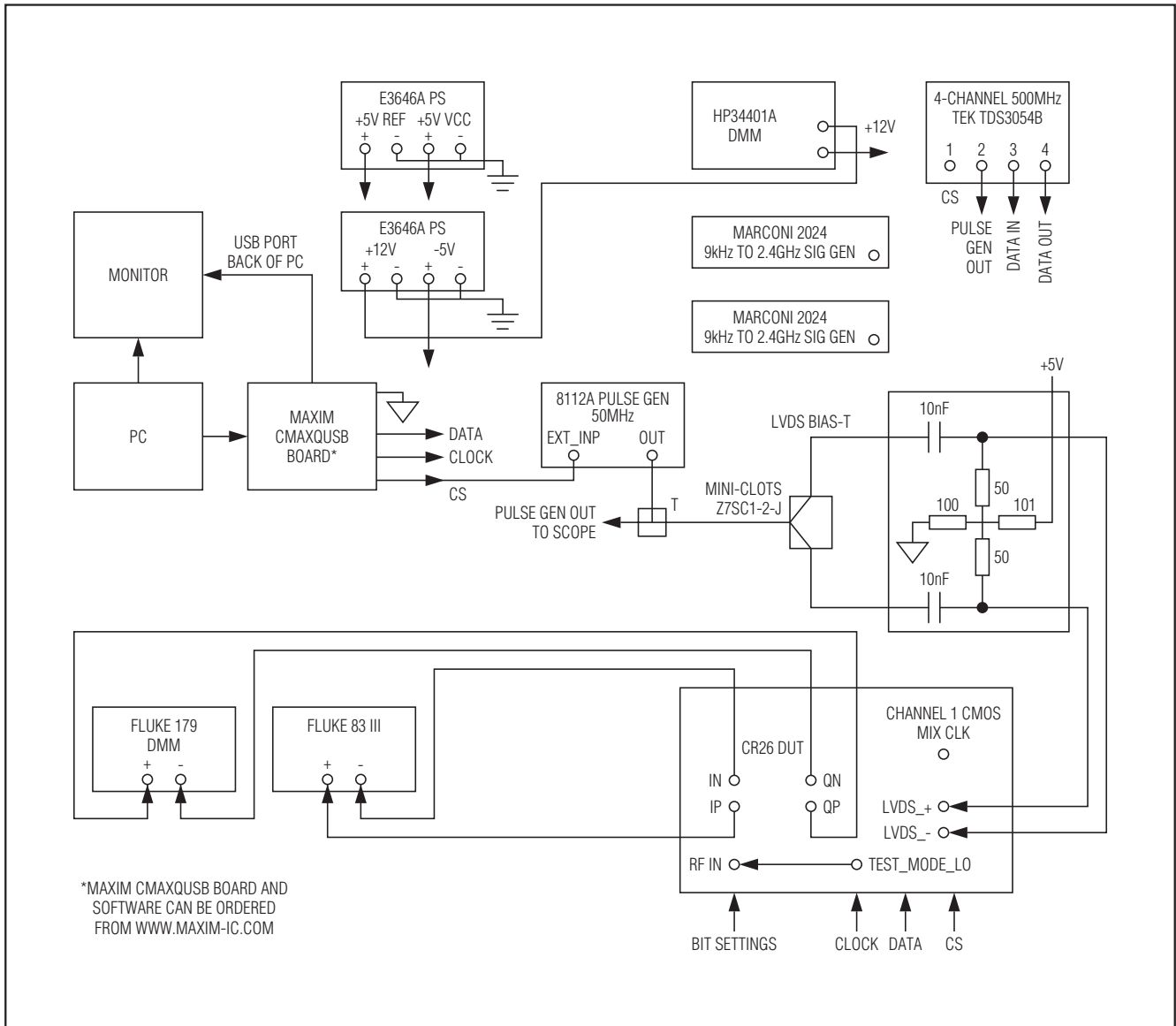


图7. CWD LVDS (模式1和模式2)测试设置

MAX2036评估板

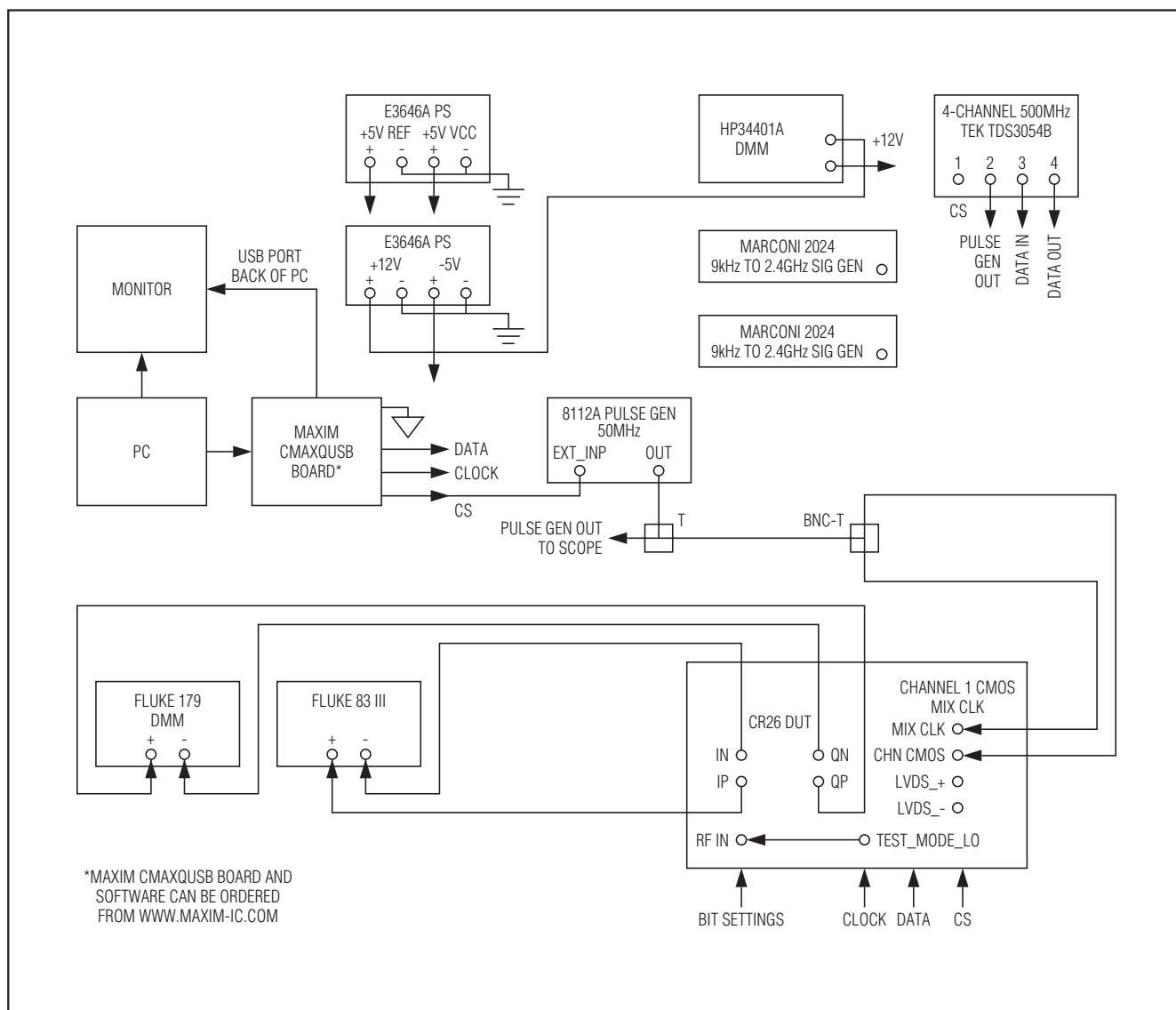


图8. CWD CMOS (模式3)测试设置

MAX2036评估板

评估板: MAX2036

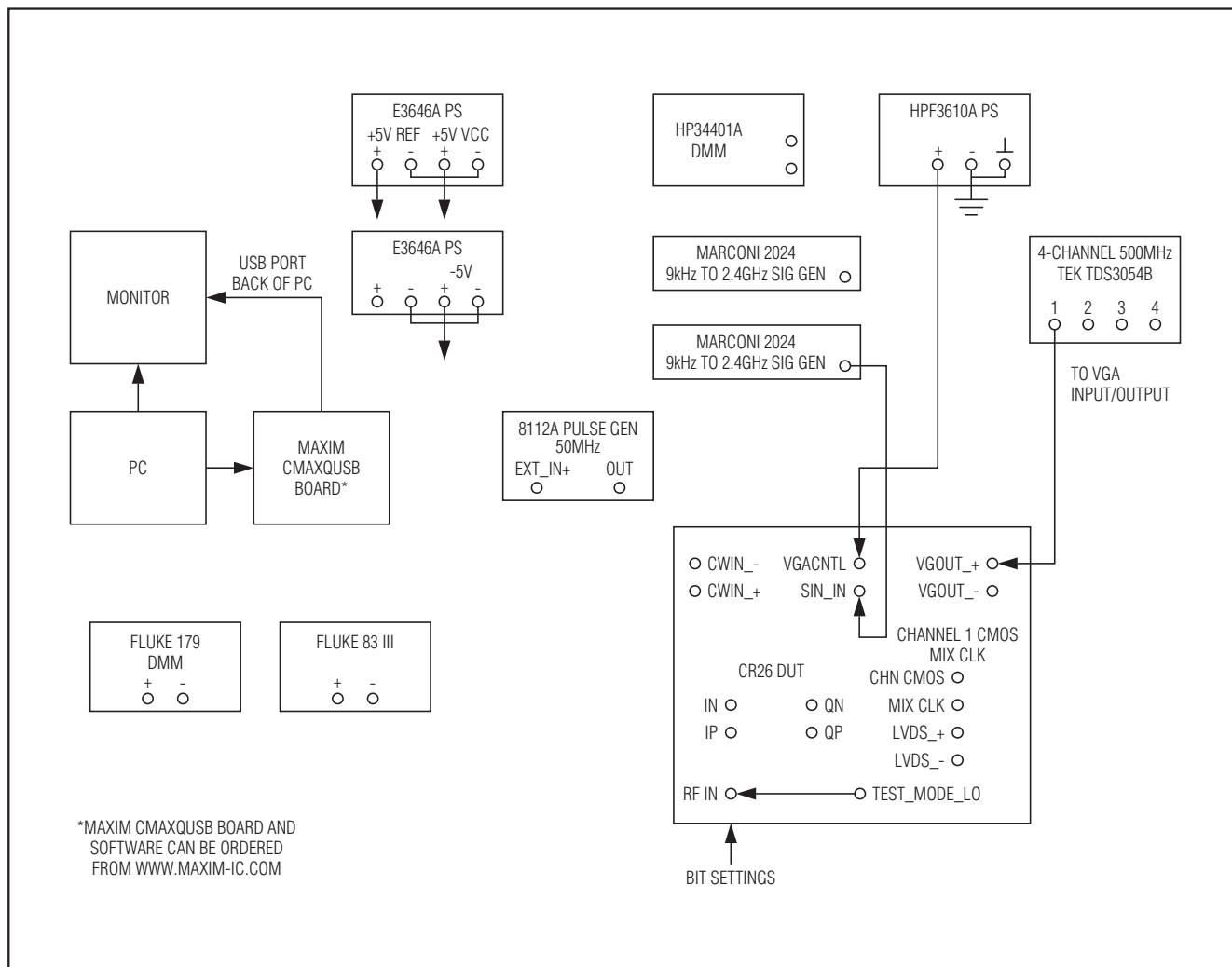


图9. VGA 模式测试设置

MAX2036评估板

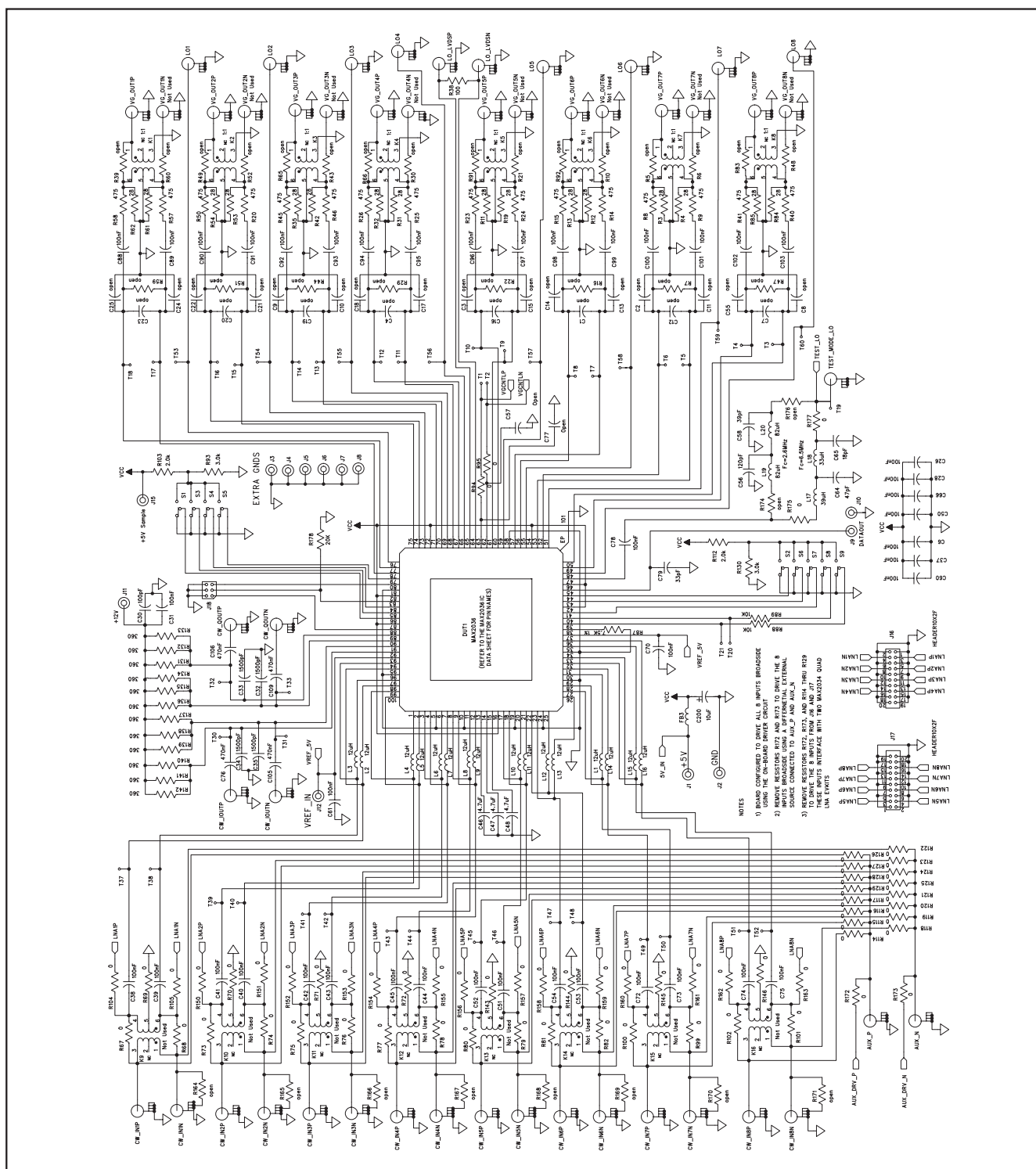


图10a. MAX2036评估板原理图(1/3)

评估板: MAX2036



MAX2036评估板

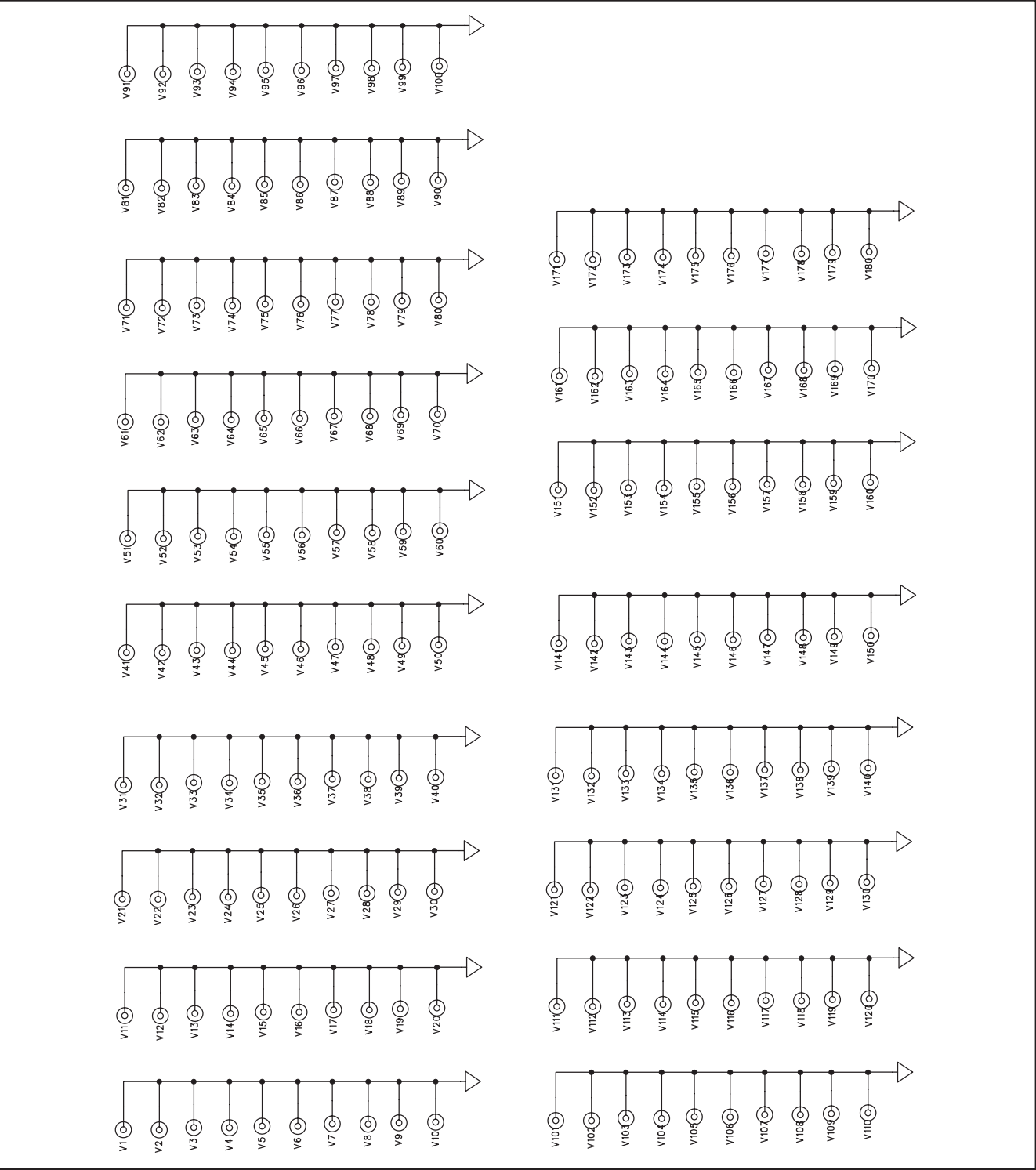


图10c. MAX2036评估板原理图(3/3)

评估板: MAX2036



MAX2036评估板

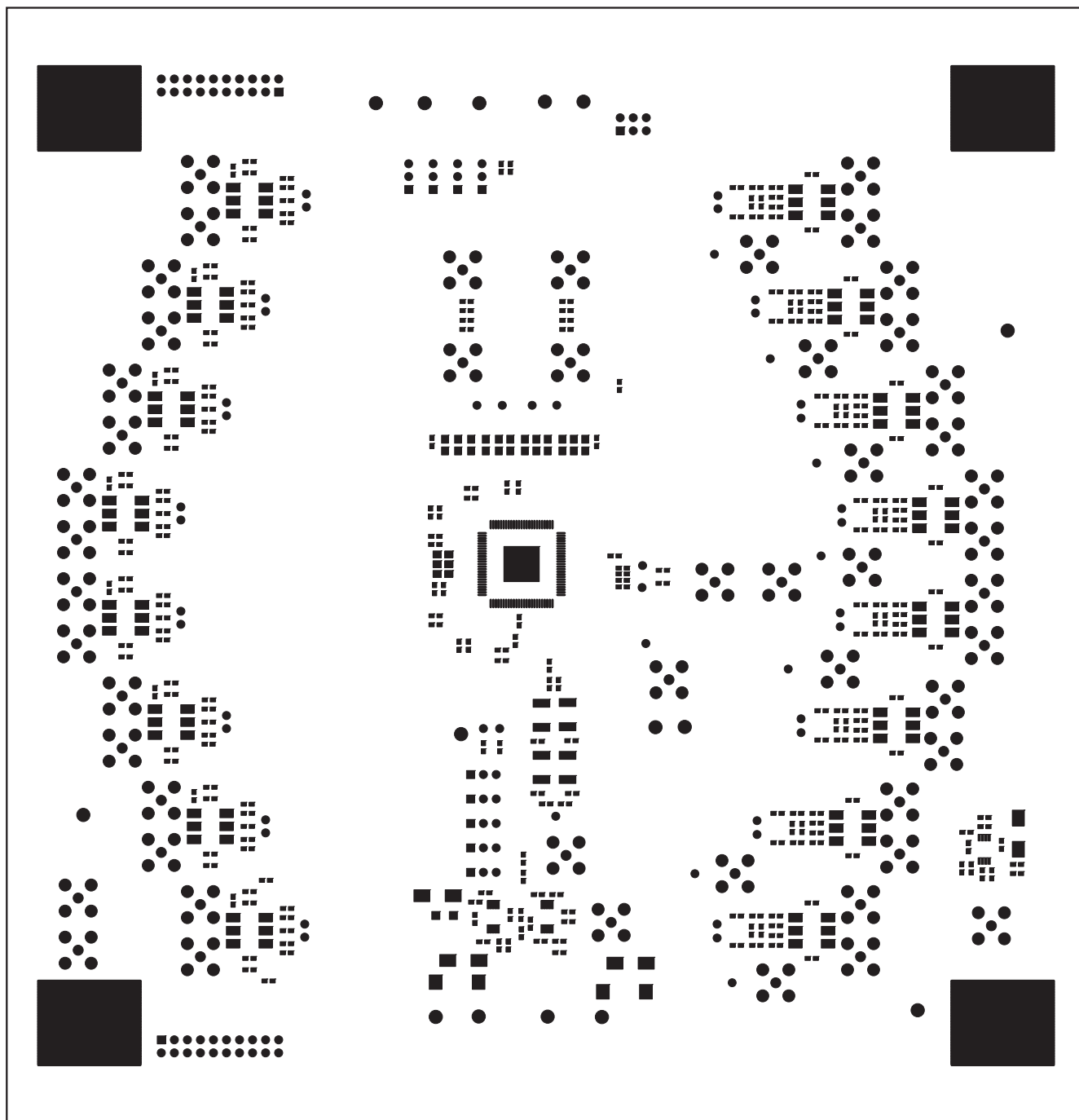


图12. MAX2036评估板PCB布局——顶部阻焊层

MAX2036评估板

评估板: MAX2036

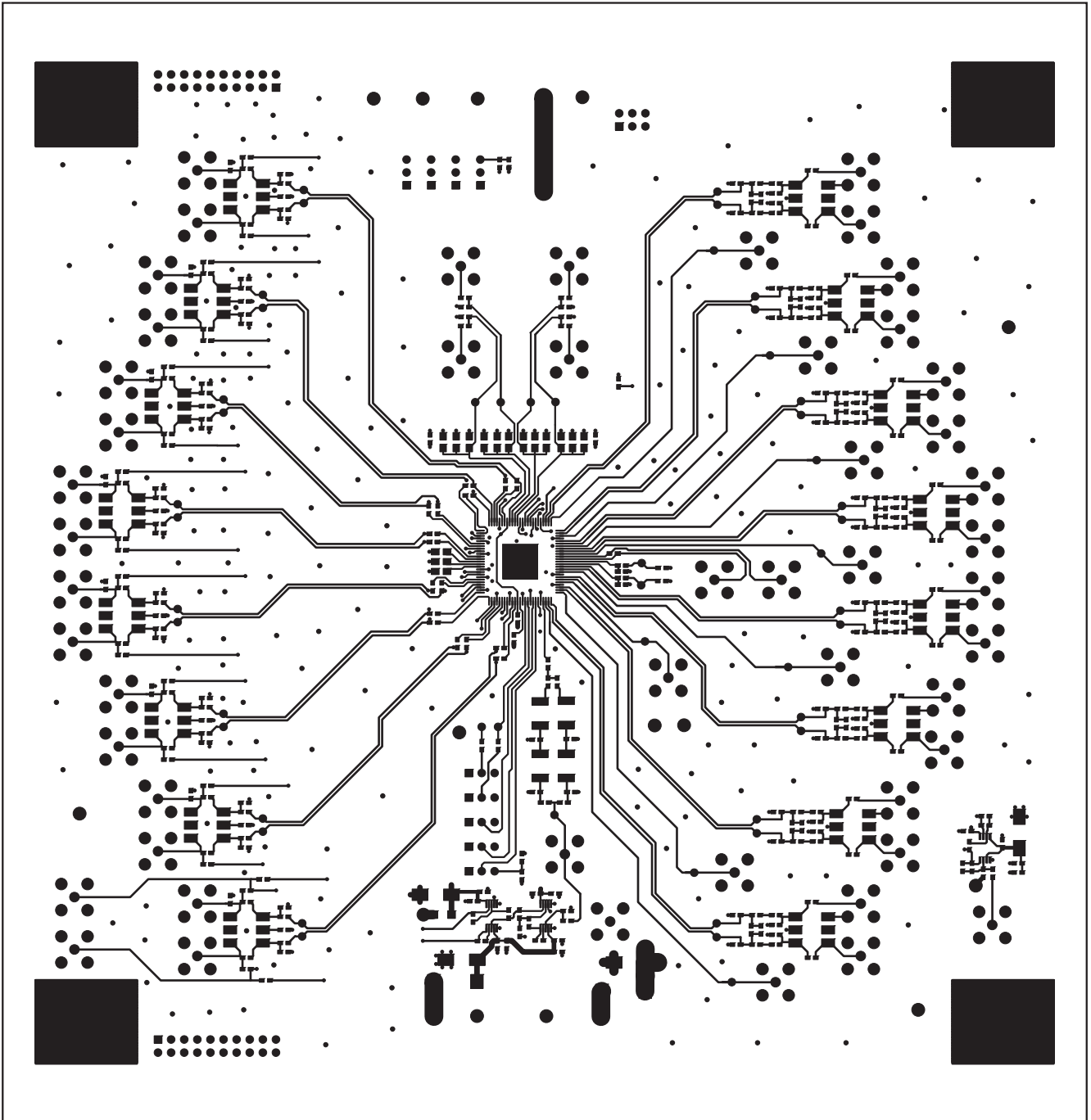


图13. MAX2036评估板PCB布局——顶层(金属)

MAX2036评估板

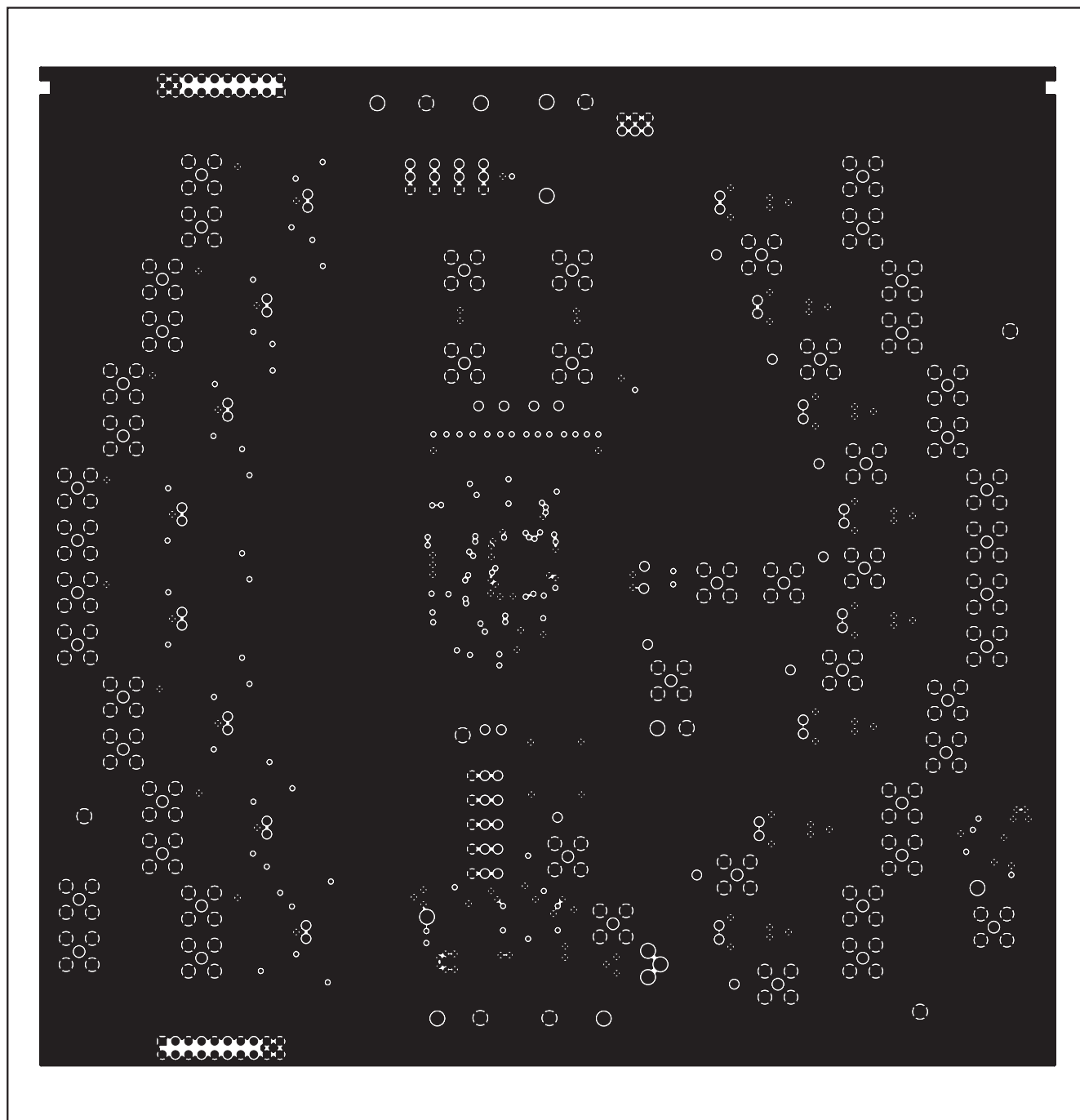


图14. MAX2036评估板PCB布局——第2层(GND)

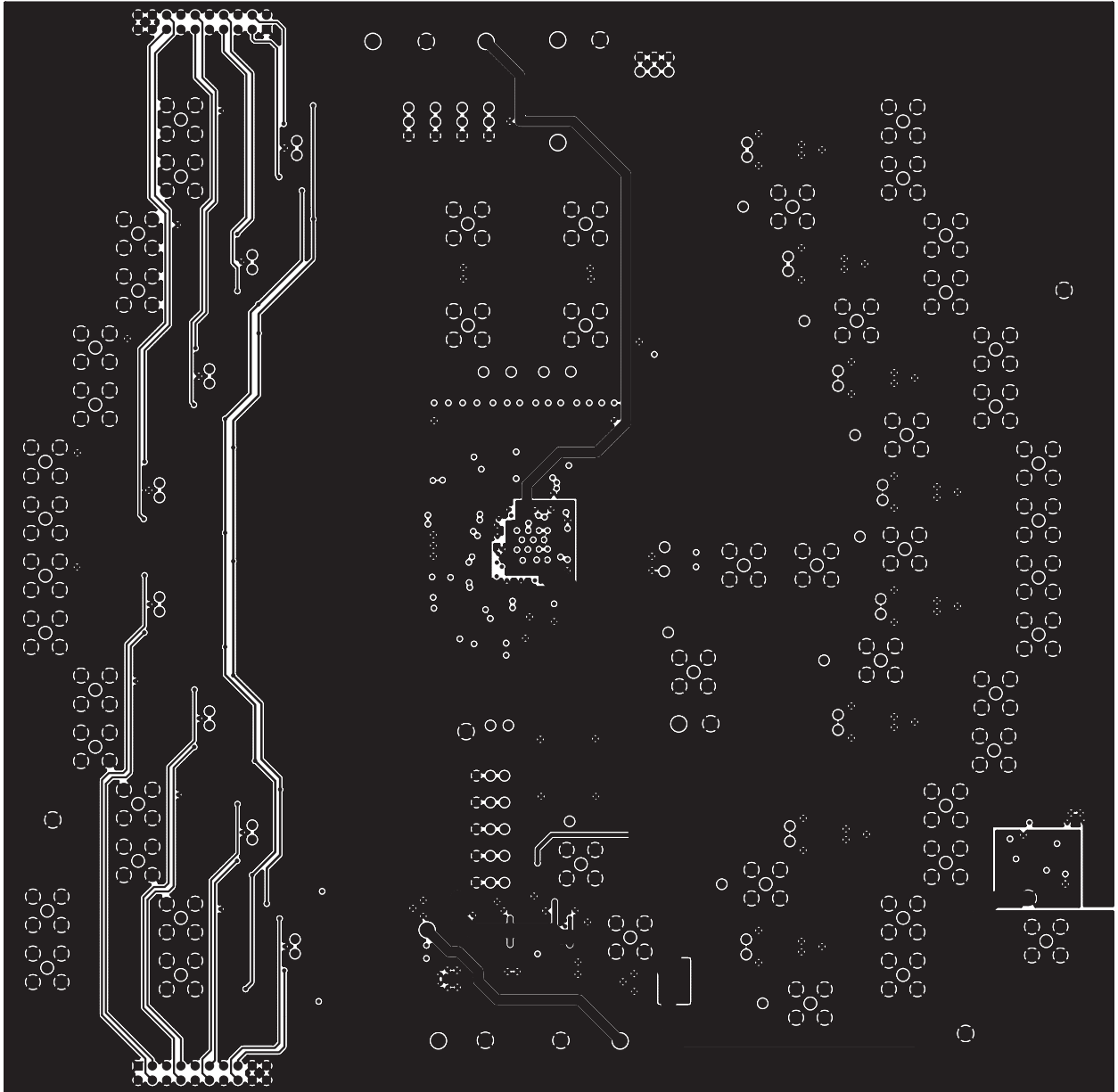


图15. MAX2036评估板PCB布局——第3层(布线)

MAX2036评估板

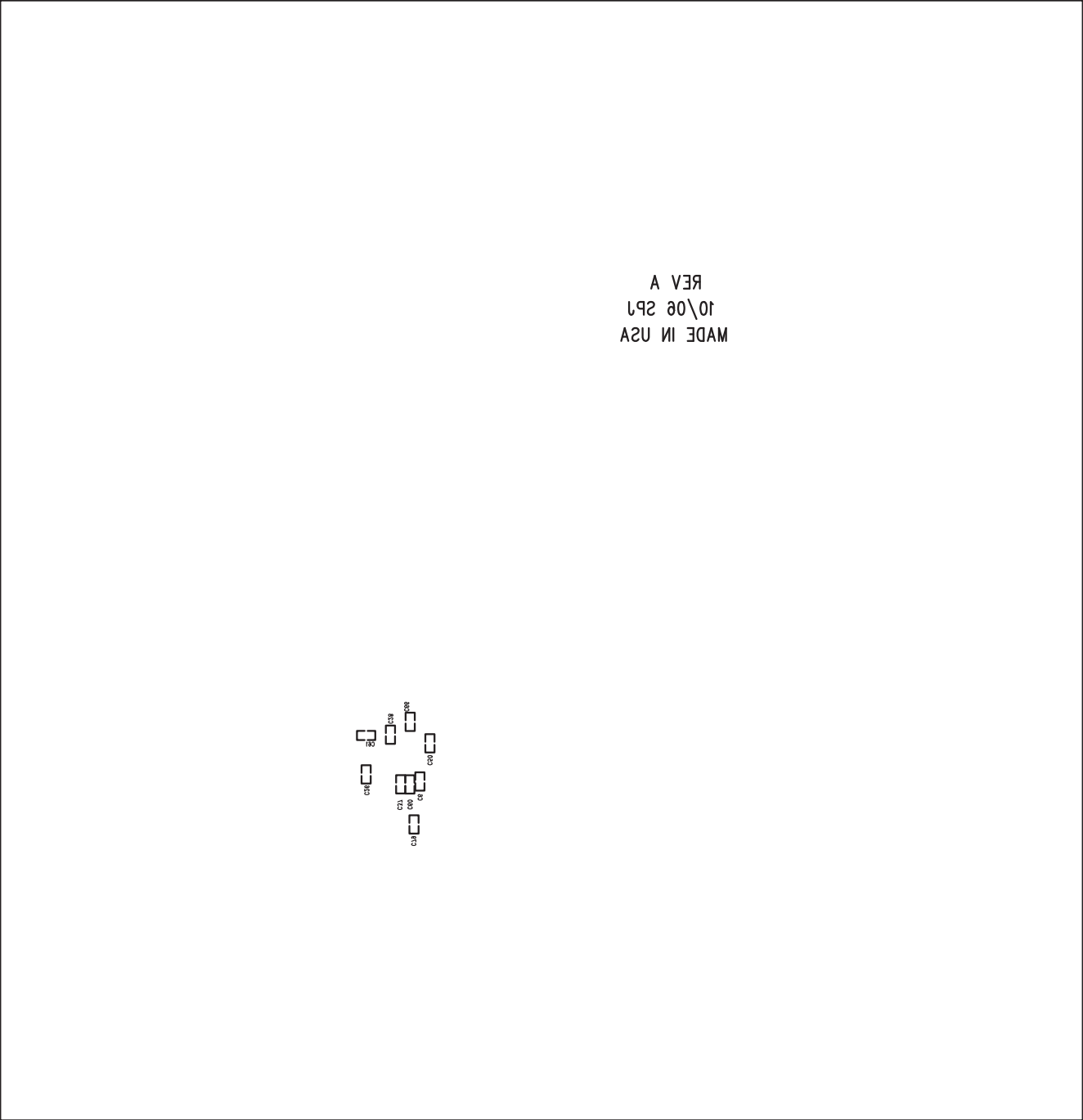


图16. MAX2036评估板PCB布局——底部丝网

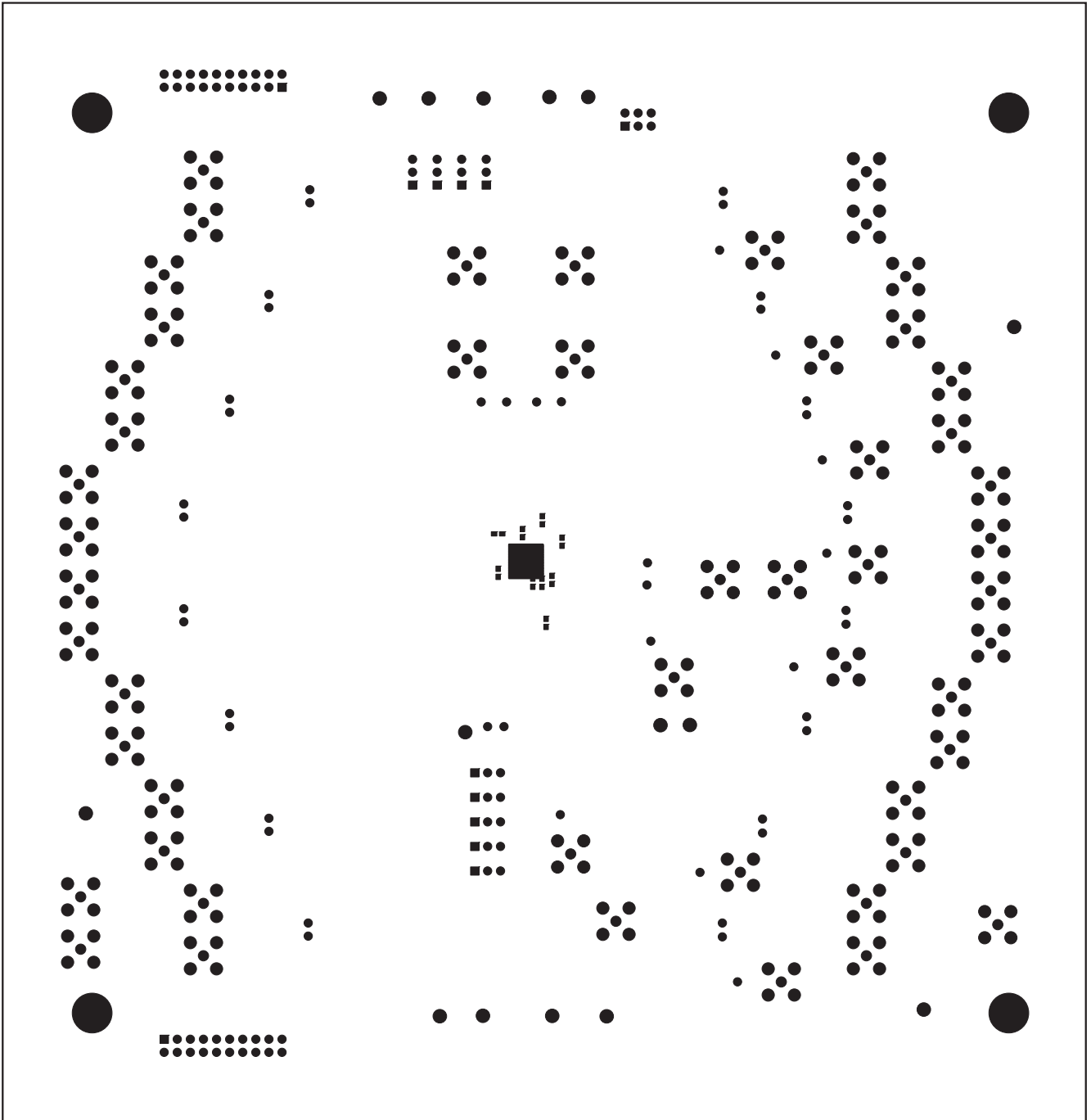


图17. MAX2036评估板PCB布局——底部阻焊层

MAX2036评估板

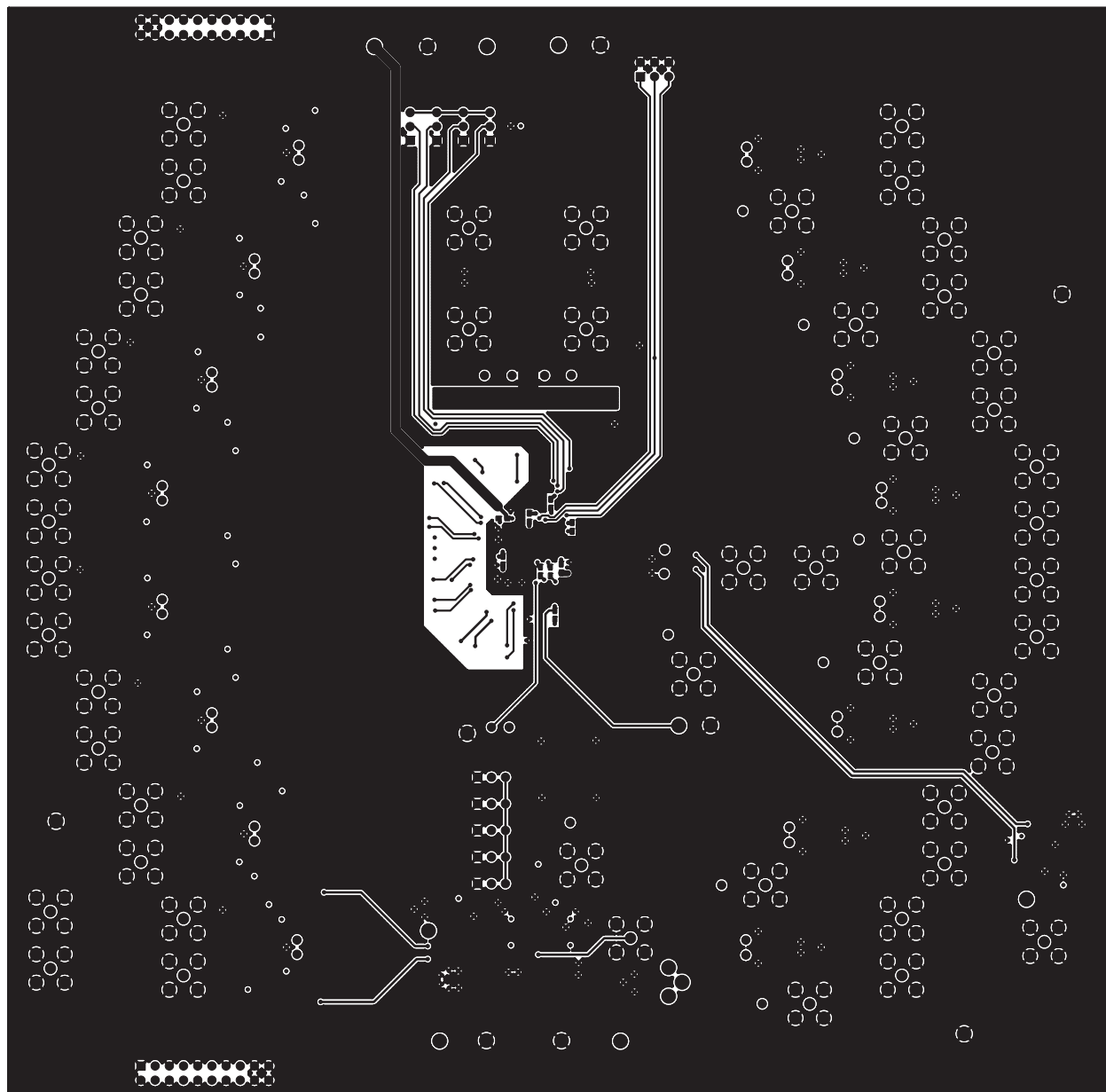


图18. MAX2036评估板PCB布局—底层(金属)

MAX2036评估板

评估板: MAX2036

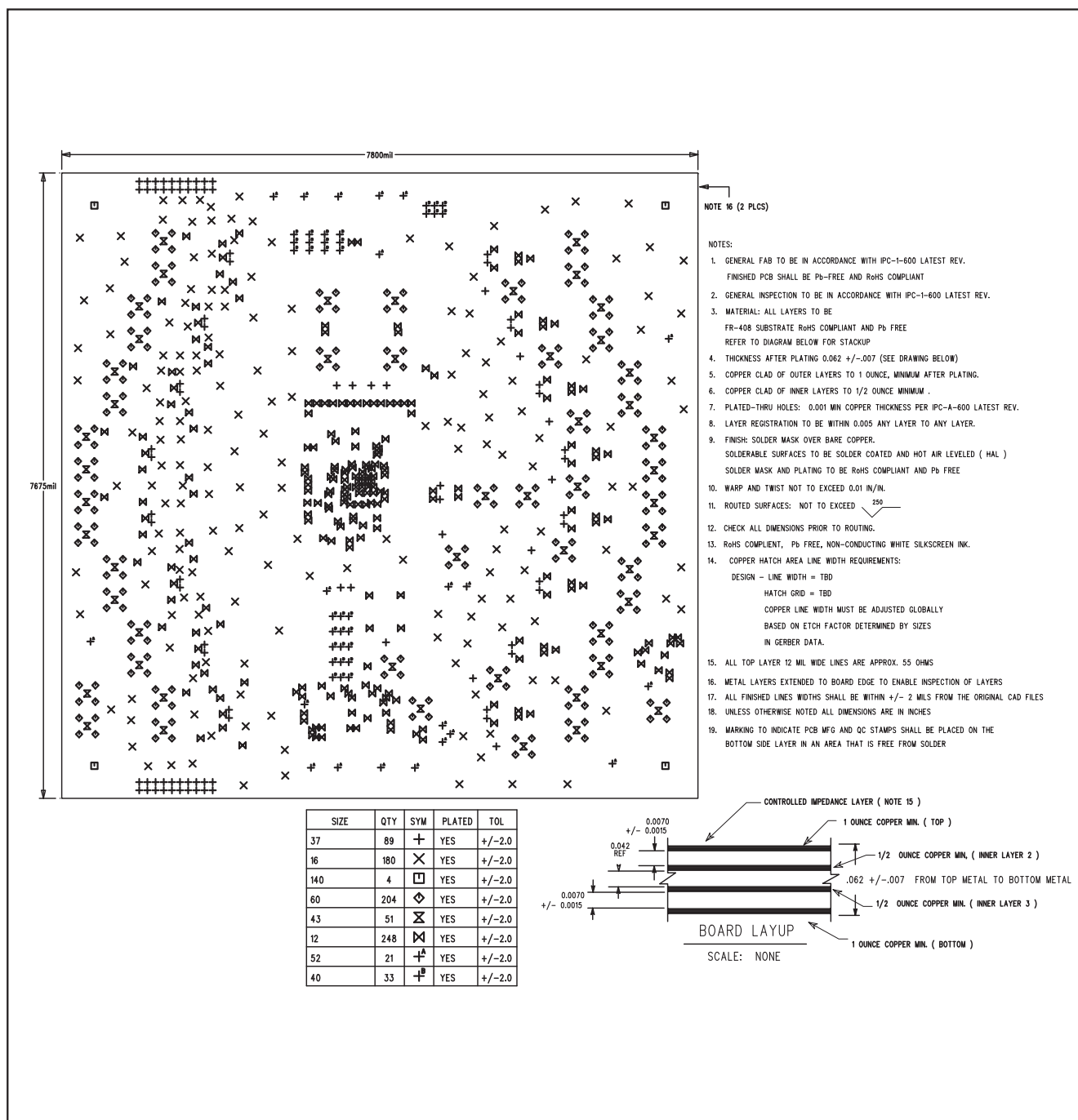


图19. MAX2036评估板PCB布局——钻孔和机械装配图

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 27

© 2009 Maxim Integrated Products

Maxim是Maxim Integrated Products, Inc. 的注册商标。