

可提供评估板



## 双通道、8位、130Msps ADC

MAX19507

### 概述

MAX19507双通道、模/数转换器(ADC)具有8位分辨率,支持130Msps最大采样速率。

MAX19507的模拟输入可接受0.4V至1.4V较宽的输入共模电压范围,允许宽带RF、IF以及基带前端直流耦合到输入端。在基带至400MHz以上的输入频率范围内,MAX19507具有优异的动态性能,非常适合零中频(ZIF)和较高中频(IF)的采样系统。 $f_{IN} = 70\text{MHz}$ 、 $f_{CLK} = 130\text{MHz}$ 时,典型信噪比(SNR)为49.8dBFS,典型无杂散动态范围(SFDR)为69dBc。

MAX19507工作在1.8V电源。此外,内部自检测电压调节器可工作在2.5V至3.3V电压(AVDD)。数字输出驱动器工作在1.8V至3.5V独立电源(OVDD)。 $V_{AVDD} = 1.8\text{V}$ 时,每通道模拟电路功耗仅为74mW。除了具有较低的功耗外,MAX19507在关断模式下功耗可降至1mW,待机模式下功耗仅为21mW。

通过3线串行接口访问可编程寄存器,能够实现各种调节和功能选择。此外,还可以禁用串口,提供三个输入引脚用于选择输出模式、数据格式和时钟频率。数据输出采用双路并行总线,输出数据兼容于CMOS电平,也可以配置为单路复用并行CMOS总线。

MAX19507采用小尺寸、7mm x 7mm、48引脚薄型QFN封装,工作在-40°C至+85°C扩展级温度范围。

引脚及功能兼容的10位65Msps、100Msps以及130Msps产品请分别参考MAX19515、MAX19516以及MAX19517数据资料;引脚及功能兼容的8位65Msps和100Msps产品请分别参考MAX19505和MAX19506数据资料。

### 应用

IF和基带通信,包括蜂窝基站及点对点微波接收机  
超声和医学成像  
便携式仪表和低功耗数据采集  
数字机顶盒

### 特性

- ◆ 工作状态下具有极低功耗(130Msps时74mW/通道)
- ◆ 1.8V或2.5V至3.3V模拟供电电压
- ◆ 优异的动态性能
  - 70MHz时, SNR为49.8dBFS
  - 70MHz时, SFDR为69dBc
- ◆ 通过SPI™接口实现用户可编程调节和功能选择
- ◆ 可选择的数据总线(双路CMOS或单路复用CMOS)
- ◆ DCLK输出和可编程数据输出定时,简化了高速数字接口
- ◆ 较宽的输入共模电压范围(0.4V至1.4V)
- ◆ 宽带模拟输入(> 850MHz)
- ◆ 单端或差分模拟输入
- ◆ 单端或差分时钟输入
- ◆ 1分频(DIV1)、2分频(DIV2)以及4分频(DIV4)时钟模式
- ◆ 二进制补码、格雷码以及偏移二进制输出数据格式
- ◆ 超限指示器(DOR)
- ◆ CMOS输出内部端接选项(可编程)
- ◆ 位顺序可反向(可设置)
- ◆ 数据输出测试模板
- ◆ 小尺寸、7mm x 7mm、48引脚薄型QFN封装,带有裸焊盘

### 订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX19507ETM+	-40°C to +85°C	48 TQFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

\*EP = 裸焊盘。

引脚配置在数据资料的最后给出。

SPI是Motorola, Inc.的商标。

# 双通道、8位、130MSPS ADC

MAX19507

## ABSOLUTE MAXIMUM RATINGS

OVDD, AVDD to GND.....-0.3V to +3.6V  
 CMA, CMB, REFIO, INA+, INA-, INB+,  
 INB- to GND .....-0.3V to +2.1V  
 CLK+, CLK-, SYNC, SPEN, CS, SCLK, SDIN  
 to GND .....-0.3V to the lower of (VAVDD + 0.3V) and +3.6V  
 DCLKA, DCLKB, D7A-D0A, D7B-D0B, DORA, DORB  
 to GND .....-0.3V to the lower of (VOVDD + 0.3V) and +3.6V

Continuous Power Dissipation (TA = +70°C)  
 48-Pin Thin QFN, 7mm x 7mm x 0.8mm (derate 40mW/°C  
 above +70°C).....3200mW  
 Operating Temperature Range .....-40°C to +85°C  
 Junction Temperature .....+150°C  
 Storage Temperature Range .....-65°C to +150°C  
 Lead Temperature (soldering, 10s) .....+300°C  
 Soldering Temperature (reflow) .....+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(VAVDD = VOVDD = 1.8V, internal reference, differential clock, VCLK = 1.5Vp-p, fCLK = 130MHz, AIN = -0.5dBFS, data output termination = 50Ω, TA = -40°C to +85°C, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution				8		Bits
Integral Nonlinearity	INL	fIN = 3MHz	-0.3	±0.1	+0.3	LSB
Differential Nonlinearity	DNL	fIN = 3MHz	-0.3	±0.1	+0.3	LSB
Offset Error	OE	Internal reference	-0.4	±0.1	+0.4	%FS
Gain Error	GE	External reference = 1.25V	-1.5	±0.3	+1.5	%FS
<b>ANALOG INPUTS (INA+, INA-, INB+, INB-) (Figure 3)</b>						
Differential Input-Voltage Range	VDIFF	Differential or single-ended inputs		1.5		Vp-p
Common-Mode Input-Voltage Range	VCM	(Note 2)	0.4		1.4	V
Input Resistance	RIN	Fixed resistance, common mode, and differential mode		> 100		kΩ
		Differential input resistance, common mode connected to inputs		4		
Input Current	IIN	Switched capacitance common-mode input current, each input		74		μA
Input Capacitance	Cpar	Fixed capacitance to ground, each input		0.7		pF
	Csample	Switched capacitance, each input		1.2		
<b>CONVERSION RATE</b>						
Maximum Clock Frequency	fCLK		130			MHz
Minimum Clock Frequency	fCLK				65	MHz
Data Latency		Figures 9, 10		9		Cycles

# 双通道、8位、130Mps ADC

MAX19507

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DYNAMIC PERFORMANCE</b>						
Small-Signal Noise Floor	SSNF	$f_{IN} = 70MHz, < -35dBFS$		-49.8		dBFS
Signal-to-Noise Ratio	SNR	$f_{IN} = 3MHz$		49.8		dBFS
		$f_{IN} = 70MHz$	49.0	49.8		
		$f_{IN} = 175MHz$		49.8		
Signal-to-Noise Plus Distortion Ratio	SINAD	$f_{IN} = 3MHz$		49.3		dB
		$f_{IN} = 70MHz$	48.5	49.3		
		$f_{IN} = 175MHz$		49.3		
Spurious-Free Dynamic Range (2nd and 3rd Harmonic)	SFDR1	$f_{IN} = 3MHz$		77.0		dBc
		$f_{IN} = 70MHz$	65.0	77.0		
		$f_{IN} = 175MHz$		77.0		
Spurious-Free Dynamic Range (4th and Higher Harmonics)	SFDR2	$f_{IN} = 3MHz$		69.0		dBc
		$f_{IN} = 70MHz$	64.0	69.0		
		$f_{IN} = 175MHz$		69.0		
Second Harmonic	HD2	$f_{IN} = 3MHz$		-78.0		dBc
		$f_{IN} = 70MHz$		-78.0	-65.0	
		$f_{IN} = 175MHz$		-78.0		
Third Harmonic	HD3	$f_{IN} = 3MHz$		-82.0		dBc
		$f_{IN} = 70MHz$		-82.0	-65.0	
		$f_{IN} = 175MHz$		-80.0		
Total Harmonic Distortion	THD	$f_{IN} = 3MHz$		-72.0		dBc
		$f_{IN} = 70MHz$		-72.0	-63.0	
		$f_{IN} = 175MHz$		-72.0		
Third-Order Intermodulation	IM3	$f_{IN} = 70MHz \pm 1.5MHz, -7dBFS$		-80		dBc
		$f_{IN} = 175MHz \pm 2.5MHz, -7dBFS$		-75		
Full-Power Bandwidth	FPBW	$R_{SOURCE} = 50\Omega$ differential, -3dB rolloff		850		MHz
Aperture Delay	$t_{AD}$			850		ps
Aperture Jitter	$t_{AJ}$			0.3		psRMS
Overdrive Recovery Time		$\pm 10%$ beyond full scale		1		Cycles

# 双通道、8位、130MSPS ADC

MAX19507

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INTERCHANNEL CHARACTERISTICS</b>						
Crosstalk		$f_{INA}$ or $f_{INB} = 70MHz$ at $-1dBFS$	95			dBc
		$f_{INA}$ or $f_{INB} = 175MHz$ at $-1dBFS$	85			
Gain Match		$f_{IN} = 70MHz$	$\pm 0.05$			dB
Offset Match		$f_{IN} = 70MHz$	$\pm 0.2$			%FSR
Phase Match		$f_{IN} = 70MHz$	$\pm 0.5$			Degrees
<b>ANALOG OUTPUTS (CMA, CMB)</b>						
CMA, CMB Output Voltage	$V_{COM}$	Default programmable setting	0.85	0.9	0.95	V
<b>INTERNAL REFERENCE</b>						
REFIO Output Voltage	$V_{REFOUT}$		1.23	1.25	1.27	V
REFIO Temperature Coefficient	$T_{CREF}$		$< \pm 60$			ppm/ $^\circ C$
<b>EXTERNAL REFERENCE</b>						
REFIO Input-Voltage Range	$V_{REFIN}$		1.25 +5/ -10%			V
REFIO Input Resistance	$R_{REFIN}$		10 $\pm 20\%$			k $\Omega$
<b>CLOCK INPUTS (CLK+, CLK-)—DIFFERENTIAL MODE</b>						
Differential Clock Input Voltage			0.4 to 2.0			$V_{P-P}$
Differential Input Common-Mode Voltage		Self-biased	1.2			V
		DC-coupled clock signal	1.0 to 1.4			
Input Resistance	$R_{CLK}$	Differential, default	10			k $\Omega$
		Differential, programmable internal termination selected	100			$\Omega$
		Common mode	9			k $\Omega$
Input Capacitance	$C_{CLK}$	To ground, each input	3			pF
<b>CLOCK INPUTS (CLK+, CLK-)—SINGLE-ENDED MODE (<math>V_{CLK-} &lt; 0.1V</math>)</b>						
Single-Ended Mode Selection Threshold ( $V_{CLK-}$ )			0.1			V
Allowable Logic Swing ( $V_{CLK+}$ )			0 - $V_{AVDD}$			V
Single-Ended Clock Input High Threshold ( $V_{CLK+}$ )			1.5			V
Single-Ended Clock Input Low Threshold ( $V_{CLK+}$ )			0.3			V
Input Leakage (CLK+)		$V_{CLK+} = V_{AVDD} = 1.8V$ or $3.3V$	+0.5			$\mu A$
		$V_{CLK+} = 0V$	-0.5			
Input Leakage (CLK-)		$V_{CLK-} = 0V$	-150			-50 $\mu A$
Input Capacitance (CLK+)			3			pF

# 双通道、8位、130Msps ADC

MAX19507

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CLOCK INPUT (SYNC)</b>						
Allowable Logic Swing			0 - $V_{AVDD}$			V
Sync Clock Input High Threshold			1.5			V
Sync Clock Input Low Threshold			0.3			V
Input Leakage		$V_{SYNC} = V_{AVDD} = 1.8V$ or $3.3V$	+0.5			$\mu A$
		$V_{SYNC} = 0V$	-0.5			
Input Capacitance			4.5			pF
<b>DIGITAL INPUTS (SHDN, SPEN)</b>						
Allowable Logic Swing			0 - $V_{AVDD}$			V
Input High Threshold			1.5			V
Input Low Threshold			0.3			V
Input Leakage		$V_{SHDN}/V_{SPEN} = V_{AVDD} = 1.8V$ or $3.3V$	+0.5			$\mu A$
		$V_{SHDN}/V_{SPEN} = 0V$	-0.5			
Input Capacitance	$C_{DIN}$		3			pF
<b>SERIAL-PORT INPUTS (SCLK, SDIN, <math>\overline{CS}</math>, where <math>\overline{SPEN} = 0V</math>)—SERIAL-PORT CONTROL MODE</b>						
Allowable Logic Swing			0 - $V_{AVDD}$			V
Input High Threshold			1.5			V
Input Low Threshold			0.3			V
Input Leakage		$V_{SCLK}/V_{SDIN}/V_{\overline{CS}} = V_{AVDD} = 1.8V$ or $3.3V$	+0.5			$\mu A$
		$V_{SCLK}/V_{SDIN}/V_{\overline{CS}} = 0V$	-0.5			
Input Capacitance	$C_{DIN}$		3			pF
<b>SERIAL-PORT INPUTS (SCLK, SDIN, <math>\overline{CS}</math>, where <math>\overline{SPEN} = V_{AVDD}</math>)—PARALLEL CONTROL MODE (Figure 5)</b>						
Input Pullup Current		$V_{SCLK}/V_{SDIN}/V_{\overline{CS}} = V_{AVDD} = 1.8V$	7	12	17	$\mu A$
		$V_{SCLK}/V_{SDIN}/V_{\overline{CS}} = V_{AVDD} = 3.3V$	16	21	26	
Input Pulldown Current		$V_{SCLK}/V_{SDIN}/V_{\overline{CS}} = 0V$ , $V_{AVDD} = 1.8V$	-65	-50	-35	$\mu A$
		$V_{SCLK}/V_{SDIN}/V_{\overline{CS}} = 0V$ , $V_{AVDD} = 3.3V$	-105	-90	-75	
Open-Circuit Voltage	$V_{OC}$	$V_{AVDD} = 1.8V$	1.35	1.45	1.55	V
		$V_{AVDD} = 3.3V$	2.58	2.68	2.78	
<b>DIGITAL OUTPUTS (CMOS MODE <math>75\Omega</math>, D0–D7 (A and B Channel), DCLKA, DCLKB, DORA, DORB)</b>						
Output-Voltage Low	$V_{OL}$	$I_{SINK} = 200\mu A$	0.2			V
Output-Voltage High	$V_{OH}$	$I_{SOURCE} = 200\mu A$	$V_{OVDD} - 0.2$			V
Three-State Leakage Current	$I_{LEAK}$	$V_{OVDD}$ applied	+0.5			$\mu A$
		GND applied	-0.5			

# 双通道、8位、130MSPS ADC

MAX19507

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER-MANAGEMENT CHARACTERISTICS</b>						
Wake-Up Time from Shutdown	t <sub>WAKE</sub>	Internal reference, C <sub>REFIO</sub> = 0.1 $\mu$ F (10 $\tau$ )		5		ms
Wake-Up Time from Standby	t <sub>WAKE</sub>	Internal reference		15		$\mu$ s
<b>SERIAL-PORT INTERFACE TIMING (Note 2) (Figure 7)</b>						
SCLK Period	t <sub>SCLK</sub>		50			ns
SCLK to $\overline{CS}$ Setup Time	t <sub>CSS</sub>		10			ns
SCLK to $\overline{CS}$ Hold Time	t <sub>CSH</sub>		10			ns
SDIN to SCLK Setup Time	t <sub>SDS</sub>	Serial-data write	10			ns
SDIN to SCLK Hold Time	t <sub>SDH</sub>	Serial-data write	0			ns
SCLK to SDIN Output Data Delay	t <sub>SDD</sub>	Serial-data read			10	ns
<b>TIMING CHARACTERISTICS—DUAL BUS PARALLEL MODE (Figure 9), (Default Timing see Table 5)</b>						
Clock Pulse-Width High	t <sub>CH</sub>			3.85		ns
Clock Pulse-Width Low	t <sub>CL</sub>			3.85		ns
Clock Duty Cycle	t <sub>CH</sub> /t <sub>CLK</sub>			30 to 70		%
Data Delay After Rising Edge of CLK+	t <sub>DD</sub>	C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 1.8V (Note 2)	10.3	12.6	14.9	ns
		C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 3.3V		11.4		
Data to DCLK Setup Time	t <sub>SETUP</sub>	C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 1.8V (Note 2)	6.0	6.7		ns
Data to DCLK Hold Time	t <sub>HOLD</sub>	C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 1.8V (Note 2)	0.4	1.0		ns
<b>TIMING CHARACTERISTICS—MULTIPLEXED BUS PARALLEL MODE (Figure 10), (Default Timing see Table 5)</b>						
Clock Pulse-Width High	t <sub>CH</sub>			3.85		ns
Clock Pulse-Width Low	t <sub>CL</sub>			3.85		ns
Clock Duty Cycle	t <sub>CH</sub> /t <sub>CLK</sub>			30 to 70		%
Data Delay After Rising Edge of CLK+	t <sub>DD</sub>	C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 1.8V (Note 2)	6.9	9.2	11.5	ns
		C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 3.3V		8.5		
Data to DCLK Setup Time	t <sub>SETUP</sub>	C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 1.8V (Note 2)	1.3	2.3		ns
Data to DCLK Hold Time	t <sub>HOLD</sub>	C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 1.8V (Note 2)	0.7	1.5		ns
DCLK Duty Cycle	t <sub>DCH</sub> /t <sub>CLK</sub>	C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 1.8V (Note 2)	38	50	64	%
MUX Data Duty Cycle	t <sub>CHA</sub> /t <sub>CLK</sub>	C <sub>L</sub> = 10pF, V <sub>OVDD</sub> = 1.8V (Note 2)	38	50	62	%
<b>TIMING CHARACTERISTICS—SYNCHRONIZATION (Figure 12)</b>						
Setup Time for Valid Clock Edge	t <sub>SUV</sub>	Edge mode (Note 2)	0.7			ns
Hold-Off Time for Invalid Clock Edge	t <sub>HO</sub>	Edge mode (Note 2)	0.5			ns
Minimum Synchronization Pulse Width		Relative to input clock period		2		Cycles

# 双通道、8位、130Mps ADC

MAX19507

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	$V_{AVDD}$	Low-level $V_{AVDD}$	1.7		1.9	V
		High-level $V_{AVDD}$ (regulator mode, invoked automatically)	2.3		3.5	
Digital Output Supply Voltage	$V_{OVDD}$		1.7		3.5	V
Analog Supply Current	$I_{AVDD}$	Dual channel		82	95	mA
		Single channel active		48		
		Standby mode		11.5	15	
		Power-down mode		0.65	0.9	
		Power-down mode, $V_{AVDD} = 3.3V$		1.6		
Analog Power Dissipation	$P_{DA}$	Dual channel		148	171	mW
		Dual channel, $V_{AVDD} = 3.3V$		271		
		Single channel active		86		
		Standby mode		21	27	
		Power-down mode		1.2	1.6	
		Power-down mode, $V_{AVDD} = 3.3V$		2.9		
Digital Output Supply Current	$I_{OVDD}$	Dual-channel mode, $C_L = 10pF$		22		mA
		Power-down mode		< 0.1		

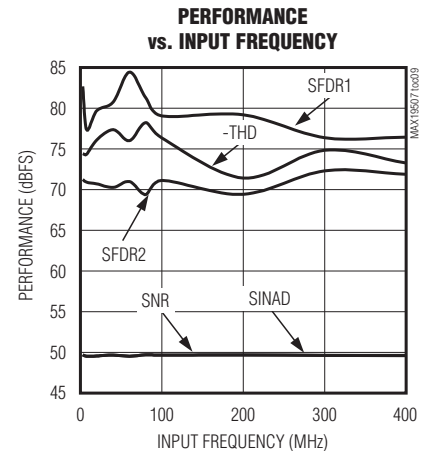
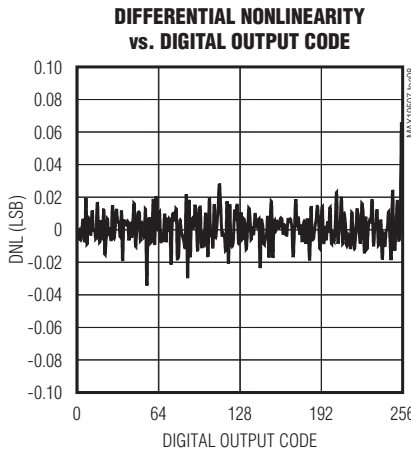
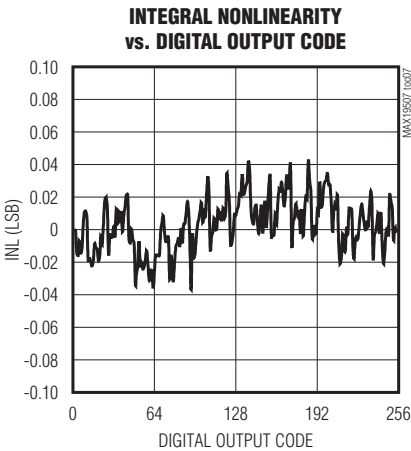
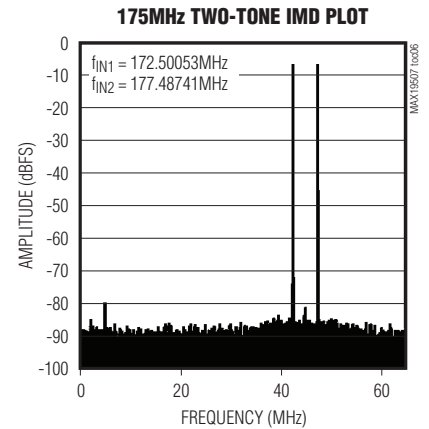
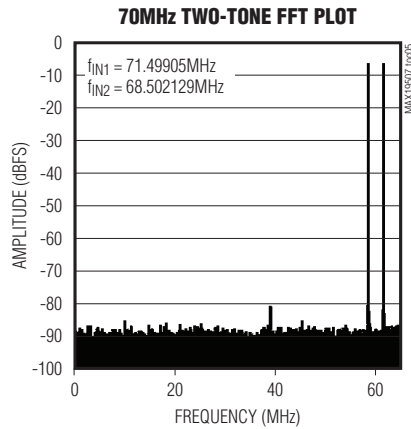
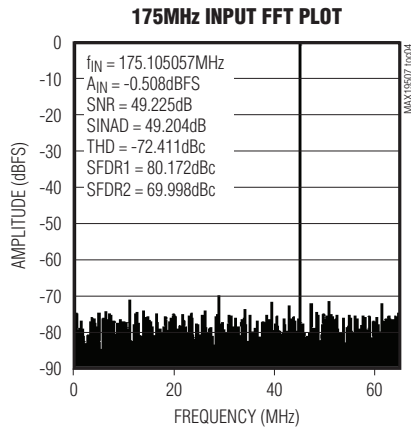
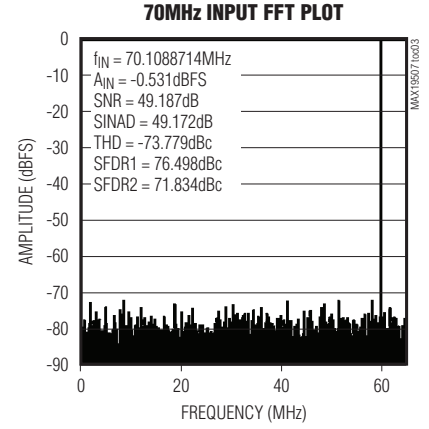
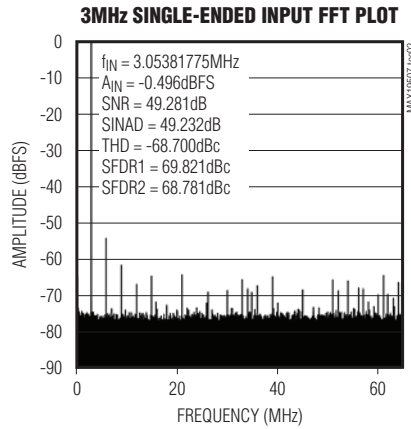
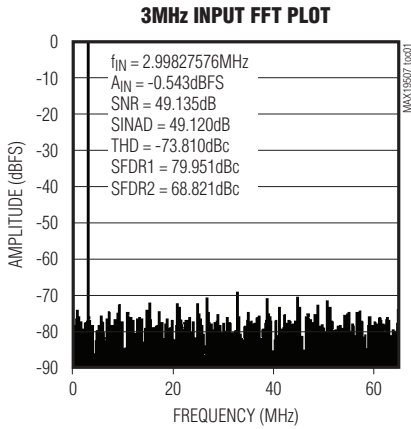
**Note 1:** Specifications  $T_A \geq +25^\circ C$  guaranteed by production test, specifications  $T_A < +25^\circ C$  guaranteed by design and characterization.

**Note 2:** Guaranteed by design and characterization.

# 双通道、8位、130Mps ADC

## 典型工作特性

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



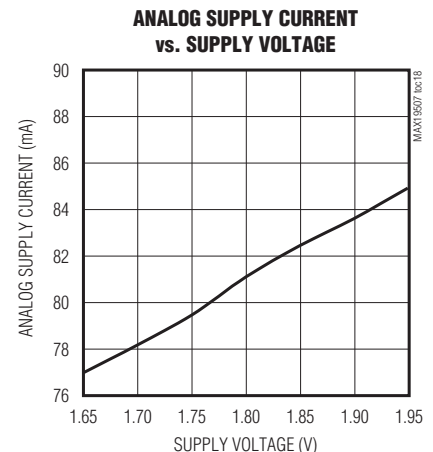
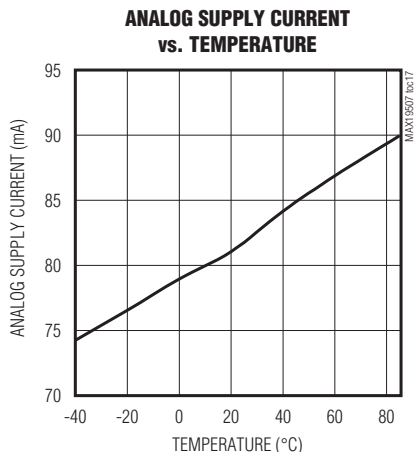
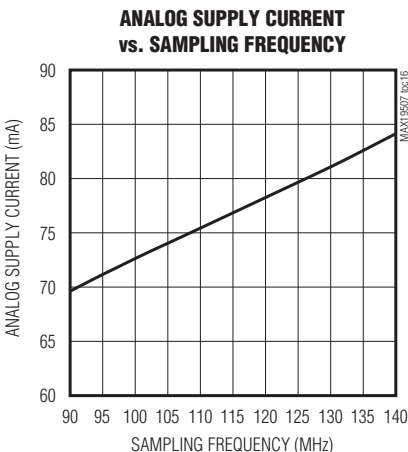
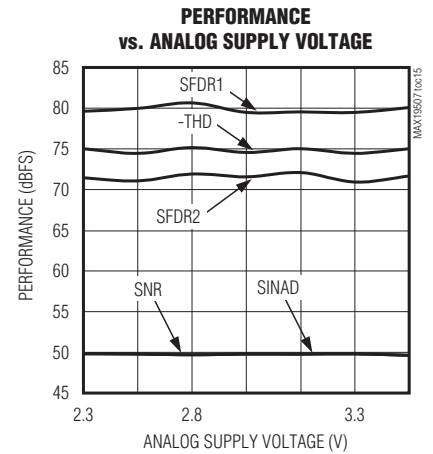
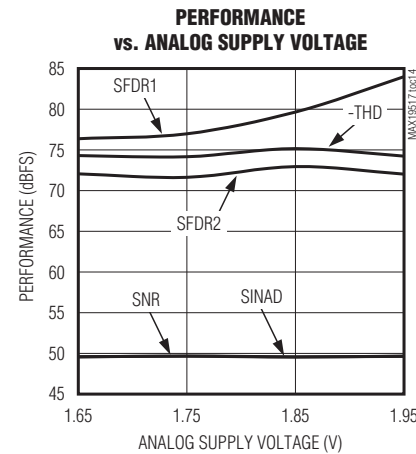
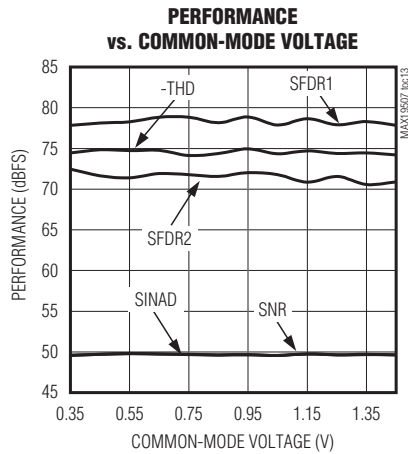
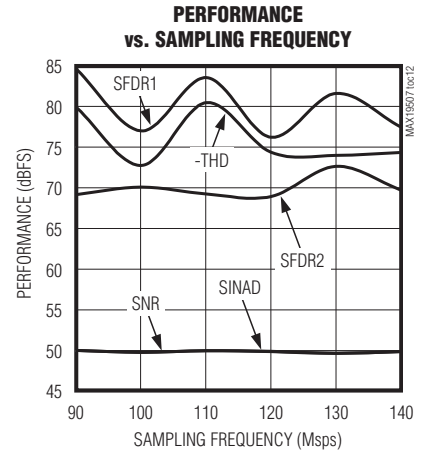
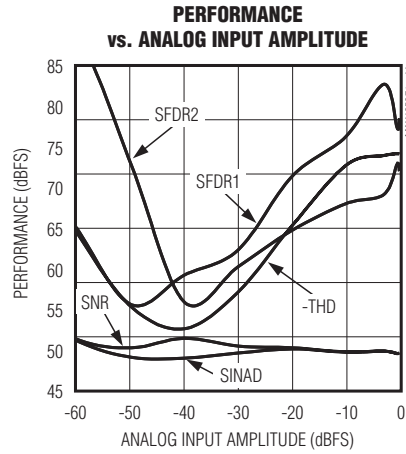
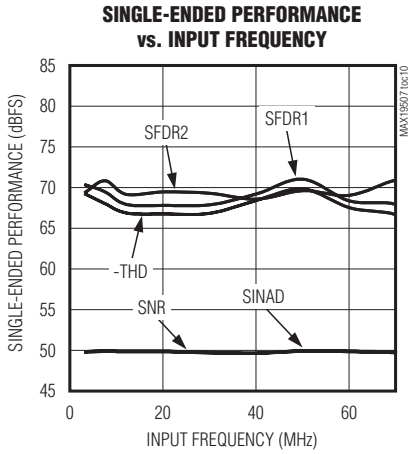


# 双通道、8位、130Msps ADC

典型工作特性(续)

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

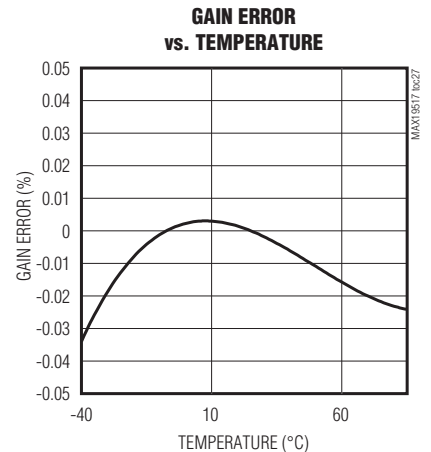
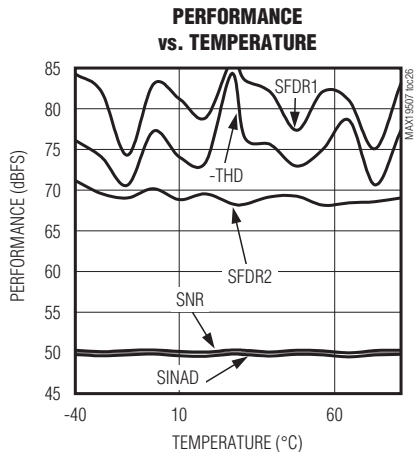
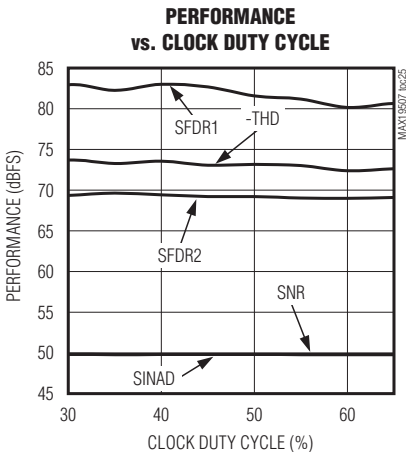
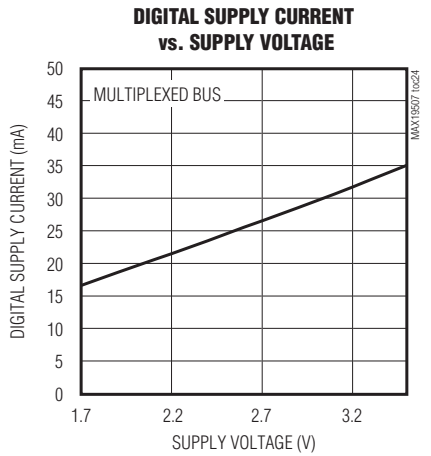
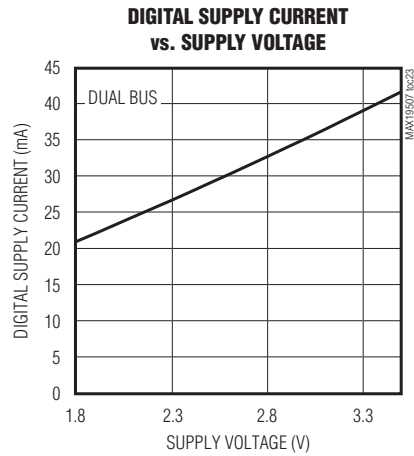
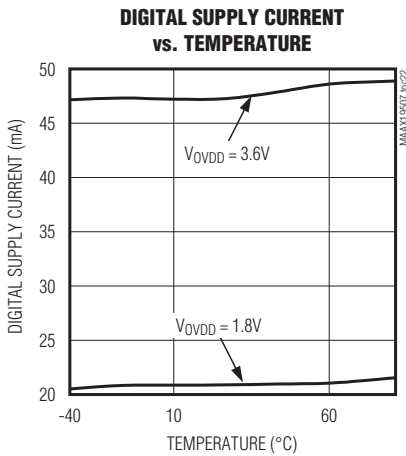
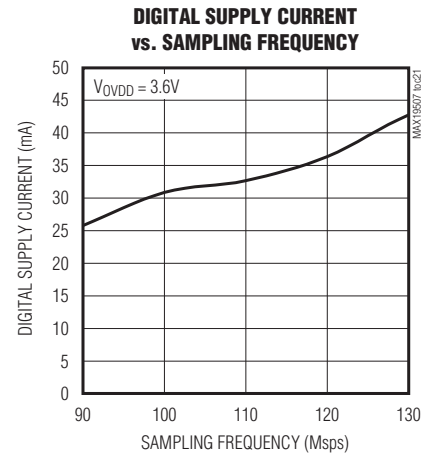
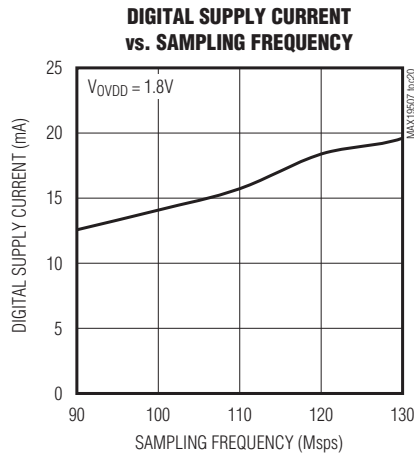
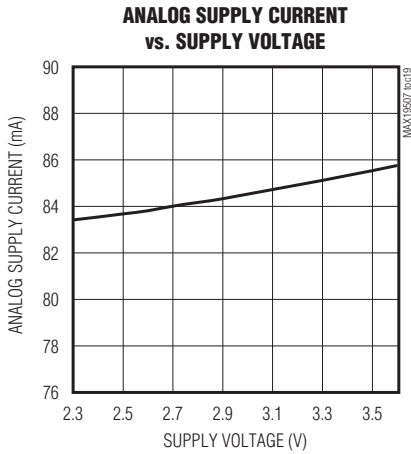
MAX19507



# 双通道、8位、130Mps ADC

## 典型工作特性(续)

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

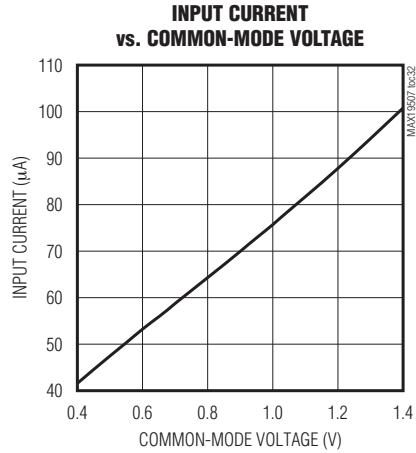
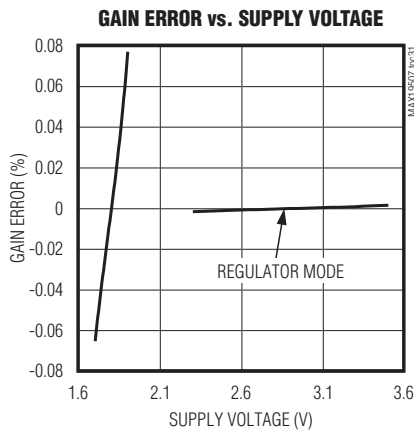
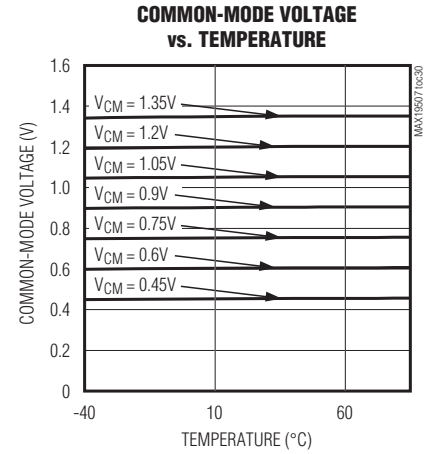
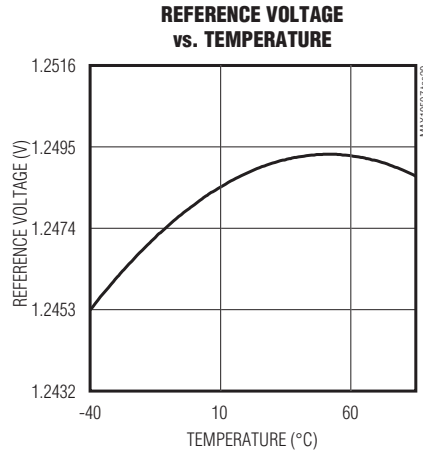
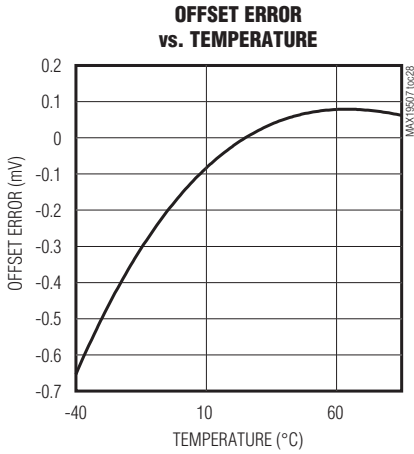


# 双通道、8位、130Msps ADC

典型工作特性(续)

( $V_{AVDD} = V_{OVDD} = 1.8V$ , internal reference, differential clock,  $V_{CLK} = 1.5V_{P-P}$ ,  $f_{CLK} = 130MHz$ ,  $A_{IN} = -0.5dBFS$ , data output termination =  $50\Omega$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

MAX19507



# 双通道、8位、130MSPS ADC

MAX19507

引脚说明

引脚	名称	功能
1, 12, 13, 48	AVDD	模拟电源电压。利用0.1 $\mu$ F电容将每个AVDD输入对(1、48)和(12、13)旁路至GND。
2	CMA	通道A的共模输入电压基准。
3	INA+	通道A的模拟输入正端。
4	INA-	通道A的模拟输入负端。
5	$\overline{\text{SPEN}}$	低电平有效SPI使能。驱动为高电平时，使能并口编程模式。
6	REFIO	基准输入/输出。使用内部基准时，通过一个大于0.1 $\mu$ F的电容将其旁路至GND。关于外部基准调整的信息，请参考基准输入/输出(REFIO)部分。
7	SHDN	高电平有效关断控制。如果 $\overline{\text{SPEN}}$ 为高电平(并口编程模式)，则在SHDN的下降沿启动寄存器复位。
8	I.C.	内部已连接，不连接。
9	INB+	通道B的模拟输入正端。
10	INB-	通道B的模拟输入负端。
11	CMB	通道B的共模输入电压基准。
14	SYNC	时钟分频模式同步输入。
15	CLK+	时钟输入正端。
16	CLK-	时钟输入负端。如果CLK-接地，CLK+则为单端逻辑电平时钟输入；否则，CLK+/CLK-为自偏置差分时钟输入。
17, 18	GND	地，将所有地输入和EP(裸焊盘)连接在一起。
19	DORB	通道B数据超限。
20	DCLKB	通道B数据时钟。
21, 22	I.C.	内部已连接，不连接。
23	D0B	通道B的三态数字输出，第0位(LSB)。
24	D1B	通道B的三态数字输出，第1位。
25, 36	OVDD	数字电源电压，通过0.1 $\mu$ F电容将每个OVDD输入旁路至GND。
26	D2B	通道B的三态数字输出，第2位。
27	D3B	通道B的三态数字输出，第3位。
28	D4B	通道B的三态数字输出，第4位。
29	D5B	通道B的三态数字输出，第5位。
30	D6B	通道B的三态数字输出，第6位。
31	D7B	通道B的三态数字输出，第7位(MSB)。
32, 33	I.C.	内部已连接，不连接。
34	D0A	通道A的三态数字输出，第0位(LSB)。
35	D1A	通道A的三态数字输出，第1位。
37	D2A	通道A的三态数字输出，第2位。
38	D3A	通道A的三态数字输出，第3位。
39	D4A	通道A的三态数字输出，第4位。

# 双通道、8位、130Msps ADC

MAX19507

引脚说明(续)

引脚	名称	功能
40	D5A	通道A的三态数字输出, 第5位。
41	D6A	通道A的三态数字输出, 第6位。
42	D7A	通道A的三态数字输出, 第7位(MSB)。
43	DORA	通道A数据超限。
44	DCLKA	通道A数据时钟。
45	SDIN/FORMAT	SPI数据输入/格式。当 $\overline{SPEN}$ 为低电平时, 为串行数据输入; 当 $\overline{SPEN}$ 为高电平时, 设置输出数据格式。
46	SCLK/DIV	串行时钟/时钟分频。当 $\overline{SPEN}$ 为低电平时, 为串行时钟; 当 $\overline{SPEN}$ 为高电平时, 用作时钟分频输入。
47	$\overline{CS}$ /OUTSEL	串口选择/数据输出模式。当 $\overline{SPEN}$ 为低电平时, 为串口选择; 当 $\overline{SPEN}$ 为高电平时, 选择数据输出模式。
—	EP	裸焊盘。内部连接至GND, 连接到大面积地层, 以提供最佳散热。

## 详细说明

MAX19507采用了10级、全差分、流水线结构(图1), 能够在实现高速转换的同时将功耗降至最低。输入采样按照每半个时钟周期逐级通过流水线, 输入到输出的总延时为9个时钟周期。流水线转换器的每一级将其输入电压转换成数字输出编码。除最后一级外, 每级输入电压和数字输出编码之间的误差被放大并送至下一级。数字误差修正用于补偿每级ADC比较器的偏差, 并确保不丢码。图2所示为MAX19507的功能框图。

### 模拟输入和共模基准

模拟输入信号作用到模拟输入(INA+/INA-或INB+/INB-)端, 被连接至输入采样开关(图3), 当输入采样开关闭合时, 输入信号通过输入开关导通电阻作用到取样电容。输入开关打开瞬间对输入信号进行采样。流水线ADC对采样电压进行处理, 并在9个时钟周期后提供数字输出结果。在输入开关闭合开始下一次采样之前, 采样电容被复位到输入共模电压。

共模偏置可由外部提供或者通过2kΩ电阻由内部提供。直流耦合应用中, 信号源提供外部偏压和偏流; 交流耦合应用中, 输入电流由共模输入电压提供。例如, 输入电

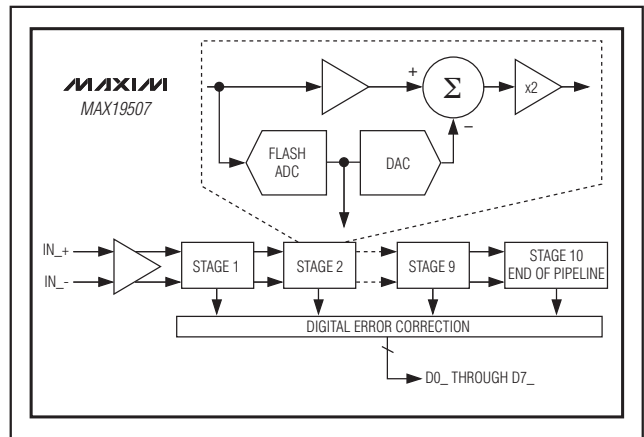


图1. 流水线结构——分级框图

流可通过变压器次级绕组的中心抽头提供。或者通过串口设置相应的内部寄存器, 由内部2kΩ电阻提供输入直流电流(图3)。由内部电阻提供输入电流时, 电阻上的压降将会降低输入共模电压。共模输入基准电压通过可编程寄存器设置在0.45V至1.35V范围内, 以0.15V为步长进行设置, 默认设置为0.90V。应用该功能为直流耦合驱动电路提供共模输出基准。

# 双通道、8位、130MSPS ADC

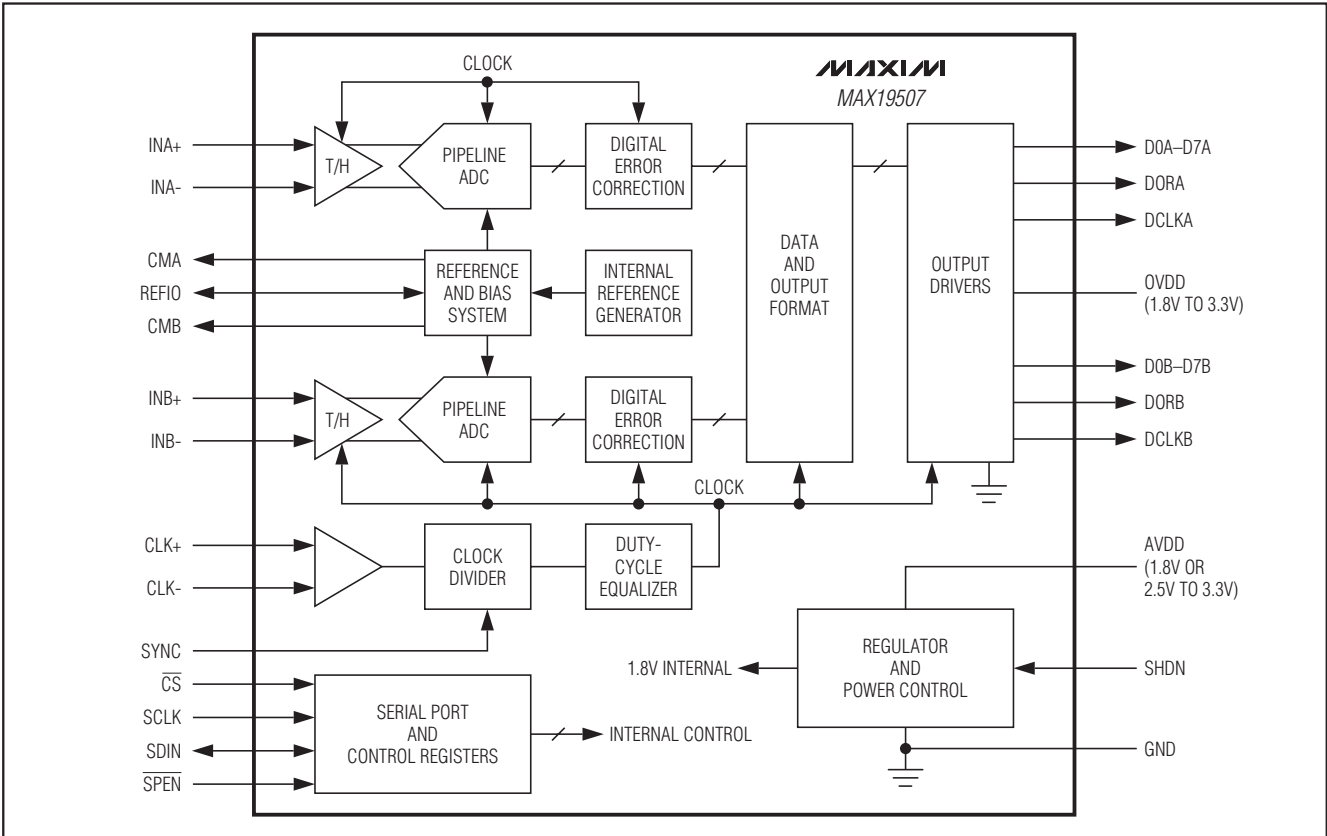


图2. 功能框图

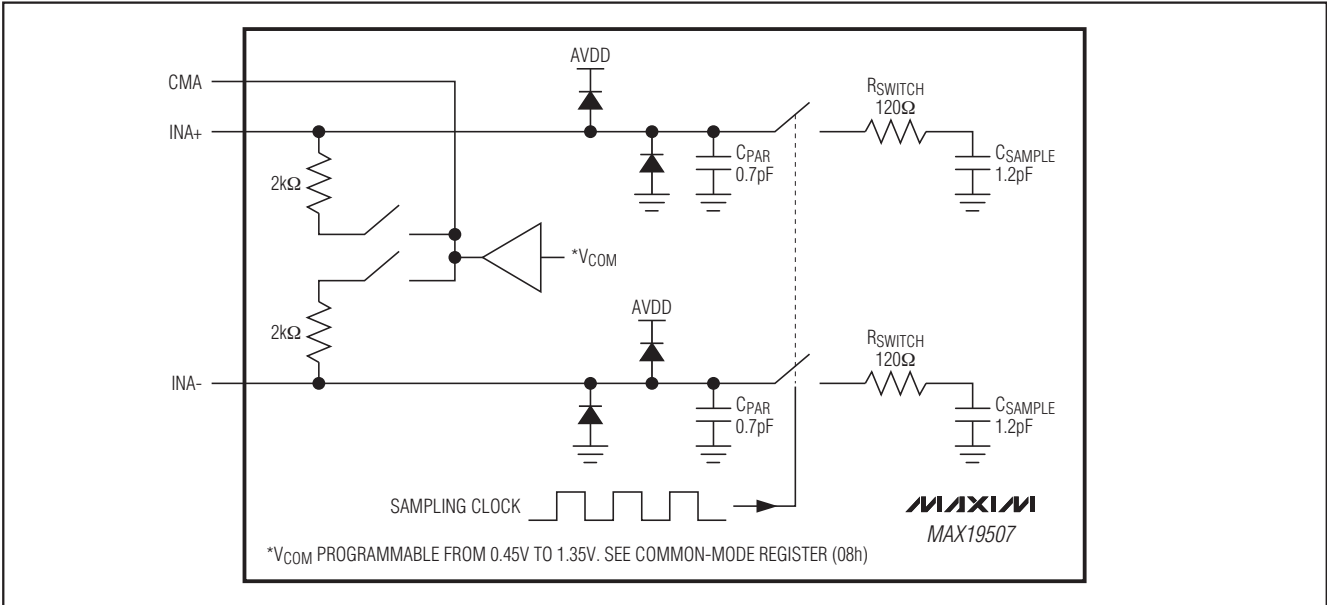


图3. 内部采样保持(T/H)电路

# 双通道、8位、130Mps ADC

MAX19507

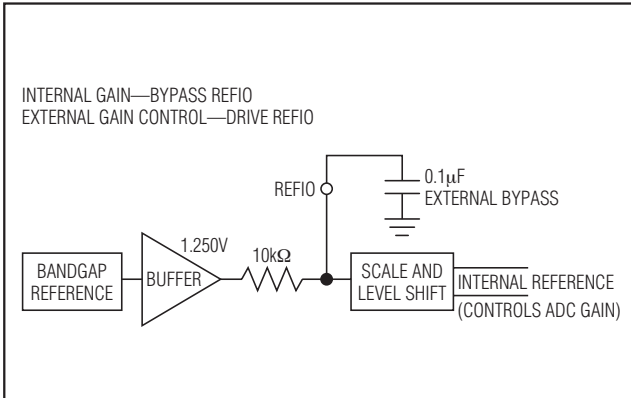


图4. 简化的基准原理图

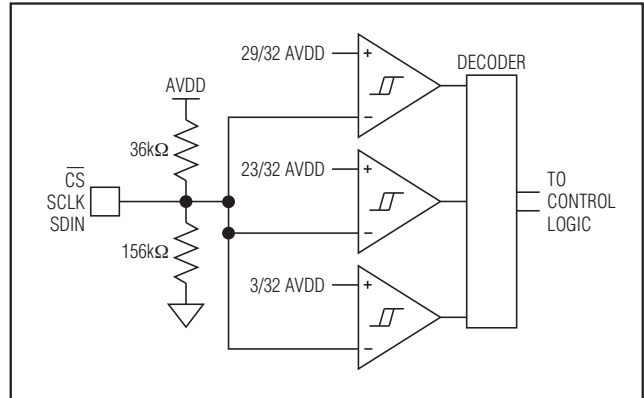


图5. 简化的并口输入原理图

表 1. 并口引脚功能

SPEN	SDIN/FORMAT	SCLK/DIV	CS/OUTSEL	DESCRIPTION
0	SDIN	SCLK	CS	SPI interface active. Features are programmed through the serial port (see the <i>Serial Programming Interface</i> section).
1	0	X	X	Two's complement
1	AVDD	X	X	Offset binary
1	Unconnected	X	X	Gray code
1	X	0	X	Clock divide-by-1
1	X	AVDD	X	Clock divide-by-2
1	X	Unconnected	X	Clock divide-by-4
1	X	X	0	CMOS (dual bus)
1	X	X	AVDD	MUX CMOS (channel A data bus)
1	X	X	Unconnected	MUX CMOS (channel B data bus)

X = 无关。

## 基准输入/输出(REFIO)

REFIO调节基准电压，从而调整ADC的满量程范围。图4为简化的基准原理图。内部带隙电压基准源提供内部基准电压。带隙电压经过缓冲并通过一个10kΩ电阻作用到REFIO。利用一个0.1μF电容将REFIO旁路至GND。带隙电压输入到一个比例调节和电平转换电路，由该电路产生确定ADC满量程范围的内部基准电压。作用在REFIO端的外部电压可以调节ADC满量程范围，允许调整范围为+5/-15%。REFIO至ADC的增益传输函数为：

$$V_{FS} = 1.5 \times [V_{REFIO}/1.25] \text{ 伏特}$$

## 编程和接口

可通过两种方法控制MAX19507的工作模式。利用SPI接口可以控制所有功能选项，利用并口则可控制有限的一组常用功能。编程模式通过SPEN输入选择，将SPEN驱动为低电平时选择SPI接口；将SPEN驱动为高电平时选择并口。

## 并口

并口提供了一个引脚编程接口，能够设置有限的几种功能。将SPEN连接至AVDD，使能并口。关于引脚功能请参考表1，简化的并口输入原理图请参考图5。

## 双通道、8位、130Mps ADC

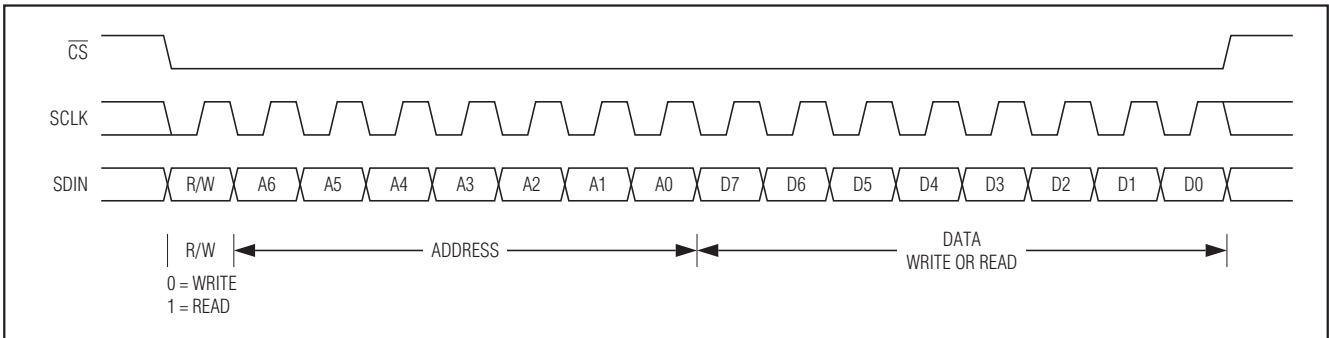


图6. 串口通信周期

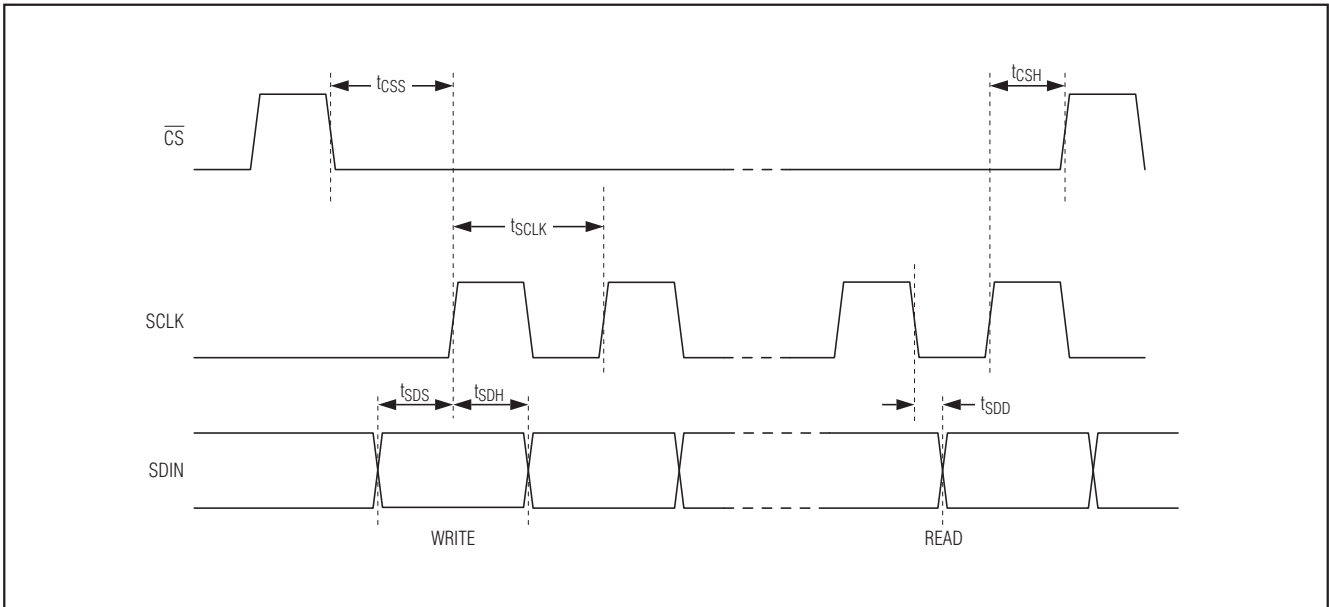


图7. 串口时序图

### 串行编程接口

串口通过 $\overline{CS}$ 、SDIN和SCLK输入对MAX19507的控制寄存器进行编程。当 $\overline{CS}$ 为低电平时，在SCLK的上升沿，串行数据被逐位移入SDIN；当 $\overline{CS}$ 为高电平时，MAX19507忽略SDIN和SCLK的数据。在每次读/写操作后， $\overline{CS}$ 都必须跃变到高电平。SDIN也可作为读取控制寄存器的串行数据输出。串口支持在一个通信周期内的双字节传输。第一个字节为控制字节，包括地址和读/写指令，写入MAX19507；第二个字节为数据字节，写入MAX19507或从MAX19507读出。

图6所示为串口通信周期。第一个SDIN位确定该通信周期进行写操作或读操作(0代表写操作；1代表读操作)。随后7位指定将要写入或读取的寄存器地址。最后8个SDIN位为寄存器数据。所有地址和数据位在写入和读取时均为MSB在前。读操作期间，MAX19507串口在SCLK第8个上升沿之后的下降沿将要读取数据(D7)送至SDIN。由于SDIN输入的最小保持时间为零，所以主控设备在SCLK的第8个上升沿后可随时停止SDIN驱动。随后的数据位在SCLK的下降沿送至SDIN。读操作的输出数据在SCLK的上升沿被锁定，图7给出了详细的串口时序图。



## 双通道、8位、130Msps ADC

地址为0Ah的寄存器为特殊功能寄存器。将数据5Ah写入寄存器0Ah，则启动寄存器复位。执行该操作时，所有控

制寄存器被复位到默认值。对寄存器0Ah的读操作返回状态字节，具体含义请参考表2所示的信息说明。

表2. 寄存器0Ah的状态字节

BIT NO.	VALUE	DESCRIPTION
7	0	Reserved
6	0	Reserved
5	0 or 1	1 = ROM read in progress
4	0 or 1	1 = ROM read completed and register data is valid (checksum is OK)
3	0	Reserved
2	1	Reserved
1	0 or 1	Reserved
0	0 or 1	1 = Duty-cycle equalizer DLL is locked

用户编程寄存器

表3. 用户编程寄存器

ADDRESS	POR DEFAULT	FUNCTION
00h	0000011	Power management
01h	00000000	Output format
02h	00000000	Digital output power management
03h	01101101	Data/DCLK timing
04h	00000000	CHA data output termination control
05h	00000000	CHB data output termination control
06h	00000000	Clock divide/data format/test pattern
07h	Reserved	Reserved—do not use
08h	00000000	Common mode
0Ah	—	Software reset

### 电源管理(00h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
HPS_SHDN1	STBY_SHDN1	CHB_ON_SHDN1	CHA_ON_SHDN1	HPS_SHDN0	STBY_SHDN0	CHB_ON_SHDN0	CHA_ON_SHDN0

SHDN输入(引脚7)用于控制任意两个电源管理状态之间的转换。电源管理寄存器定义了每个电源管理状态。默认

状态下，SHDN = 1时关断MAX19507；SHDN = 0时返回到完全工作状态。

## 双通道、8位、130Msps ADC

除了电源管理，HPS\_SHDN1和HPS\_SHDN0还可以启动 MUX\_CH位选择输出(A+B)/2数据的总线。  
A+B加法模式。该模式下，对两个通道的结果取平均。

控制位：

HPS_SHDN0	STBY_SHDN0	CHA_ON_SHDN0	CHB_ON_SHDN0	SHDN INPUT = 0*
HPS_SHDN1	STBY_SHDN1	CHA_ON_SHDN1	CHB_ON_SHDN1	SHDN INPUT = 1**
X	0	0	0	Complete power-down
0	0	0	1	Channel B active, channel A full power-down
0	0	1	0	Channel A active, channel B full power-down
0	X	1	1	Channels A and B active
0	1	0	0	Channels A and B in standby mode
0	1	0	1	Channel B active, channel A standby
0	1	1	0	Channel A active, channel B standby
1	1	0	0	Channels A and B in standby mode
1	X	1	X	Channels A and B active, output is averaged
1	X	X	1	Channels A and B active, output is averaged

\*当SHDN = 0时，HPS\_SHDN0、STBY\_SHDN0、CHA\_ON\_SHDN0和CHB\_ON\_SHDN0有效。

\*\*当SHDN = 1时，HPS\_SHDN1、STBY\_SHDN1、CHA\_ON\_SHDN1和CHB\_ON\_SHDN1有效。

X = 无关。

注：当HPS\_SHDN\_ = 1 (A+B加法模式)时，CHA\_ON\_SHDN\_和CHB\_ON\_SHDN\_必须都等于0才可进入关断或待机状态。

### 输出格式(01h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	0	0	BIT_ORDER_B	BIT_ORDER_A	MUX_CH	MUX	0

第7、6、5位 置0，正常工作

第4位 BIT\_ORDER\_B：将CHB输出位顺序反向  
0 = 按照定义的数据总线引脚顺序(默认)  
1 = 将数据总线引脚的顺序反向

第3位 BIT\_ORDER\_A：将CHA输出位顺序反向  
0 = 按照定义的数据总线引脚顺序(默认)  
1 = 将数据总线引脚的顺序反向

第2位 MUX\_CH：复用数据总线选择  
0 = 在CHA上复用数据输出(首先输出CHA数据，随后输出CHB数据) (默认)  
1 = 在CHB上复用数据输出(首先输出CHB数据，随后输出CHA数据)

第1位 MUX：数字输出模式  
0 = 双路数据总线输出模式(默认)  
1 = 单路复用数据总线输出模式

MUX\_CH选择输出总线

第0位 置0，正常工作

# 双通道、8位、130Msps ADC

MAX19507

## 数字输出电源管理(02h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
X	X	X	X	PD_DOUT_1	PD_DOUT_0	DIS_DOR	DIS_DCLK

第7-4位 无关项

第3、2位 PD\_DOUT\_1、PD\_DOUT\_0: 关断数字输出状态控制

00 = 数字输出为三态(默认)

01 = 数字输出为低电平

10 = 数字输出为三态

11 = 数字输出为高电平

第1位 DIS\_DOR: DOR驱动禁用

0 = DOR有效(默认)

1 = DOR禁用(三态)

第0位 DIS\_DCLK: DCLK驱动禁用

0 = DCLK有效(默认)

1 = DCLK禁用(三态)

# 双通道、8位、130MSPS ADC

MAX19507

## 数据/DCLK时序(03h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
DA_BYPASS	DLY_HALF_T	DCLKTIME_2	DCLKTIME_1	DCLKTIME_0	DTIME_2	DTIME_1	DTIME_0

- 第7位 DA\_BYPASS: 数据对准器旁路  
 0 = 标准工作模式(默认)  
 1 = 旁路数据对准器延迟线, 相对于输入时钟的输出数据延迟最小  
 设置DTIME = 000b时, 从时钟上升沿到数据转换的时间大约为6ns
- 第6位 DLY\_HALF\_T: 数据和DCLK延迟T/2  
 0 = 标准工作模式, 无延迟  
 1 = 数据和DCLK输出延迟T/2 (默认)  
 在MUX数据总线模式下禁用
- 第5、4、3位 DCLKTIME\_2、DCLKTIME\_1、DCLKTIME\_0: DCLK时序调整(控制两个通道)  
 000 = 标准工作模式  
 001 = +T/16  
 010 = +2T/16  
 011 = +3T/16  
 100 = 保留, 没有使用  
 101 = -1T/16 (默认)  
 110 = -2T/16  
 111 = -3T/16
- 第2、1、0位 DTIME\_2、DTIME\_1、DTIME\_0: 数据时序调整(控制两个通道)  
 000 = 标准工作模式  
 001 = +T/16  
 010 = +2T/16  
 011 = +3T/16  
 100 = 保留, 没有使用  
 101 = -1T/16 (默认)  
 110 = -2T/16  
 111 = -3T/16

# 双通道、8位、130MSPS ADC

MAX19507

## CHA数据输出端接控制(04h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
X	X	CT_DCLK_2_A	CT_DCLK_1_A	CT_DCLK_0_A	CT_DATA_2_A	CT_DATA_1_A	CT_DATA_0_A

第7、6位 无关项

第5、4、3位 CT\_DCLK\_2\_A、CT\_DCLK\_1\_A、CT\_DCLK\_0\_A: CHA DCLK端接控制

000 = 50Ω (默认)

001 = 75Ω

010 = 100Ω

011 = 150Ω

1xx = 300Ω

第2、1、0位 CT\_DATA\_2\_A、CT\_DATA\_1\_A、CT\_DATA\_0\_A: CHA数据输出端接控制

000 = 50Ω (默认)

001 = 75Ω

010 = 100Ω

011 = 150Ω

1xx = 300Ω

## CHB数据输出端接控制(05h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
X	X	CT_DCLK_2_B	CT_DCLK_1_B	CT_DCLK_0_B	CT_DATA_2_B	CT_DATA_1_B	CT_DATA_0_B

第7、6位 无关项

第5、4、3位 CT\_DCLK\_2\_B、CT\_DCLK\_1\_B、CT\_DCLK\_0\_B: CHB DCLK端接控制

000 = 50Ω (默认)

001 = 75Ω

010 = 100Ω

011 = 150Ω

1xx = 300Ω

第2、1、0位 CT\_DATA\_2\_B、CT\_DATA\_1\_B、CT\_DATA\_0\_B: CHB数据输出端接控制

000 = 50Ω (默认)

001 = 75Ω

010 = 100Ω

011 = 150Ω

1xx = 300Ω

# 双通道、8位、130MSPS ADC

MAX19507

## 时钟分频/数据格式/测试模板(06h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
TEST_PATTERN	TEST_DATA	FORMAT_1	FORMAT_0	TERM_100	SYNC_MODE	DIV1	DIV0

- 第7位 TEST\_PATTERN: 测试模板选择  
 0 = 从0上升到255 (偏移二进制)并重复该过程(采用后续格式) (默认)  
 1 = 在两个数据通道上交替输出: D[7:0] = 01010101、DOR = 1和D[7:0] = 10101010、DOR = 0
- 第6位 TEST\_DATA: 数据测试模式  
 0 = 标准数据输出(默认)  
 1 = 输出测试数据模板
- 第5、4位 FORMAT\_1、FORMAT\_0: 数据位格式  
 00 = 二进制补码(默认)  
 01 = 偏移二进制  
 10 = 格雷码  
 11 = 二进制补码
- 第3位 TERM\_100: 选择100Ω时钟输入端接  
 0 = 无端接(默认)  
 1 = 差分时钟输入跨接100Ω端接
- 第2位 SYNC\_MODE: 分频器同步模式选择  
 0 = 滑动模式(图11) (默认)  
 1 = 边沿模式(图12)
- 第1、0位 DIV1、DIV0: 输入时钟分频器选择  
 00 = 没有分频(默认)  
 01 = 2分频  
 10 = 4分频  
 11 = 没有分频

保留(07h)—请勿写入该寄存器

# 双通道、8位、130Msps ADC

MAX19507

## 共模(08h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CMI_SELF_B	CMI_ADJ_2_B	CMI_ADJ_1_B	CMI_ADJ_0_B	CMI_SELF_A	CMI_ADJ_2_A	CMI_ADJ_1_A	CMI_ADJ_0_A

- 第7位 CMI\_SELF\_B: CHB输入共模接模拟输入  
 0 = 内部共模电压不作用到输入端(默认)  
 1 = 通过2kΩ电阻将内部共模电压作用到模拟输入端
- 第6、5、4位 CMI\_ADJ\_2\_B、CMI\_ADJ\_1\_B、CMI\_ADJ\_0\_B: CHB输入共模电压调整  
 000 = 0.900V (默认)  
 001 = 1.050V  
 010 = 1.200V  
 011 = 1.350V  
 100 = 0.900V  
 101 = 0.750V  
 110 = 0.600V  
 111 = 0.450V
- 第3位 CMI\_SELF\_A: CHA输入共模接模拟输入  
 0 = 内部共模电压不作用到输入端(默认)  
 1 = 通过2kΩ电阻将内部共模电压作用到模拟输入端
- 第2、1、0位 CMI\_ADJ\_2\_A、CMI\_ADJ\_1\_A、CMI\_ADJ\_0\_A: CHA输入共模调整  
 000 = 0.900V (默认)  
 001 = 1.050V  
 010 = 1.200V  
 011 = 1.350V  
 100 = 0.900V  
 101 = 0.750V  
 110 = 0.600V  
 111 = 0.450V

## 软件复位(0Ah)

- 第7-0位 SWRESET: 写入5Ah时启动软件复位

# 双通道、8位、130Mps ADC

## 时钟输入

输入时钟接口为时钟分频器的要求提供了灵活性。MAX19507接受全差分时钟或单端逻辑电平时钟。为实现差分时钟工作，请将差分时钟连接至CLK+和CLK-输入。在该模式下，内部建立输入共模电压以允许交流耦合。如果共模电压被限制在规定的1V至1.4V时钟输入共模范围内，则差分时钟信号也可以采用直流耦合。为实现单端工作，请将CLK-连接至GND并且用逻辑电平信号驱动CLK+输入。当CLK-输入接地(或者被下拉至低于时钟模式检测比较器的门限)时，禁用差分至单端转换级，启用逻辑电平反相通路。

## 时钟分频器

MAX19507提供了时钟分频选项。通过串口设置DIV0和DIV1使能时钟分频，关于时钟分频器选项的详细信息，请参考时钟分频/数据格式/测试模板寄存器(06h)。或者在并口编程配置(SPE $\bar{N}$ =1)中使用DIV输入使能时钟分频。

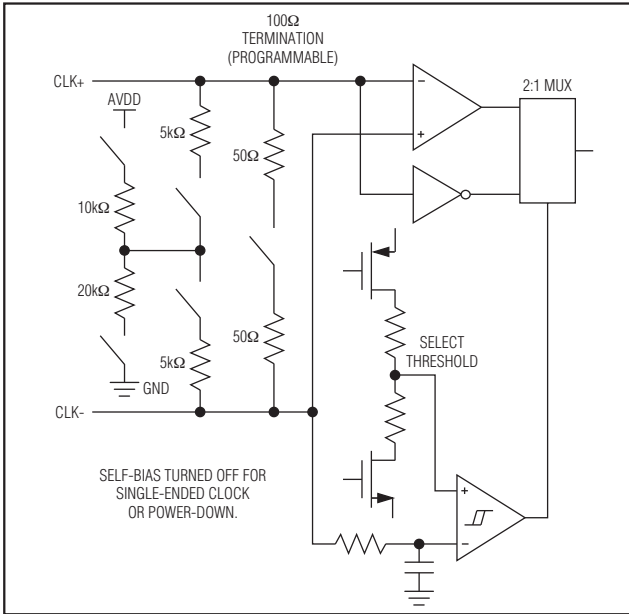


图8. 简化的时钟输入原理图

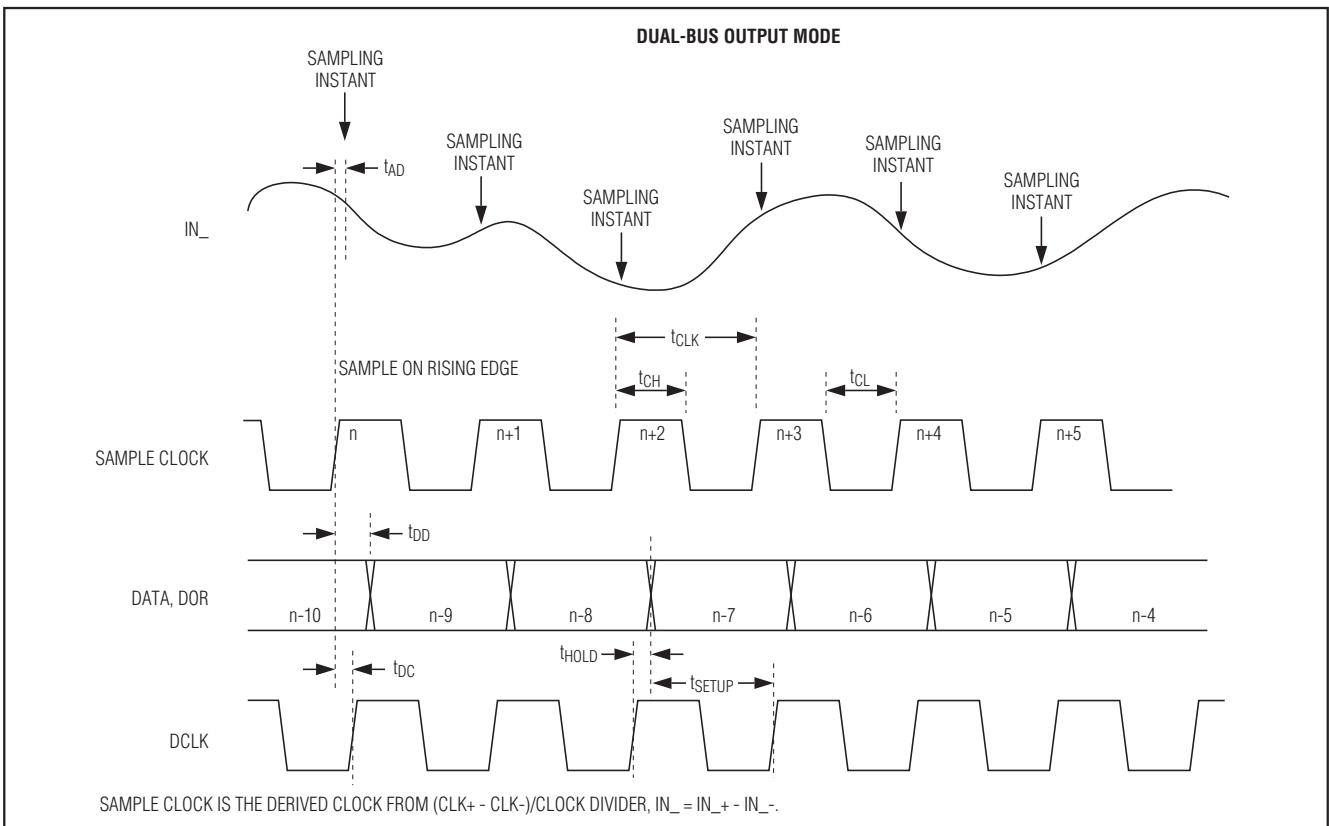


图9. 双总线输出模式时序



# 双通道、8位、130MSPS ADC

MAX19507

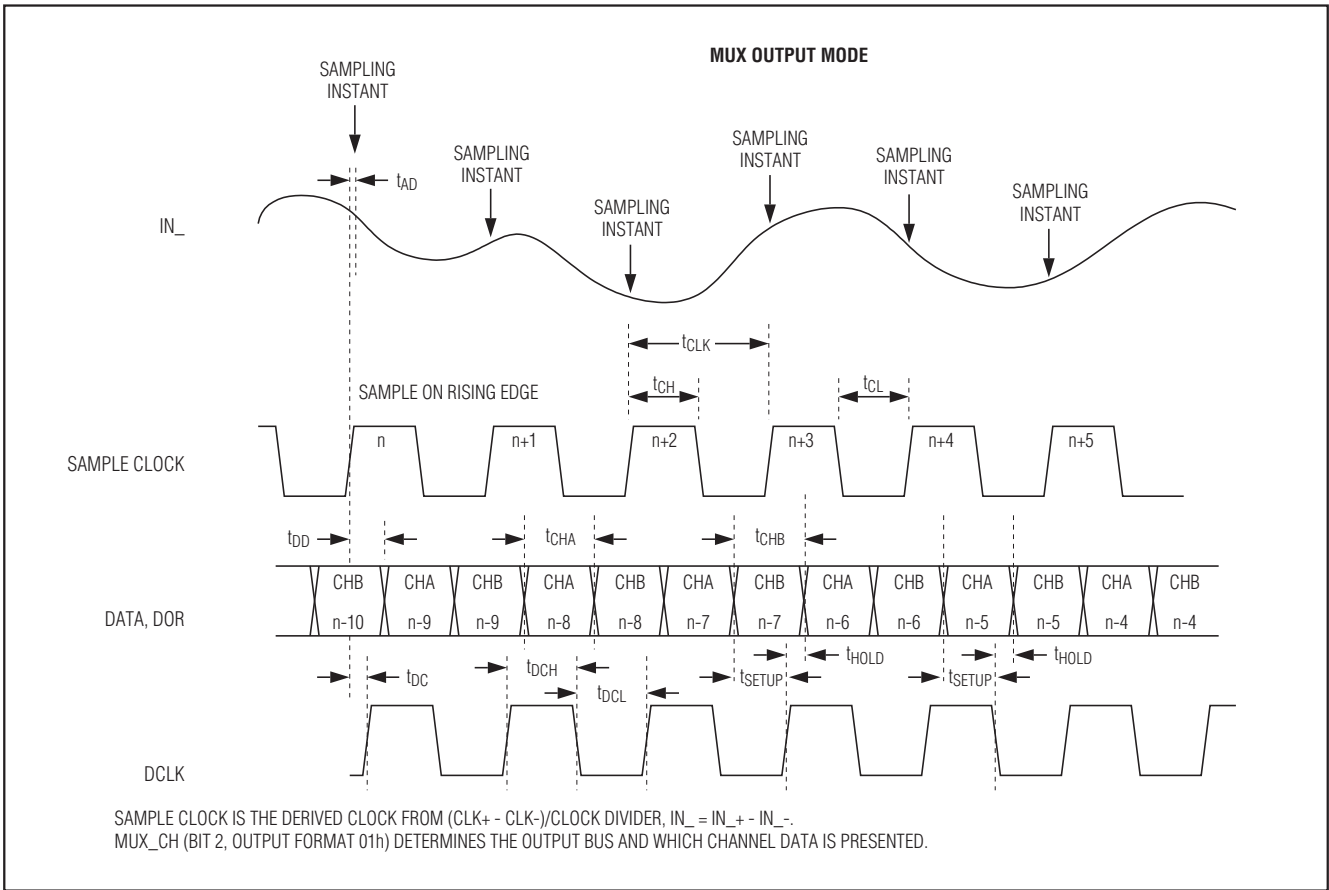


图10. 复用输出模式时序

## 系统时序要求

图9和图10说明了时钟输入和输出、模拟输入、采样事件和数据输出之间的关系。MAX19507在采样时钟的上升沿进行采样。经过9个时钟的内部延迟后，在下一个DCLK的上升沿输出有效数据。在时钟分频应用中，采样时钟为分频后的内部时钟，公式如下：

$$[(CLK+ - CLK-)/DIVIDER]$$

## 同步

采用时钟分频时，内部时钟的相位可能与系统的FPGA、微控制器或其它MAX19507的时钟不同相。有两种方式可

以同步内部时钟：滑动同步和边沿同步。用时钟分频/数据格式/测试模板寄存器(06h)的SYNC\_MODE (第2位)选择同步模式并将SYNC输入驱动为高电平进行同步。

**滑动同步模式, SYNC\_MODE = 0 (默认):** 在SYNC上升沿(假设满足建立和保持时间)之后的第3个输入时钟(CLK)的上升沿, 强制分频器输出跳过一次状态跃变(图11)。

**边沿同步模式, SYNC\_MODE = 1:** 在SYNC上升沿(假设满足建立和保持时间)之后的第3个输入时钟(CLK)的上升沿, 分频器输出被强制为状态0。一个SYNC的有效上升沿后, 分频器时钟上升沿出现在CLK的第4个(/2模式)或第5个(/4模式)上升沿(图12)。

# 双通道、8位、130MSPS ADC

MAX19507

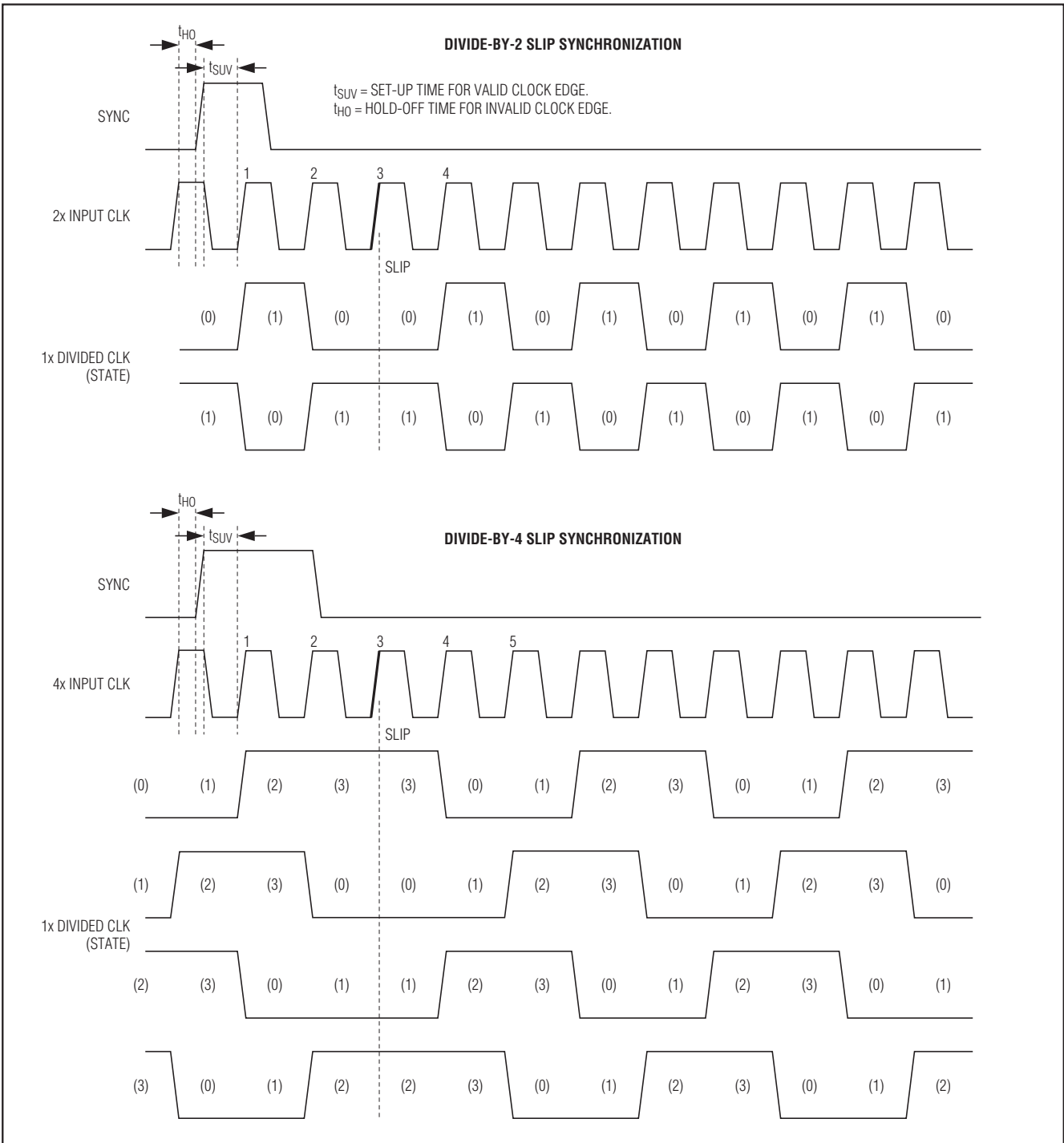


图11. 滑动同步模式

# 双通道、8位、130MSPS ADC

MAX19507

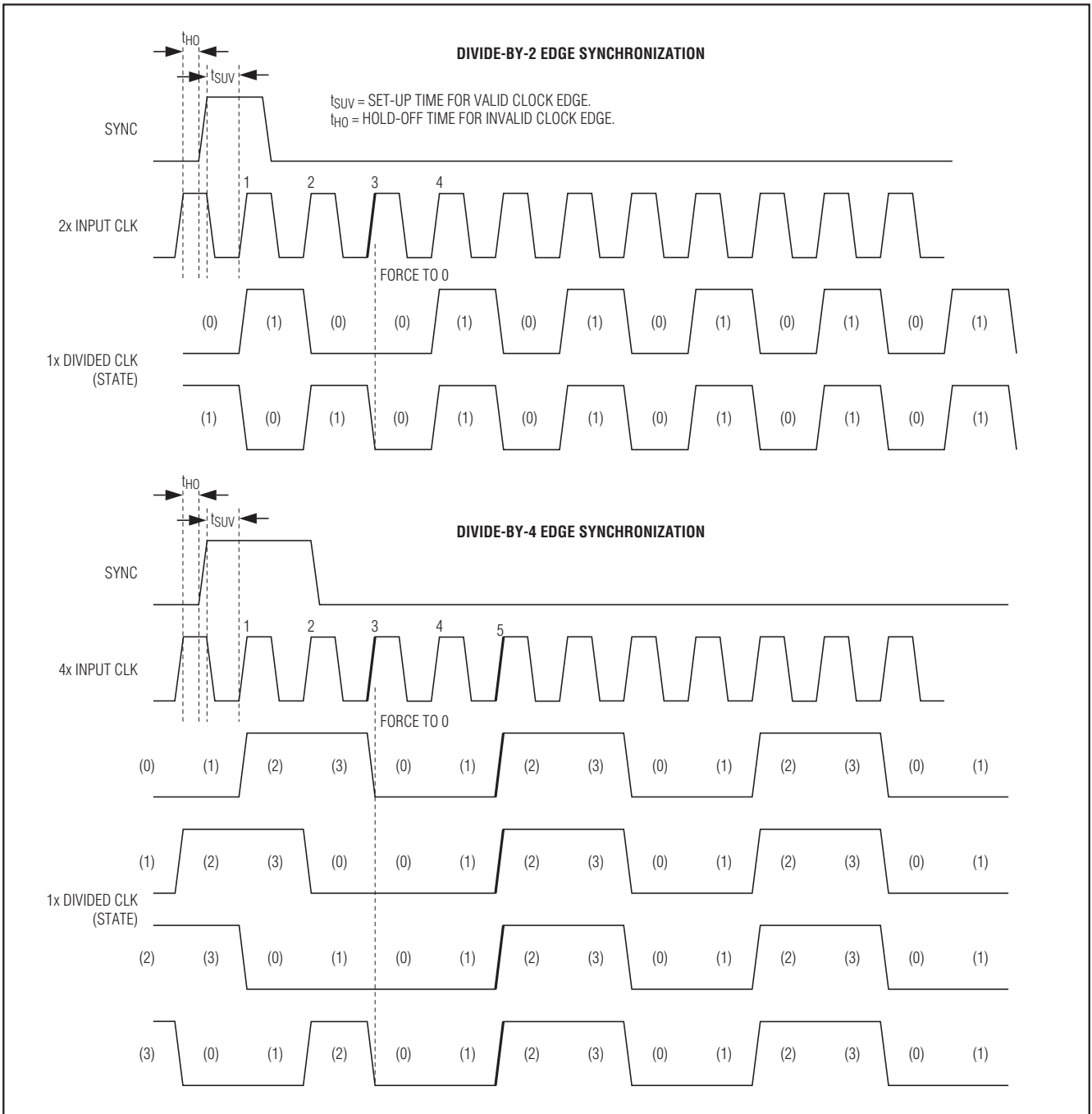


图12. 边沿同步模式

## 双通道、8位、130MSPS ADC

表4. 数据时序控制

DATA TIMING CONTROL	DESCRIPTION
DA_BYPASS	Data aligner bypass. When this control is active (high), data and DCLK delay is reduced by approximately 3.4ns (relative to DA_BYPASS = 0).
DLY_HALF_T	When this control is active, data output is delayed by half clock period (T/2). This control does not delay data output if MUX mode is active.
DTIME<2:0>	Allows adjustment of data output delay in T/16 increments, where T is the sample clock period.
DCLKTIME<2:0>	Provides adjustment of DCLK delay in T/16 increments, where T is the sample clock period. When DTIME and DCLKTIME are adjusted to the same setting, the rising edge of DCLK occurs T/8 prior to data transitions.

表5. 数据时序控制默认设置

DATA TIMING CONTROL	DEFAULT	DESCRIPTION
DA_BYPASS	0	Data aligner active
DLY_HALF_T	1	T/2 Delay (3.85ns at 130MSPS)
DTIME<2:0>	101	-T/16 (0.48ns at 130MSPS)
DCLKTIME<2:0>	101	-T/16 (0.48ns at 130MSPS)

### 数字输出

MAX19507具有一个双CMOS、可复用的可逆数据总线。在并口编程模式下，利用FORMAT输入配置偏移二进制、二进制补码或格雷码数据输出(D0\_–D7\_)。用OUTSEL输入选择复用或双总线工作。关于利用SPI接口设置输出格式的更多信息，请参考输出格式寄存器(01h)。SPI接口提供更多灵活性，其中D0\_–D7\_位的顺序被反向，所以LSB出现在D7\_位置，而MSB出现在D0\_位置。OVDD设置输出电压，可在1.8V至3.3V之间设置OVDD。数字输出端的输出电阻可在50Ω至300Ω之间设置。利用CH\_数据输出端接控制寄存器(04h和05h)设置每个总线的输出电阻。

### 可编程数据时序

MAX19507提供可编程数据时序控制，对时序进行优化，从而满足系统时序的要求。时序调整功能还可通过避免采样瞬间的数据输出跃变来提升ADC性能。关于数据时序控制信号的介绍，请参考表4。表5给出了时序调整控制的默认设置，许多应用都不需要修改默认设置。

数据时序调整设置的影响请参考图13和图14。x轴为采样率，y轴为以时钟周期为单位的数据延迟。实线为DTIME

和DLY\_HALF\_T的14种可用状态的标称数据时序，粗线代表默认设置下的数据时序。请注意MAX19507 130MSPS ADC的默认时序调整会产生更多的数据延迟周期。

表6和表7给出了不同采样率下的推荐时序设置。

这些推荐时序设置下的标称数据时序特性与采样率的关系如图15和图16所示。

当DA\_BYPASS = 1时，DCLKTIME延迟设置必须等于或低于DTIME的延迟设置，如表8所示。

### 电源管理

SHDN输入(引脚7)用于控制任意两个电源管理状态之间的切换。电源管理寄存器(00h)定义了每种电源管理的状态。默认状态下，SHDN = 1时关断MAX19507，SHDN = 0时返回完全工作模式。电源管理功能并不要求一定使用SHDN输入。无论SHDN处于何种状态，器件均可提供完备的电源管理灵活性，其中包括通过电源管理寄存器(00h)实现独立的ADC通道电源管理控制。器件提供关断和待机两种低功耗模式。待机模式下，基准和占空比均衡电路保持有效工作状态，保证快速唤醒器件。待机模式下，外部施加的时钟信号必须保持有效，以保证占空比均衡器保持锁定。从待机模式唤醒的典型时间为15μs。关断模式下，除了集成自检测电压调节器所要求的基准电路外，所有电路都将关闭。当器件处于关断状态时，如果稳压器处于有效状态，会消耗额外的与调节电路相关的电源电流。从关断模式唤醒的典型时间为5ms，主要取决于REFIO的RC时间常数。

# 双通道、8位、130MSPS ADC

MAX19507

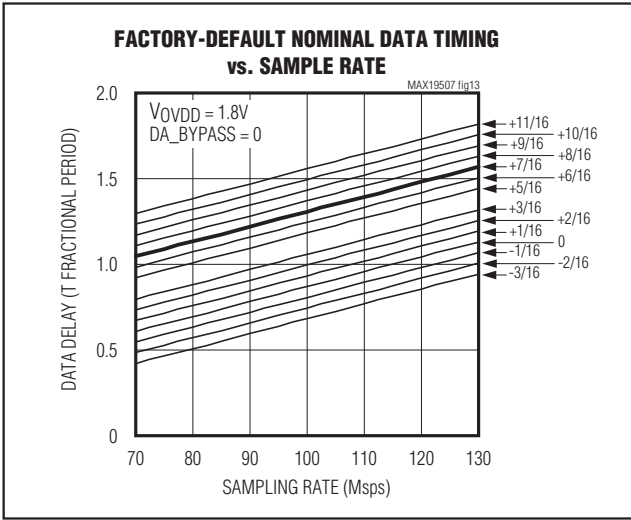


图13. 默认数据时序( $V_{OVDD} = 1.8V$ )

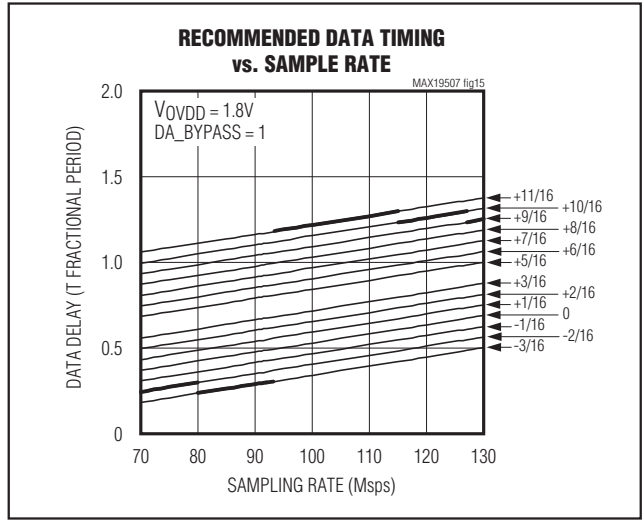


图15. 推荐数据时序( $V_{OVDD} = 1.8V$ )

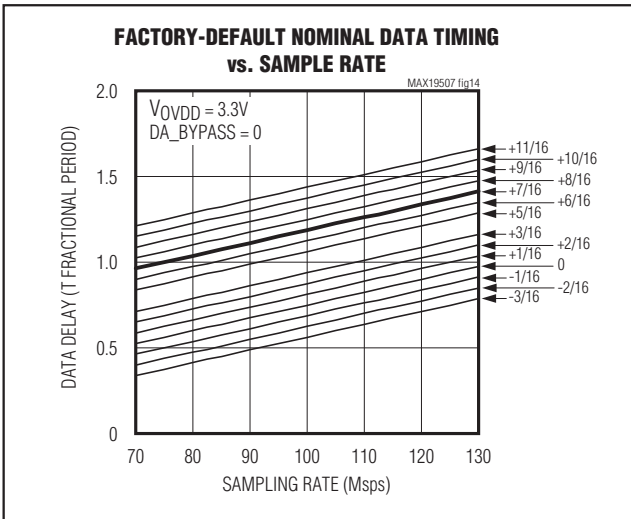


图14. 默认数据时序( $V_{OVDD} = 3.3V$ )

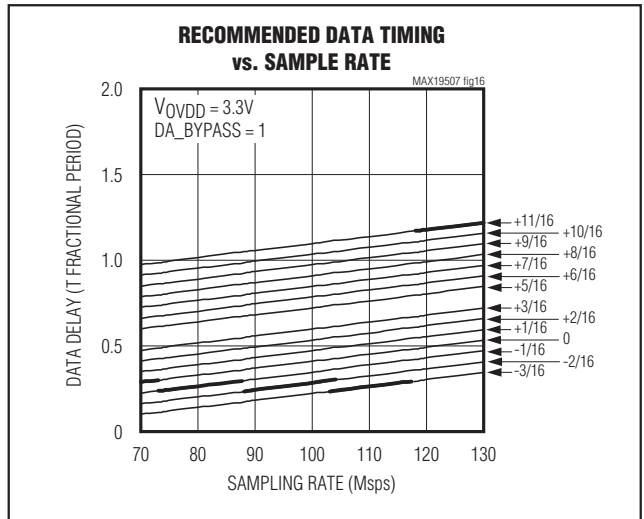


图16. 推荐数据时序( $V_{OVDD} = 3.3V$ )

表6. 推荐时序调整( $V_{OVDD} = 1.8V$ )

SAMPLING RATE (MSPS)		$V_{OVDD} = 1.8V$				
FROM	TO	DA_BYPASS	DLY_HALF_T	DTIME<2:0>	DCLKTIME<2:0>	
65	68	1	0	101	101	
68	80	1	0	110	110	
80	92	1	0	111	111	
92	115	1	1	011	011	
115	127	1	1	010	010	
127	130	1	1	001	001	

## 双通道、8位、130Msps ADC

表7. 推荐时序调整( $V_{OVDD} = 3.3V$ )

SAMPLING RATE (Msps)		$V_{OVDD} = 3.3V$			
FROM	TO	DA_BYPASS	DLY_HALF_T	DTIME<2:0>	DCLKTIME<2:0>
65	73	1	0	000	000
73	88	1	0	101	101
88	103	1	0	110	110
103	118	1	0	111	111
118	130	1	1	011	011

表8. DA\_BYPASS = 1时, DCLKTIME和DTIME所允许的设置

DTIME<2:0>	ALLOWED DCLKTIME<2:0> SETTINGS
111 (-3T/16)	111 (-3T/16)
110 (-2T/16)	110 (-2T/16); 111 (-3T/16)
101 (-1T/16)	101 (-1T/16); 110 (-2T/16); 111 (-3T/16)
000 (nominal)	000 (nominal); 101 (-1T/16); 110 (-2T/16); 111 (-3T/16)
001 (+1T/16)	001 (+1T/16); 000 (nominal); 101 (-1T/16); 110 (-2T/16); 111 (-3T/16)
010 (+2T/16)	010 (+2T/16); 001 (+1T/16); 000 (nominal); 101 (-1T/16); 110 (-2T/16); 111 (-3T/16)
011 (+3T/16)	011 (+3T/16); 010 (+2T/16); 001 (+1T/16); 000 (nominal); 101 (-1T/16); 110 (-2T/16); 111 (-3T/16)

表9. 复位方法

RESET MODE	DESCRIPTION
Power-On Reset	Upon power-up (AVDD supply voltage and clock signal applied), the POR (power-on-reset) circuit initiates a register reset.
Software Reset	Write data 5Ah to address 0Ah to initiate register reset.
Hardware Reset	A register reset is initiated by the falling edge on the SHDN pin when $\overline{SPEN}$ is high.

### 集成电压调节器

MAX19507在模拟电源(AVDD)上集成了一个自检测线性稳压器,如图17所示。当AVDD上的电压低于2V时,电压调节器被旁路,而核心模拟电路由外部电源供电。如果AVDD电压高于2V,则关闭调节器旁路,使能电压调节模式。电压调节模式下,内部核心模拟电路由调节器提供的1.8V稳定电压供电。在2.3V至3.5V AVDD输入电压范围内,调节器提供1.8V输出电压。由于电源电流在该电压范围内保持恒定,所以模拟电路的功耗与所作用的输入电压成正比。

### 上电和复位

用户可编程寄存器的默认设置及其它出厂设置储存在非易失存储器。器件上电后,这些数值被加载到控制寄存器。该操作发生在AVDD上电和施加输入时钟信号之后。只要AVDD处于上电状态,就将保持寄存器数值。AVDD上电的同时,寄存器可以复位,所有用户可编程寄存器都将被默认值所覆盖。通过串口发送的软件命令或通过 $\overline{SPEN}$ 和SHDN输入的硬件控制,均可启动复位操作。复位时间与ADC时钟周期成正比,在130Msps时需要65 $\mu$ s,表9对复位方法进行了总结。

# 双通道、8位、130Msps ADC

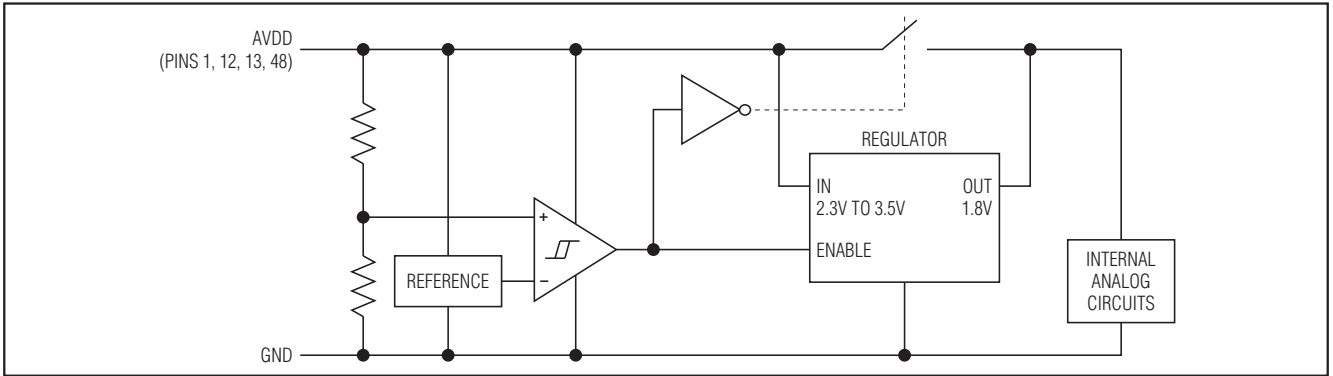


图17. 集成电压调节器

## 应用信息

### 模拟输入

#### 变压器耦合差分模拟输入

MAX19507采用全差分输入信号时，具有优于单端输入驱动的SFDR和THD。差分输入模式下，由于两路输入是平衡的，偶次谐波较低。另外，与单端输入模式相比，每个ADC输入只需一半的信号摆幅。

RF变压器(图18)为将单端信号转换为全差分信号提供了一个极好的解决方案。将变压器中心抽头连接至CM<sub>-</sub>，提供共模电压。图中变压器具有1:1.4的阻抗比。也可以选择不同的升压变压器，以降低驱动要求。输入驱动信号摆幅的降低有助于改善整体失真。图18所示配置对于奈奎斯特频率( $f_{CLK}/2$ )以下的输入可以提供较好的工作特性。

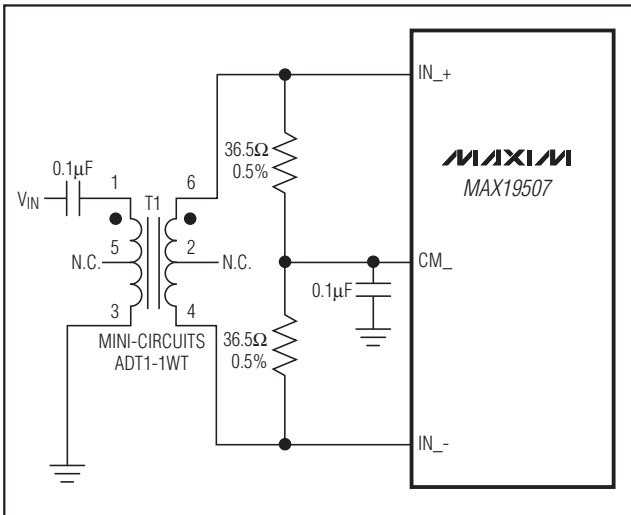


图18. 输入频率在奈奎斯特频率以下时的变压器耦合输入驱动

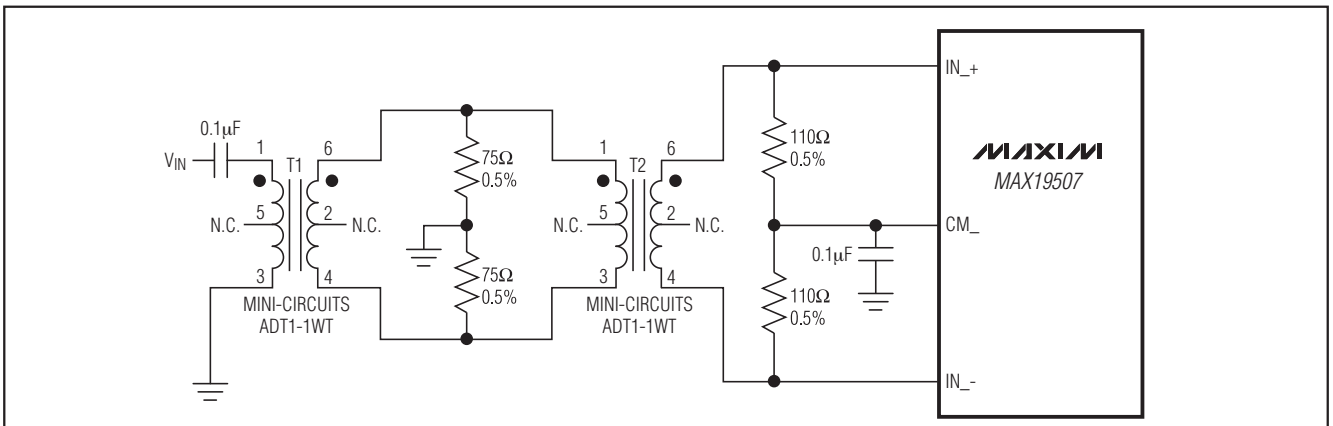


图19. 输入频率超过奈奎斯特频率时的变压器耦合输入驱动

## 双通道、8位、130MSPS ADC

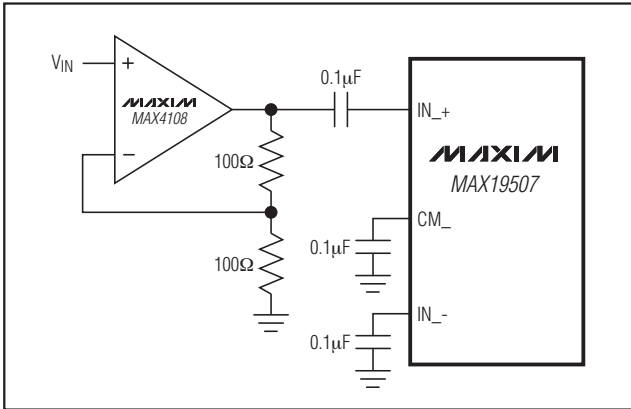


图20. 单端、交流耦合输入驱动

图19所示电路可将单端输入信号转换成全差分信号。图19多用了个变压器，有助于改善共模抑制指标，适用于高于奈奎斯特频率的高频输入信号。一组75Ω和110Ω端接电阻为信号源提供等效的50Ω端接。第二组端接电阻连接至CM<sub>+</sub>，提供适当的输入共模电压。

### 单端交流耦合输入信号

图20所示为单端交流耦合输入，MAX4108具有高速、宽带、低噪声、低失真特性，保证输入信号的完整性。通过内部2kΩ电阻，偏置电压作用到输入端，更多信息请参考共模寄存器08h。

### 直流耦合输入

MAX19507较宽的共模电压范围(0.4V至1.4V)使其能够采用直流耦合信号，须确保共模电压保持在0.4V至1.4V之间。

### 时钟输入

图21所示为单端至差分的时钟输入转换电路。

### 接地、旁路和电路板布局注意事项

MAX19507需要采用高速电路板布局技术。将所有旁路电容尽量靠近器件放置，最好与ADC处于同一层，采用表贴元件使寄生电感降至最小。利用0.1μF的陶瓷电容将AVDD、OVDD、REFIO、CMA和CMB旁路至GND。带有地层和电源层的多层电路板能够最大程度地保证信号的完整性。使每一通道的高速数字信号引线远离敏感的模

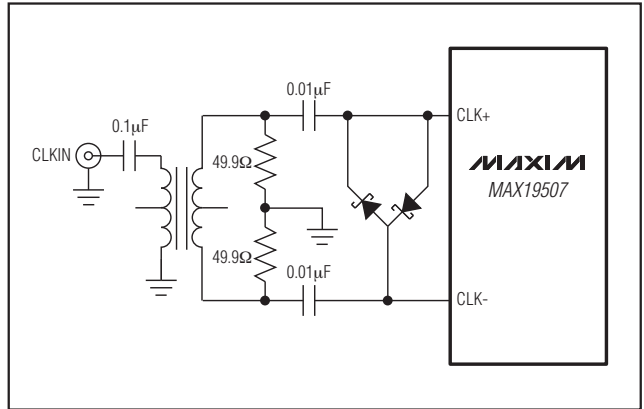


图21. 单端至差分时钟输入

拟引线，须确保模拟输入引线与各自的转换通道隔离开，使通道间串扰降至最低。保证所有信号线尽可能短，并且没有90°转角。

## 定义

### 积分非线性(INL)

INL为实测传输函数与最佳拟合直线的偏差，最大偏差定义为INL。

### 微分非线性(DNL)

DNL是实际传输函数的步长宽度与1个LSB理想值之差，小于1 LSB的DNL误差保证不会产生失码，并可确保传输函数单调。在传输函数的每个步长测量DNL偏差，最大偏差定义为DNL。

### 失调误差

失调误差表示实际传输函数与理想传输函数在中点的匹配程度。理想情况下，中点跳变出现在中点以上0.5个LSB处，失调误差是实测的中点跳变点与理想中点跳变点间的差值。

### 增益误差

增益误差表示在规定的满量程输入范围内，实测传输函数斜率与理想传输函数斜率的匹配度。增益误差定义为实测传输函数的相对误差，用百分比表示。



# 双通道、8位、130Msps ADC

MAX19507

## 小信号噪底(SSNF)

SSNF为小信号输入在奈奎斯特频带内的累积噪声和失真功率。计算该噪声时排除直流失调。对于这种转换器，小信号定义为幅值小于-35dBFS的单音信号。该参数包含了转换器的热噪声和量化噪声，用于计算接收通道的总噪声系数。关于热噪声和量化噪声基底的详细信息，请参考[china.maxim-ic.com](http://china.maxim-ic.com)上的应用笔记。

## 信噪比(SNR)

从数字采样中重建最佳波形，理论上SNR最大值是满量程模拟输入(RMS值)与RMS量化误差(剩余误差)之比，理想情况下，模/数转换噪声的最小理论值仅由量化误差产生，并且直接由ADC的分辨率(N位)决定：

$$\text{SNR}_{[\text{max}]} = 6.02 \times N + 1.76$$

实际上，除了量化噪声外还有其它噪声源(例如热噪声、基准噪声、时钟抖动等)。SNR采用RMS信号与RMS噪声之比来计算。RMS噪声包括除基波、前六次谐波(HD2–HD7)与直流失调以外奈奎斯特频率的所有频谱成分。

$$\text{SNR} = 20 \times \log \left( \frac{\text{SIGNAL}_{\text{RMS}}}{\text{NOISE}_{\text{RMS}}} \right)$$

## 信号与噪声 + 失真比(SINAD)

SINAD采用RMS信号与RMS噪声 + RMS失真之比来计算。RMS噪声包括除基波、前六次谐波(HD2–HD7)和直流失调以外奈奎斯特频率的所有频谱成分，而RMS失真包括前六次谐波(HD2–HD7)。

$$\text{SINAD} = 20 \times \log \left( \frac{\text{SIGNAL}_{\text{RMS}}}{\sqrt{\text{NOISE}_{\text{RMS}}^2 + \text{DISTORTION}_{\text{RMS}}^2}} \right)$$

## 单音无杂散动态范围(SFDR1和SFDR2)

SFDR是基波(最大信号成分)的RMS幅值与不包括直流失调的第二大杂散成分的RMS幅值之比，以分贝为单位。SFDR1反映基于最差2次或3次谐波失真的杂散性能。SFDR2定义为不包括2次、3次谐波及直流失调的最差杂散分量。

## 总谐波失真(THD)

THD通常是输入信号前六次谐波的RMS之和与基波之比，可以用下式表示：

$$\text{THD} = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

其中 $V_1$ 为基波幅值， $V_2$ – $V_7$ 为2次至7次谐波(HD2–HD7)的幅值。

## 三阶交调(IM3)

IM3为奈奎斯特频带内三阶交调的总功率与两路单音输入 $f_{\text{IN1}}$ 和 $f_{\text{IN2}}$ 总功率的比值。每路输入信号电平为-7dBFS，三阶交调分量为： $2 \times f_{\text{IN1}} - f_{\text{IN2}}$ 、 $2 \times f_{\text{IN2}} - f_{\text{IN1}}$ 、 $2 \times f_{\text{IN1}} + f_{\text{IN2}}$ 、 $2 \times f_{\text{IN2}} + f_{\text{IN1}}$ 。

## 孔径延迟

输入信号在采样时钟的上升沿进行采样。孔径延时( $t_{\text{AD}}$ )是指采样时钟上升沿与实际采样瞬间的微小延时。

## 孔径抖动

孔径抖动( $t_{\text{AJ}}$ )定义为采样与采样之间孔径延时的变化。

## 过驱动恢复时间

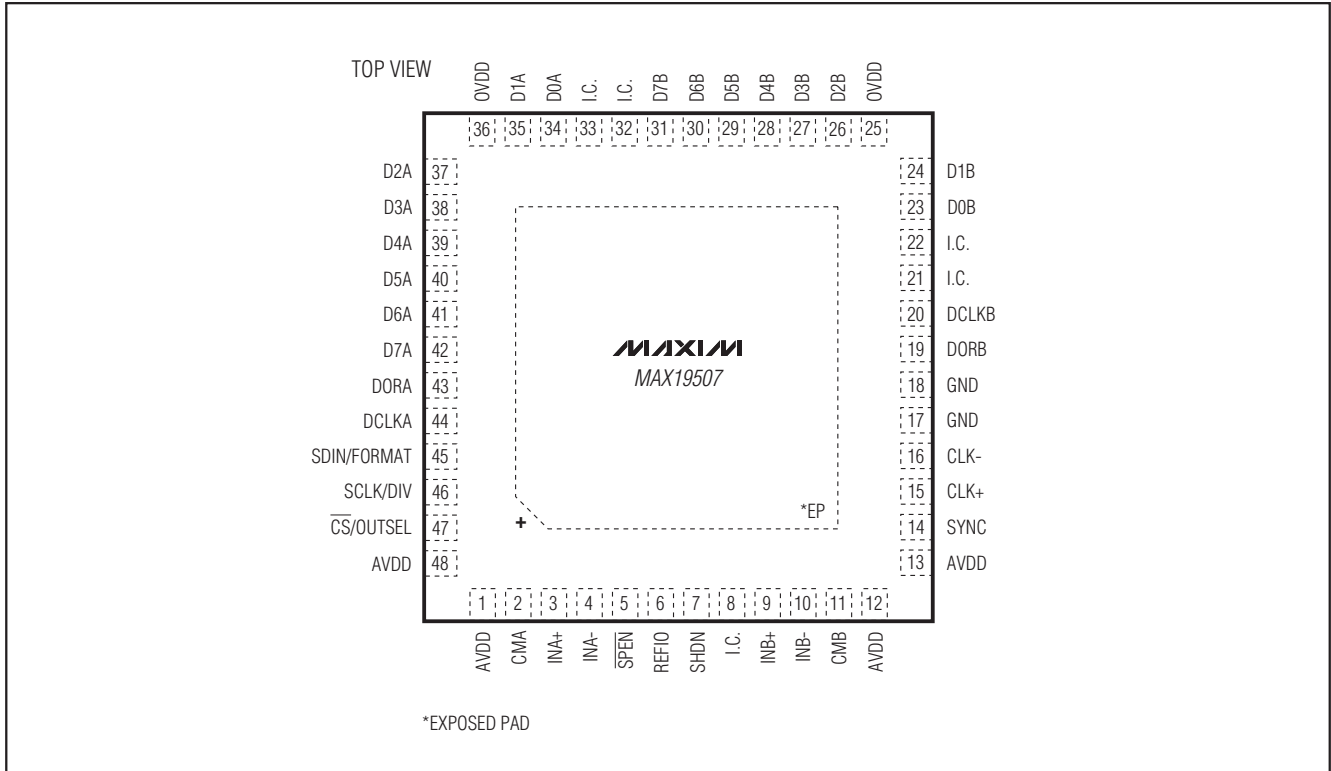
过驱动恢复时间是ADC从超过满量程限制的输入瞬态进行恢复所需要的时间。规定过驱动恢复时间在输入超出满量程 $\pm 10\%$ 的情况下进行测量。

## 芯片信息

PROCESS: CMOS

## 双通道、8位、130Mps ADC

## 引脚配置



## 封装信息

如需最近的封装外形信息和焊盘布局, 请查询 [china.maxim-ic.com/packages](http://china.maxim-ic.com/packages). 请注意, 封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
48 TQFN-EP	T4877+4	<a href="#">21-0144</a>	<a href="#">90-0130</a>

# 双通道、8位、130Msps ADC

修订历史

修订号	修订日期	说明	修改页
0	10/08	最初版本。	—
1	9/10	根据CMOS输出驱动器的变化，更新了时间特性参数。	5, 6, 28, 29, 30

MAX19507

## Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

**Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600** \_\_\_\_\_ **35**