



双/三/四电压、电容调节、 排序/监控电路

概述

MAX16041/MAX16042/MAX16043是双/三/四通道电压监视器和排序器，采用小型QFN封装。该器件可通过逻辑输入选择固定或可调门限，并可以由小尺寸的外部电容设置排序定时，具有极大的设计灵活性。这一系列通用器件是各种多电压应用的理想选择。

当受监视的输入电压超过各自的门限值时，经过一段传输延迟或一段由电容设置的延时之后，相应的输出变为高电平。当输入电压跌落到门限以下时，经过一段传输延迟之后，相应的输出变为低电平。每个检测器都包含独立的使能输入，可单独关闭各自的电源就绪输出。每个检测器具有独立的漏极开路输出，支持最高28V的电压，能够与各种DC-DC调节器的关断和使能输入相连。每个检测器均可作为独立的四路监控电路工作，或者采用菊花链连接，提供电源排序控制。

MAX16041/MAX16042/MAX16043也包含推挽复位功能，只有当所有被监视的电压都高于各自的门限后，才释放复位信号。复位超时可以内部确定或者外部调整。这些器件采用4mm x 4mm，TQFN封装，工作温度为-40°C至+125°C。

应用

多电压系统
DC-DC电源
服务器/工作站
存储系统
网络/电信设备

选型指南

PART	MONITORED VOLTAGES	INDEPENDENT OUTPUTS	RESET OUTPUT
MAX16041	2	2 (Open-drain)	Push-pull
MAX16042	3	3 (Open-drain)	Push-pull
MAX16043	4	4 (Open-drain)	Push-pull

特性

- ◆ 2.2V到28V工作电压范围
- ◆ 为3.3V、2.5V、1.8V、1.5V和1.2V系统提供固定门限
- ◆ 精度为1.5%的可调门限，能够监测低至0.5V的电压
- ◆ 整个温度范围内保证2.7%的固定门限精度
- ◆ 固定延时(最小140ms)/电容可调延时
- ◆ 独立的漏极开路输出和推挽RESET输出
- ◆ 各个被监视通道均具有独立的使能输入
- ◆ 9种逻辑可选门限
- ◆ 手动复位和容限选择(5%/10%)输入
- ◆ 小型，4mm x 4mm TQFN封装
- ◆ 工作于-40°C至+125°C温度范围

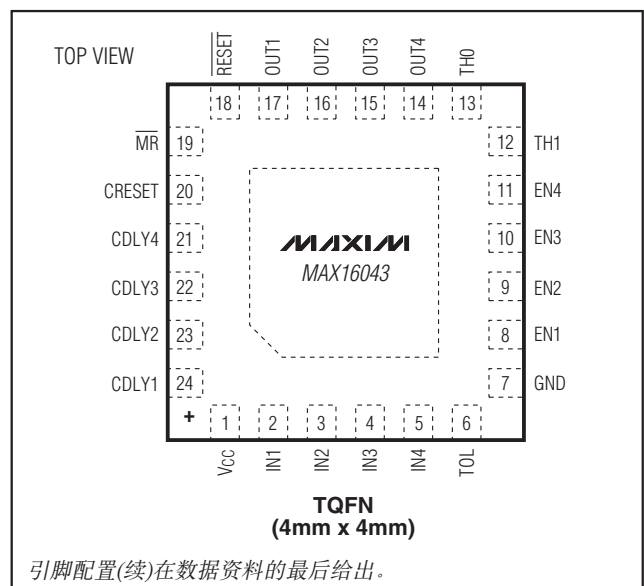
订购信息

PART*	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX16041TE+	-40°C to +125°C	16 TQFN	T1644-4
MAX16042TP+	-40°C to +125°C	20 TQFN	T2044-3
MAX16043TG+	-40°C to +125°C	24 TQFN	T2444-4

+表示无铅封装。

*订购卷带包装，在“+”后面加“T”。所有卷带包装均以2.5k为单位供货。

引脚配置



双/三/四电压、电容调节、 排序/监控电路

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)

V _{CC}	-0.3V to +30V
EN1–EN4.....	-0.3V to (V _{CC} + 0.3V)
OUT1–OUT4.....	-0.3V to +30V
RESET.....	-0.3V to (V _{CC} + 0.3V)
IN1–IN4.....	-0.3V to (V _{CC} + 0.3V)
MR, TOL, TH1, TH0.....	-0.3V to (V _{CC} + 0.3V)
CDLY1–CDLY4.....	-0.3V to +6V
CRESET.....	-0.3V to (V _{CC} + 0.3V)
Input/Output Current (all pins).....	±20mA

Continuous Power Dissipation (T_A = +70°C)

16-Pin TQFN (derate 25mW/°C above +70°C).....	2000mW
20-Pin TQFN (derate 25.6mW/°C above +70°C).....	2051mW
24-Pin TQFN (derate 27.8mW/°C above +70°C).....	2222mW
Operating Temperature Range.....	-40°C to +125°C
Storage Temperature Range.....	-65°C to +150°C
Junction Temperature.....	+150°C
Lead Temperature (soldering, 10s).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = 2.2V to 28V, T_A = -40°C to +125°C, unless otherwise specified. Typical values are at V_{CC} = 3.3V and T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY						
Operating Voltage Range	V _{CC}	(Note 2)	2.2		28.0	V
Undervoltage Lockout	UVLO	(Note 2)	1.8	1.9	2.0	V
Undervoltage-Lockout Hysteresis	UVLO _{HYST}	V _{CC} falling		50		mV
V _{CC} Supply Current	I _{CC}	All OUT _n and $\overline{\text{RESET}}$ at logic-high (IN _n current excluded)	V _{CC} = 3.3V	40	75	μA
			V _{CC} = 12V	47	75	
			V _{CC} = 28V	52	80	
INPUTS (IN_n)						
IN _n Thresholds (IN _n Falling)	V _{TH}	3.3V threshold, TOL = GND	2.970	3.052	3.135	V
		3.3V threshold, TOL = V _{CC}	2.805	2.888	2.970	
		2.5V threshold, TOL = GND	2.250	2.313	2.375	
		2.5V threshold, TOL = V _{CC}	2.125	2.187	2.250	
		1.8V threshold, TOL = GND	1.620	1.665	1.710	
		1.8V threshold, TOL = V _{CC}	1.530	1.575	1.620	
		1.5V threshold, TOL = GND	1.350	1.387	1.425	
		1.5V threshold, TOL = V _{CC}	1.275	1.312	1.350	
		1.2V threshold, TOL = GND	1.080	1.110	1.140	
Adjustable Threshold (IN _n Falling)	V _{TH}	TOL = GND	0.492	0.5	0.508	V
		TOL = V _{CC}	0.463	0.472	0.481	
IN _n Hysteresis (IN _n Rising)	V _{HYST}			0.5		%
IN _n Input Resistance		Fixed threshold	500	918		kΩ
IN _n Input Current	I _L	Adjustable threshold only (V _{IN_n} = 1V)	-100		+100	nA

双/三/四电压、电容调节、 排序/监控电路

MAX16041/MAX16042/MAX16043

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = 2.2V$ to $28V$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise specified. Typical values are at $V_{CC} = 3.3V$ and $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CRESET AND CDLY_						
CRESET Threshold	$V_{TH-RESET}$	CRESET rising, $V_{CC} = 3.3V$	0.465	0.5	0.535	V
CRESET Charge Current	$I_{CH-RESET}$	$V_{CC} = 3.3V$	380	500	620	nA
CDLY_ Threshold	$V_{TH-CDLY}$	CDLY_ rising, $V_{CC} = 3.3V$	0.95	1	1.05	V
CDLY_ Charge Current	$I_{CH-CDLY}$	$V_{CC} = 3.3V$	200	250	300	nA
DIGITAL LOGIC INPUTS ($\overline{EN_}$, \overline{MR}, TOL, TH1, TH0)						
Input Low Voltage	V_{IL}				0.4	V
Input High Voltage	V_{IH}		1.4			V
TH1, TH0 Logic-Input Floating				0.6		V
TOL, TH1, TH0 Logic-Input Current		$V_{TOL}, V_{TH1}, V_{TH0} = GND$ or V_{CC}	-1		+1	μA
$\overline{EN_}$ Input Leakage Current		$V_{EN_} = V_{CC}$ or GND	-100		+100	nA
\overline{MR} Internal Pullup Current		$V_{CC} = 3.3V$	250	535	820	nA
OUTPUTS ($\overline{OUT_}$, \overline{RESET})						
Output Low Voltage (Open-Drain or Push-Pull)	V_{OL}	$V_{CC} \geq 1.2V, I_{SINK} = 90\mu A$			0.3	V
		$V_{CC} \geq 2.25V, I_{SINK} = 0.5mA$			0.3	
		$V_{CC} \geq 4.5V, I_{SINK} = 1mA$			0.35	
Output High Voltage (Push-Pull)	V_{OH}	$V_{CC} \geq 3V, I_{SOURCE} = 500\mu A$	0.8 x V_{CC}			V
		$V_{CC} \geq 4.5V, I_{SOURCE} = 800\mu A$	0.8 x V_{CC}			
Output Leakage Current (Open-Drain)	I_{LKG}	Output not asserted low, $V_{OUT} = 28V$			1	μA
Reset Timeout Period	t_{RP}	CRESET = V_{CC} , $V_{CC} = 3.3V$	140	190	260	ms
		CRESET open		0.030		
TIMING						
IN_ to $\overline{OUT_}$ Propagation Delay	t_{DELAY+}	IN_ rising, CDLY_ open		35		μs
	t_{DELAY-}	IN_ falling, CDLY_ open		20		
IN_ to \overline{RESET} Propagation Delay	$t_{RST-DELAY}$	CRESET open, IN_ falling		35		μs
\overline{MR} Minimum Input Pulse Width		(Note 3)	2			μs
$\overline{EN_}$ or \overline{MR} Glitch Rejection				280		ns
$\overline{EN_}$ to $\overline{OUT_}$ Delay	t_{OFF}	From device enabled to device disabled		3		μs
	t_{ON}	From device disabled to device enabled (CDLY_ open)		30		
\overline{MR} to \overline{RESET} Delay		\overline{MR} falling		3		μs

Note 1: Devices are production tested at $T_A = +25^{\circ}C$. Limits over temperature are guaranteed by design.

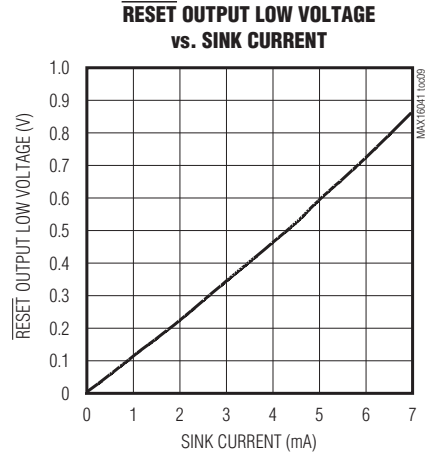
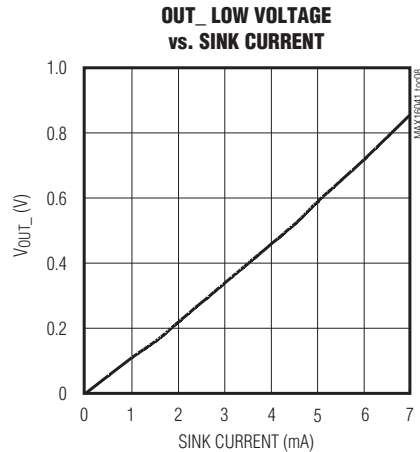
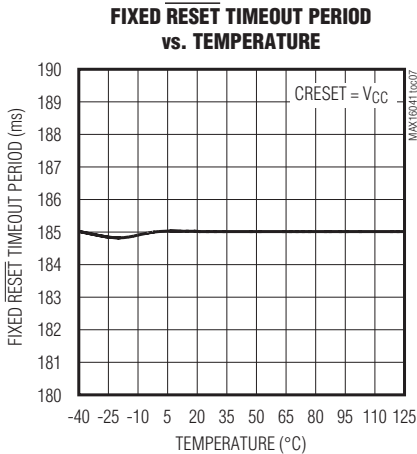
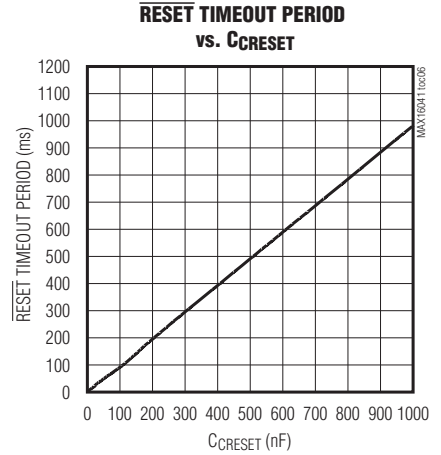
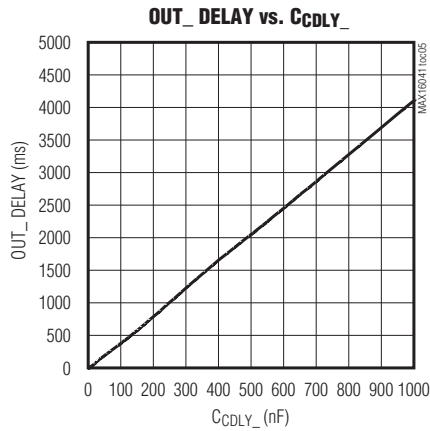
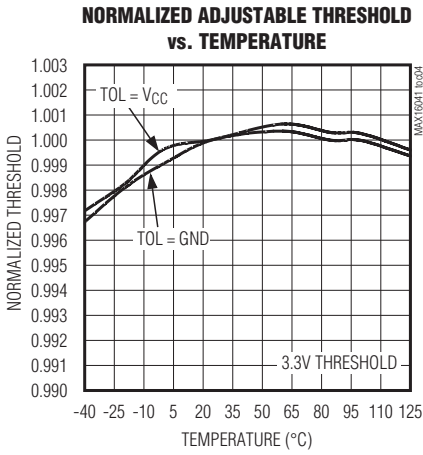
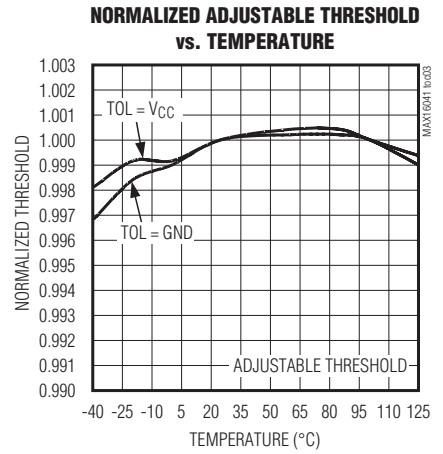
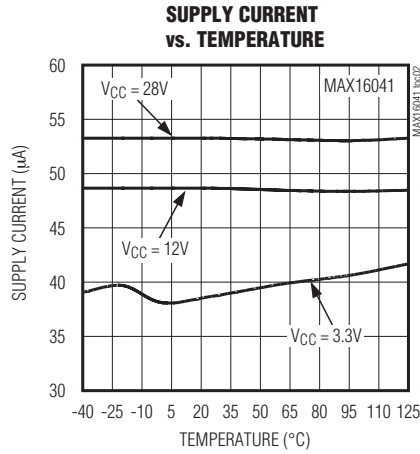
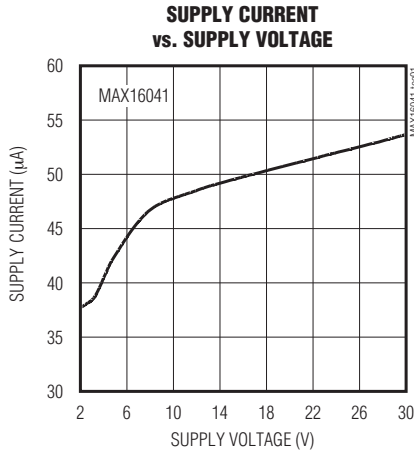
Note 2: Operating below the UVLO causes all outputs to go low. The outputs are guaranteed to be in the correct state for V_{CC} down to 1.2V.

Note 3: To guarantee an assertion, the minimum input pulse width must be greater than 2 μs .

双/三/四电压、电容调节、 排序/监控电路

典型工作特性

($V_{CC} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

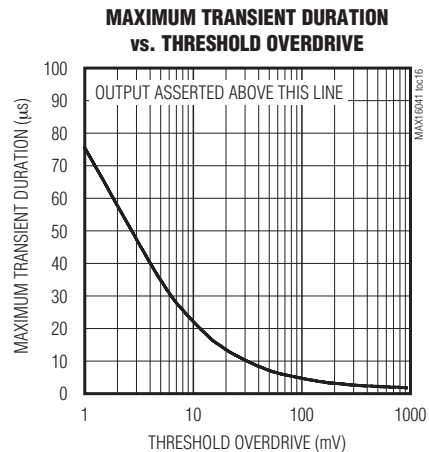
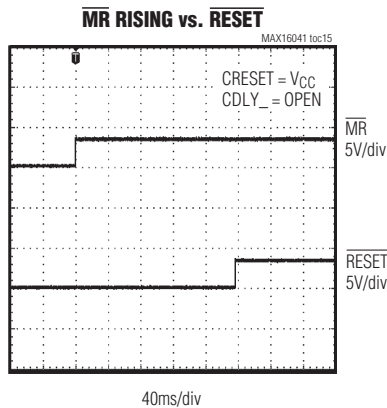
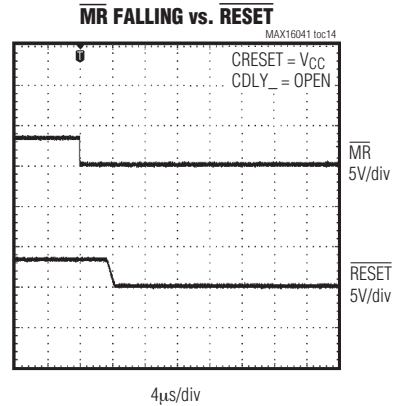
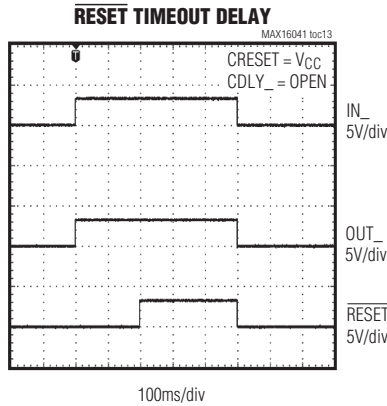
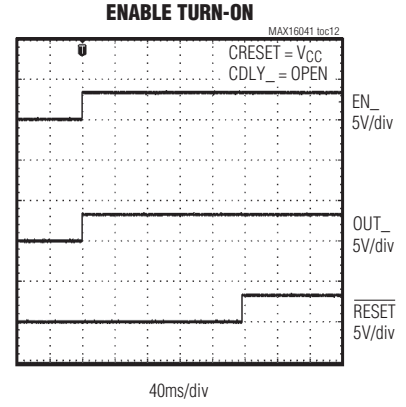
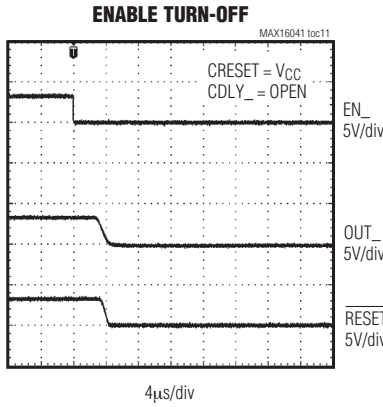
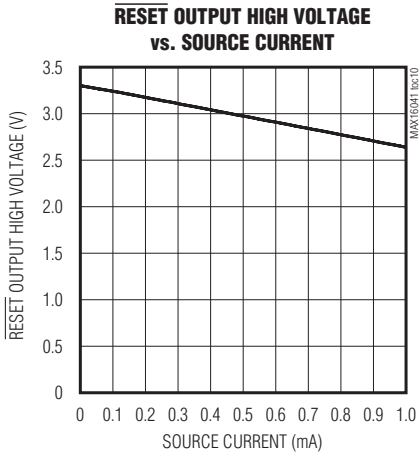


双/三/四电压、电容调节、 排序/监控电路

典型工作特性(续)

($V_{CC} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX16041/MAX16042/MAX16043



双/三/四电压、电容调节、 排序/监控电路

引脚说明

MAX16041/MAX16042/MAX16043

引脚			名称	功能
MAX16041	MAX16042	MAX16043		
1	1	1	V _{CC}	电源电压输入。连接2.2V到28V电源电压为器件供电。当V _{CC} 低于UVLO时，所有输出变为低电平。对于嘈杂系统，采用一个0.1μF的电容器旁路V _{CC} 至GND。
2	2	2	IN1	监视输入1。当IN1的电压超过其门限值，经过一段电容可调的传输延时后，OUT1变为高电平；当IN1的电压跌落到门限值以下时，经过一段传输延时后，OUT1变为低电平。
3	3	3	IN2	监视输入2。当IN2的电压超过其门限值，经过一段电容可调的传输延时后，OUT2变为高电平；当IN2的电压跌落到门限值以下时，经过一段传输延时后，OUT2变为低电平。
—	4	4	IN3	监视输入3。当IN3的电压超过其门限值，经过一段电容可调的传输延时后，OUT3变为高电平；当IN3的电压跌落到门限值以下时，经过一段传输延时后，OUT3变为低电平。
—	—	5	IN4	监视输入4。当IN4的电压超过其门限值，经过一段电容可调的传输延时后，OUT4变为高电平；当IN4的电压跌落到门限值以下时，经过一段传输延时后，OUT4变为低电平。
4	5	6	TOL	门限容限输入。连接TOL到GND，选择低于标称值5%的门限。连接TOL到V _{CC} ，选择低于标称值10%的门限。
5	6	7	GND	地。
6	7	8	EN1	高电平有效逻辑使能输入1。无论输入电压为多少，驱动EN1至低电平，OUT1输出电压变为低电平。驱动EN1为高电平将使能监视比较器。
7	8	9	EN2	高电平有效逻辑使能输入2。无论输入电压为多少，驱动EN2至低电平，OUT2输出电压变为低电平。驱动EN2为高电平将使能监视比较器。
—	9	10	EN3	高电平有效逻辑使能输入3。无论输入电压为多少，驱动EN3至低电平，OUT3输出电压变为低电平。驱动EN3为高电平将使能监视比较器。
—	—	11	EN4	高电平有效逻辑使能输入4。无论输入电压为多少，驱动EN4至低电平，OUT4输出电压变为低电平。驱动EN4为高电平将使能监视比较器。
8	10	12	TH1	门限选择输入1。TH1可以连到V _{CC} 或GND，或者悬空，配合TH0 (见表2)选择输入电压门限。
9	11	13	TH0	门限选择输入0。TH0可以连到V _{CC} 或GND，或者悬空，配合TH1 (见表2)选择输入电压门限。
—	—	14	OUT4	输出4。当IN4的电压低于其门限或者EN4为低电平时，OUT4输出为低电平。
—	12	15	OUT3	输出3。当IN3的电压低于其门限或者EN3为低电平时，OUT3输出为低电平。
10	13	16	OUT2	输出2。当IN2的电压低于其门限或者EN2为低电平时，OUT2输出为低电平。

双/三/四电压、电容调节、 排序/监控电路

引脚说明(续)

MAX16041/MAX16042/MAX16043

引脚			名称	功能
MAX16041	MAX16042	MAX16043		
11	14	17	OUT1	输出1。当IN1的电压低于其门限或者EN1为低电平时，OUT1输出为低电平。
12	15	18	$\overline{\text{RESET}}$	低电平有效复位输出。当任一被监视的电压(IN _n)低于其相应的门限，任意一个EN _n 电压变为低电平，或者MR置低时， $\overline{\text{RESET}}$ 置为低电平。当所有被监视电压超过其相应的门限，所有的EN _n 电压为高电平，所有的OUT _n 电压为高电平，并释放MR之后，在复位超时时间内 $\overline{\text{RESET}}$ 仍将保持低电平。
13	16	19	$\overline{\text{MR}}$	低电平有效手动复位输入。拉低 $\overline{\text{MR}}$ ， $\overline{\text{RESET}}$ 将被置为低电平，在 $\overline{\text{MR}}$ 释放后， $\overline{\text{RESET}}$ 持续保持低电平的时间为复位超时周期(只要所有OUT _n 为高电平)
14	17	20	CRESET	电容可调复位延时输入。CRESET与GND之间接一个电容，用于设置复位超时时间，或者连接到V _{CC} ，缺省设置为最小复位超时时间140ms。CRESET悬空时，使用内部传输延时。
—	—	21	CDLY4	电容可调延时输入4。CDLY4和GND之间连接一个外部电容，用于设置IN4到OUT4 (以及EN4到OUT4)之间的延迟时间。CDLY4悬空时，使用内部传输延时。
—	18	22	CDLY3	电容可调延时输入3。CDLY3和GND之间连接一个外部电容，用于设置IN3到OUT3 (以及EN3到OUT3)之间的延迟时间。CDLY3悬空时，使用内部传输延时。
15	19	23	CDLY2	电容可调延时输入2。CDLY2和GND之间连接一个外部电容，用于设置IN2到OUT2 (以及EN2到OUT2)之间的延迟时间。CDLY2悬空时，使用内部传输延时。
16	20	24	CDLY1	电容可调延时输入1。CDLY1和GND之间连接一个外部电容，用于设置IN1到OUT1 (以及EN1到OUT1)之间的延迟时间。CDLY1悬空时，使用内部传输延时。
—	—	—	EP	裸露焊盘。EP内部连到了GND。连接EP到接地层。

详细说明

MAX16041/MAX16042/MAX16043是低电压、精确的双/三/四路电压微处理器(μP)监控电路，采用小型的TQFN封装。这些器件为复杂的多电压系统提供监控和排序功能。MAX16041可监视两路电压，MAX16042可监视三路电压，MAX16043可监视四路电压。

MAX16041/MAX16042/MAX16043为各路监视电压提供独立的输出和使能功能。这种架构允许器件配置为四路独

立的监控电路，或者连接成菊链方式，在上电初始化时实现受控的电源排序。当所有被监视电压都高于各自的门限时，释放复位输出，使能微控制器工作。

这些器件可以通过两个逻辑输入选择9种门限，具有极大的灵活性。每个监视电路还具有独立的使能输入，可以对每个监视输出进行数字和模拟控制。容限选择输入使器件可以用在需要5%或者10%电源容限的系统中。此外，延迟时间和复位超时可以采用小尺寸电容进行调节，还具有固定的140ms最小复位超时。

双/三/四电压、电容调节、 排序/监控电路

MAX16041/MAX16042/MAX16043

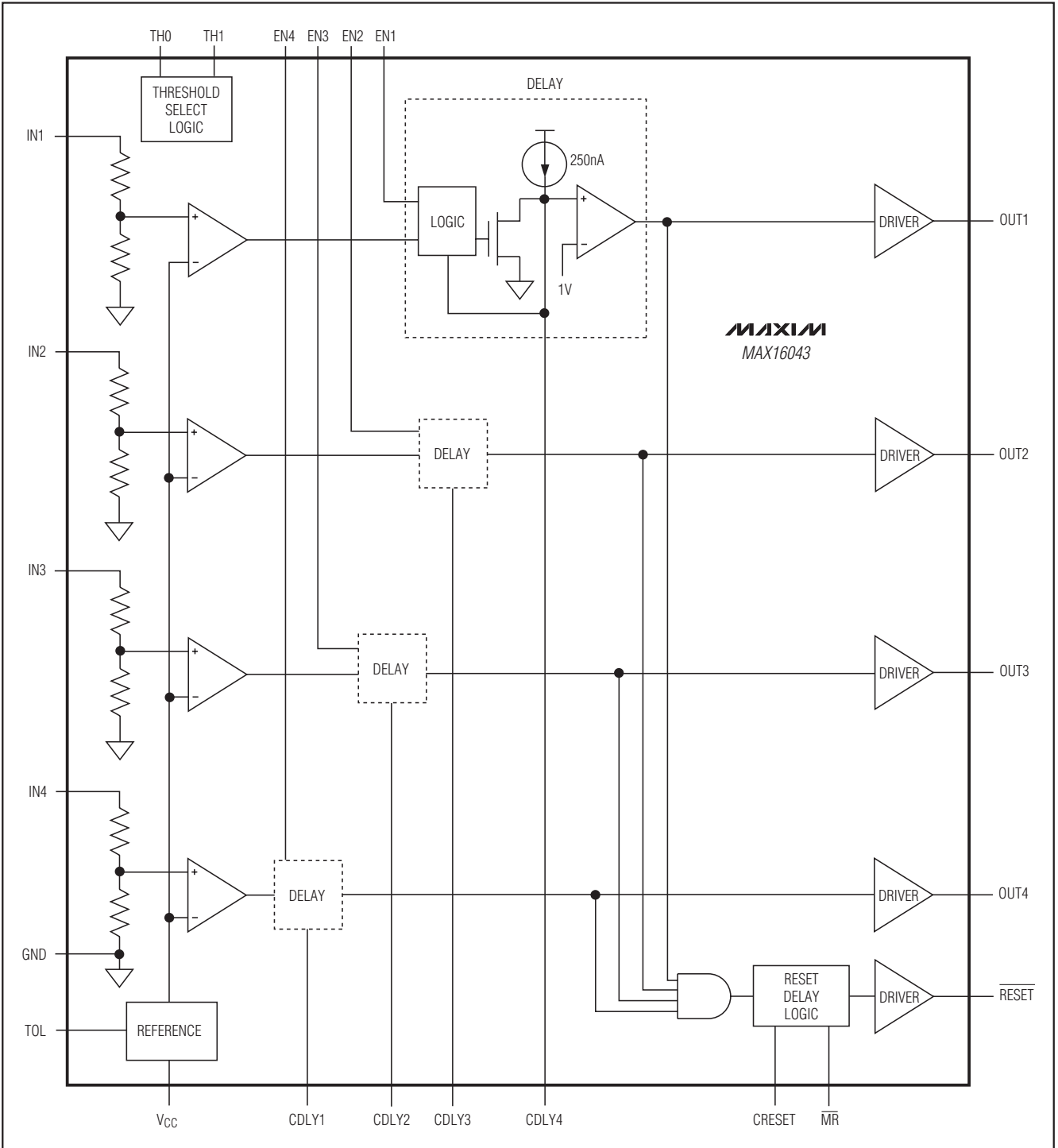


图1. MAX16043功能框图

双/三/四电压、电容调节、 排序/监控电路

MAX16041/MAX16042/MAX16043

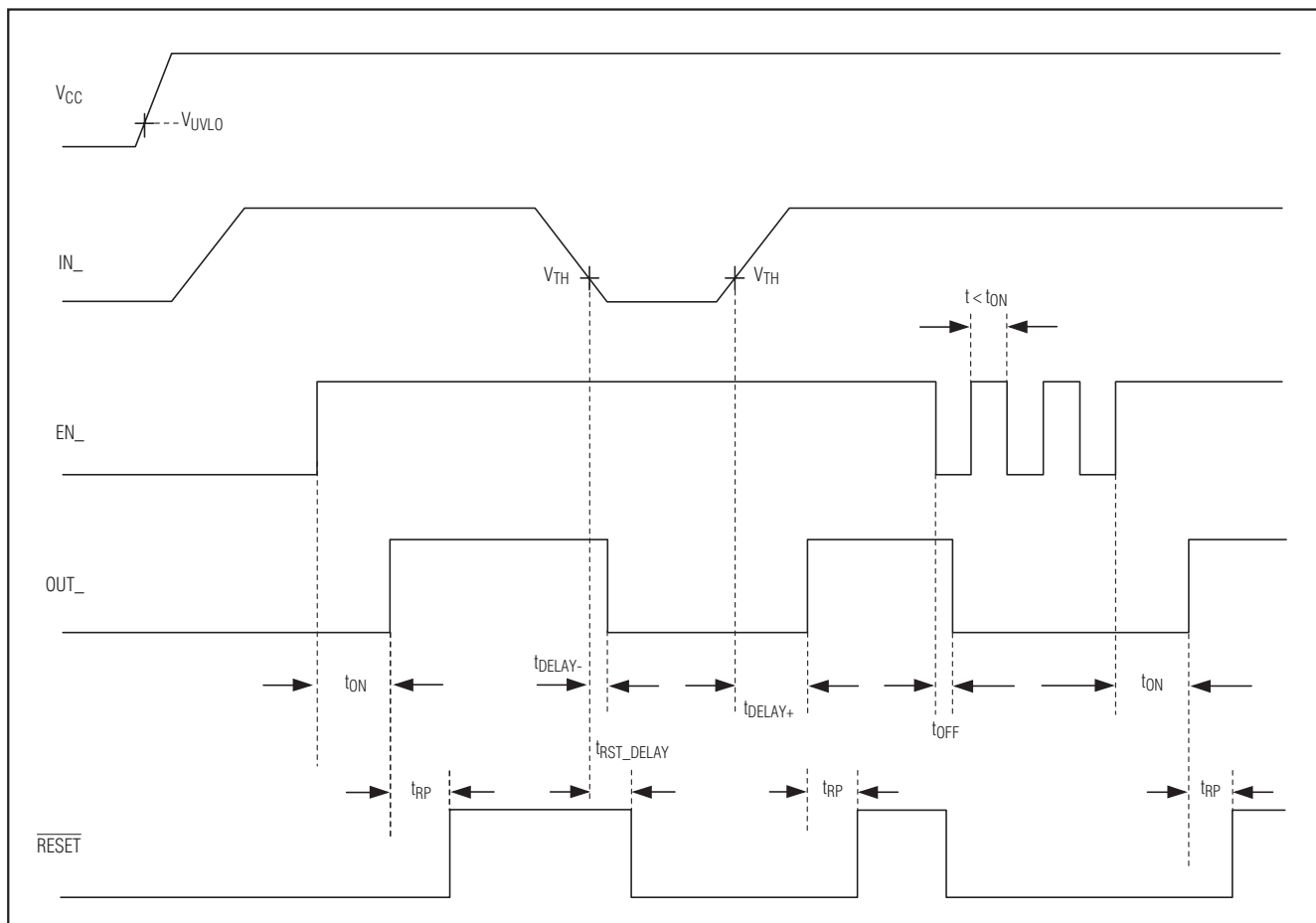


图2. 时序图(CDLY_开路)

应用信息

容限

MAX16041/MAX16042/MAX16043具有引脚可选的门限容限。TOL连接到GND，选择低于门限标称值5%的容限。TOL连接到V_{CC}，选择低于门限标称值10%的容限。请勿将TOL悬空。

可调输入

该系列器件具有多种监视选项，可选择固定和/或可调复位门限(见表2)。对于可调门限的输入，每个IN_输入的门限电

压(V_{TH})典型值为0.5V (TOL = GND)或者0.472V (TOL = V_{CC})。要监视特定电压V_{INTH}，按照图3所示连接一个电阻分压网络，用下面的等式计算门限电压：

$$V_{INTH} = V_{TH} \times \left(1 + \frac{R1}{R2}\right)$$

选择适当的外接电阻，以平衡精度和功耗两者之间的要求。电压监视输入是一个高阻输入，具有低达100nA的漏电流。该漏电流会影响触发输出的门限电压总误差。引入的误差与设置门限值的电阻成正比。减小电阻值，误差相应减小；但是电阻上的功耗会相应增加。

双/三/四电压、电容调节、 排序/监控电路

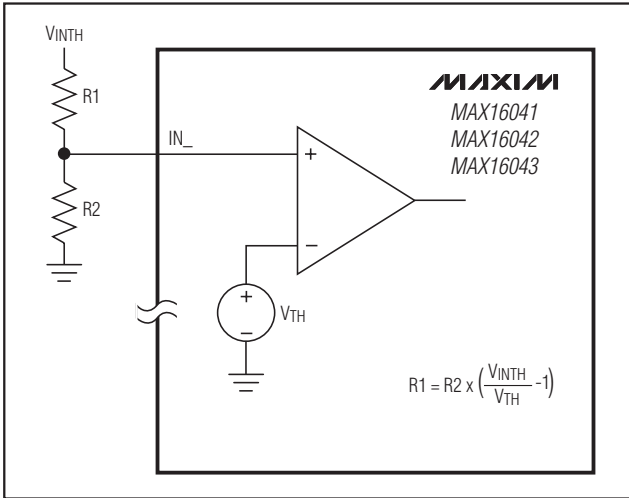


图3. 设置可调输入

利用下列等式，估算在允许的误差范围内的电阻值。

$$R1 = \frac{e_A \times V_{INTH}}{I_L}$$

电阻分压器的最大可接受绝对误差中，由输入漏电流引入的那部分误差用 e_A 表示($\pm 1\%$ 用0.01表示)； V_{INTH} 为触发输出($OUT_$)时的电压； I_L 是最坏情况下 $IN_$ 的漏电流(参见 *Electrical Characteristics*)。根据下列等式计算 $R2$ ：

$$R2 = \frac{V_{TH} \times R1}{V_{INTH} - V_{TH}}$$

不用的输入

所有不用的 $IN_$ 和 $EN_$ 输入连接至 V_{CC} 。

$OUT_$ 输出

MAX16041/MAX16042/MAX16043具有漏极开路输出。当 $IN_$ 输入电压低于相应的门限，或者当 $EN_$ 为低电平时，相应的 $OUT_$ 为低电平(见表1)。 $EN_$ 为高电平且 $V_{IN_}$ 超过其门限之后， $OUT_$ 经过一段时间延迟后变为高电平。开漏输出需要外接上拉电阻至0到28V电压。

表1. 输出状态*

$EN_$	$IN_$	$OUT_$
Low	$V_{IN_} < V_{TH}$	Low
High	$V_{IN_} < V_{TH}$	Low
Low	$V_{IN_} > V_{TH}$	Low
High	$V_{IN_} > V_{TH}$	$OUT_ = \text{high impedance}$

* 无论 $EN_$ 和 $V_{IN_}$ 处于何种状态，一旦 V_{CC} 低于 $UVLO$ ，所有的输出将变为低电平。所有的输出保证 V_{CC} 低至1.2V时仍具有正确的状态。

表2. 输入电压门限选择

TH1/TH0 LOGIC	IN1 (ALL VERSIONS) (V)	IN2 (ALL VERSIONS) (V)	IN3 (MAX16042) (V)	IN4 (MAX16043) (V)
Low/Low	3.3	2.5	1.8	1.5
Low/High	3.3	1.8	Adj	Adj
Low/Open	3.3	1.5	Adj	Adj
High/Low	3.3	1.2	1.8	2.5
High/High	2.5	1.8	Adj	Adj
High/Open	3.3	Adj	2.5	Adj
Open/Low	3.3	Adj	Adj	Adj
Open/High	2.5	Adj	Adj	Adj
Open/Open	Adj	Adj	Adj	Adj

\overline{RESET} 输出

当任何一路被监视的电压($IN_$)低于相应的门限，任何一个 $EN_$ 变为低电平，或者 \overline{MR} 置低时， \overline{RESET} 被置为低电平。当所有被监视的电压超过相应的门限，所有的 $EN_$ 为高电平，所有的 $OUT_$ 为高电平，以及 \overline{MR} 释放后， \overline{RESET} 将在一个复位超时周期内持续保持复位状态。所有器件均具有低电平有效的推挽复位输出。

双/三/四电压、电容调节、 排序/监控电路

调节复位超时时间(CRESET)

当CRESET连接到V_{CC}时，所有器件均具有一个内部固定的复位超时(最小140ms)。另外复位超时时间还可以通过连接在CRESET与GND之间的电容进行调节。当CRESET电压达到0.5V时， $\overline{\text{RESET}}$ 变为高电平。一旦 $\overline{\text{RESET}}$ 变为高电平，CRESET立即变为低电平。

按照下列等式计算复位超时时间：

$$t_{\text{RP}} = \frac{V_{\text{TH-RESET}}}{I_{\text{CH-RESET}}} \times C_{\text{CRESET}} + 30 \times 10^{-6}$$

其中，V_{TH-RESET}为0.5V，I_{CH-RESET}为0.5μA，t_{RP}的单位为秒，C_{CRESET}单位为法拉。为确保准确的时序和工作正常，应尽量减小C_{CRESET}的漏电流。

可调延时(CDLY_)

当V_{IN}电压高于V_{TH}，且EN_{_}为高电平时，内部的250nA电流源开始给连在CDLY_和GND之间的外部电容充电。当CDLY_电压达到1V时，OUT__{_}变为高电平。当OUT__{_}变为高电平后，CDLY__{_}立即变为低电平。按照下列等式，调节V_{IN}上升到V_{TH}至OUT__{_}变为高电平之间的延时(t_{DELAY}) (EN__{_}为高时)：

$$t_{\text{DELAY}} = \frac{V_{\text{TH-CDLY}}}{I_{\text{CH-CDLY}}} \times C_{\text{CDLY}} + 35 \times 10^{-6}$$

其中，V_{TH-CDLY}为1V，I_{CH-CDLY}为0.25μA，C_{CDLY}的单位为法拉，t_{DELAY}单位为秒。为确保准确的时序和工作正常，应尽量减小CDLY的漏电流。

手动复位输入($\overline{\text{MR}}$)

许多基于μP的产品需要手动复位功能，以便允许操作人员、测试人员或者外部逻辑电路启动器件复位。 $\overline{\text{MR}}$ 为逻辑低电平时， $\overline{\text{RESET}}$ 置为低电平。 $\overline{\text{MR}}$ 为低电平，以及 $\overline{\text{MR}}$ 变为高电平以后的复位超时时间(140ms固定或电容可调)之内， $\overline{\text{RESET}}$ 保持复位状态。 $\overline{\text{MR}}$ 输入具有500nA的内部

上拉，因此不用时可以悬空。可以使用TTL或CMOS逻辑电平，或者漏极/集电极开路输出驱动 $\overline{\text{MR}}$ 。在 $\overline{\text{MR}}$ 和GND之间连接一个常开模式的触发开关，实现手动复位功能。无需外部去抖电路。如果使用长电缆驱动 $\overline{\text{MR}}$ ，或者将器件置于噪声环境中使用时，可以在 $\overline{\text{MR}}$ 和GND之间连接一个0.1μF电容，以提高抗噪性。

上拉电阻值

漏极开路输出的上拉电阻值并无严格要求，但仍然需要慎重选择，以确保在器件吸入电流时具有正确的逻辑电平。例如，如果V_{CC}=2.25V，而上拉电压是28V时，应确保吸入电流低于0.5mA (如*Electrical Characteristics*所示)。因此，此时的上拉电阻应大于56kΩ。对于12V上拉电压，上拉电阻应大于24kΩ。注意，吸入电流大小取决于V_{CC}电源电压。

电源旁路

器件工作于2.2V到28V的电源电压下。当V_{CC}电压低于UVLO门限时，所有的输出电压为低电平，并在V_{CC}低于1.2V之前一直保持低电平。对于嘈杂系统，或者V_{CC}具有快速上升瞬变的系统，在V_{CC}和GND之间连接一个0.1μF的陶瓷电容，并尽可能靠近器件放置，以提高噪声和瞬态抑制能力。

确保V_{CC}低至0V时复位输出仍然有效

当V_{CC}低于1.2V时，输出的吸入电流能力下降。为确保V_{CC}低至0V时输出仍然有效，在 $\overline{\text{RESET}}$ 和GND之间连接一个100kΩ的电阻。

典型应用电路

图4和图5所示为MAX16041/MAX16042/MAX16043的典型应用电路。在大功率应用中，使用n沟道器件可减少MOSFET上的损耗，因为它具有较低的漏-源导通电阻。但是，n沟道MOSFET需要足够大的V_{GS}电压，保证器件完全导通以实现较低的R_{DS_ON}。图4给出了MAX16042多电压输出排序的应用电路。图5所示为MAX16043采用n沟道MOSFET电源排序的电路。

双/三/四电压、电容调节、 排序/监控电路

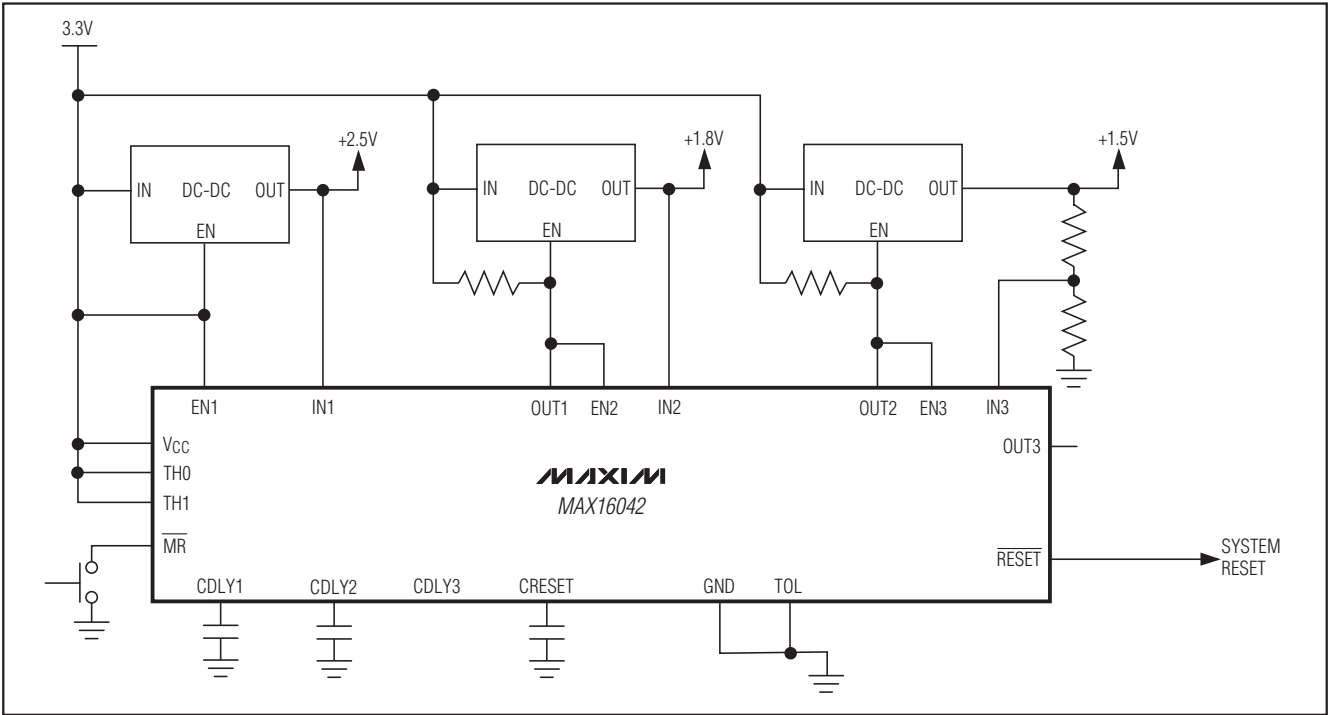


图4. 多电压排序系统

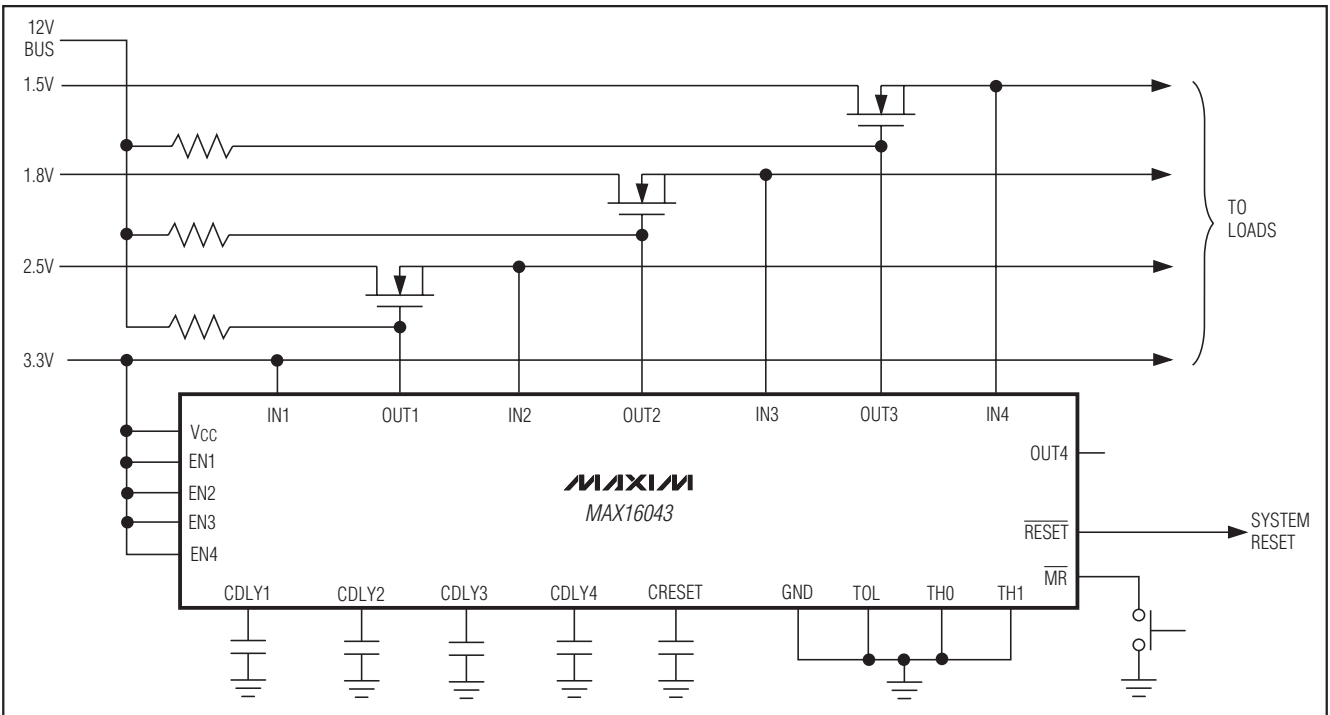
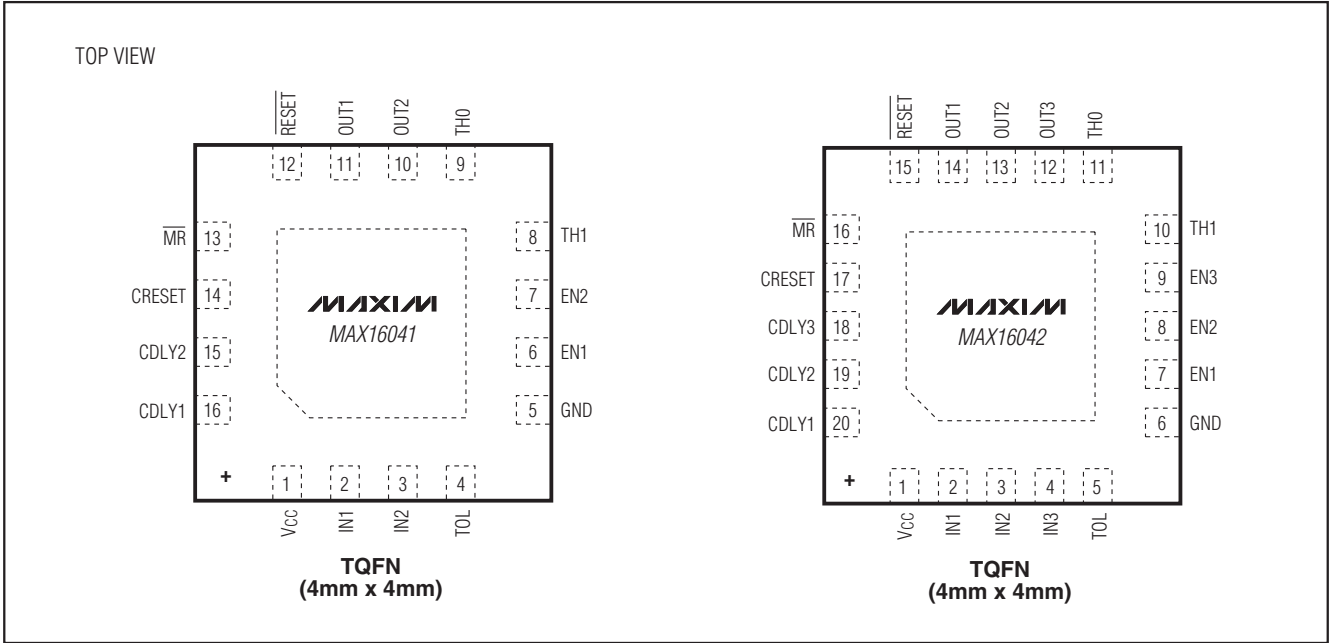


图5. 使用n沟道FET的多电压排序应用电路

双/三/四电压、电容调节、 排序/监控电路

引脚配置(续)

MAX16041/MAX16042/MAX16043



芯片信息

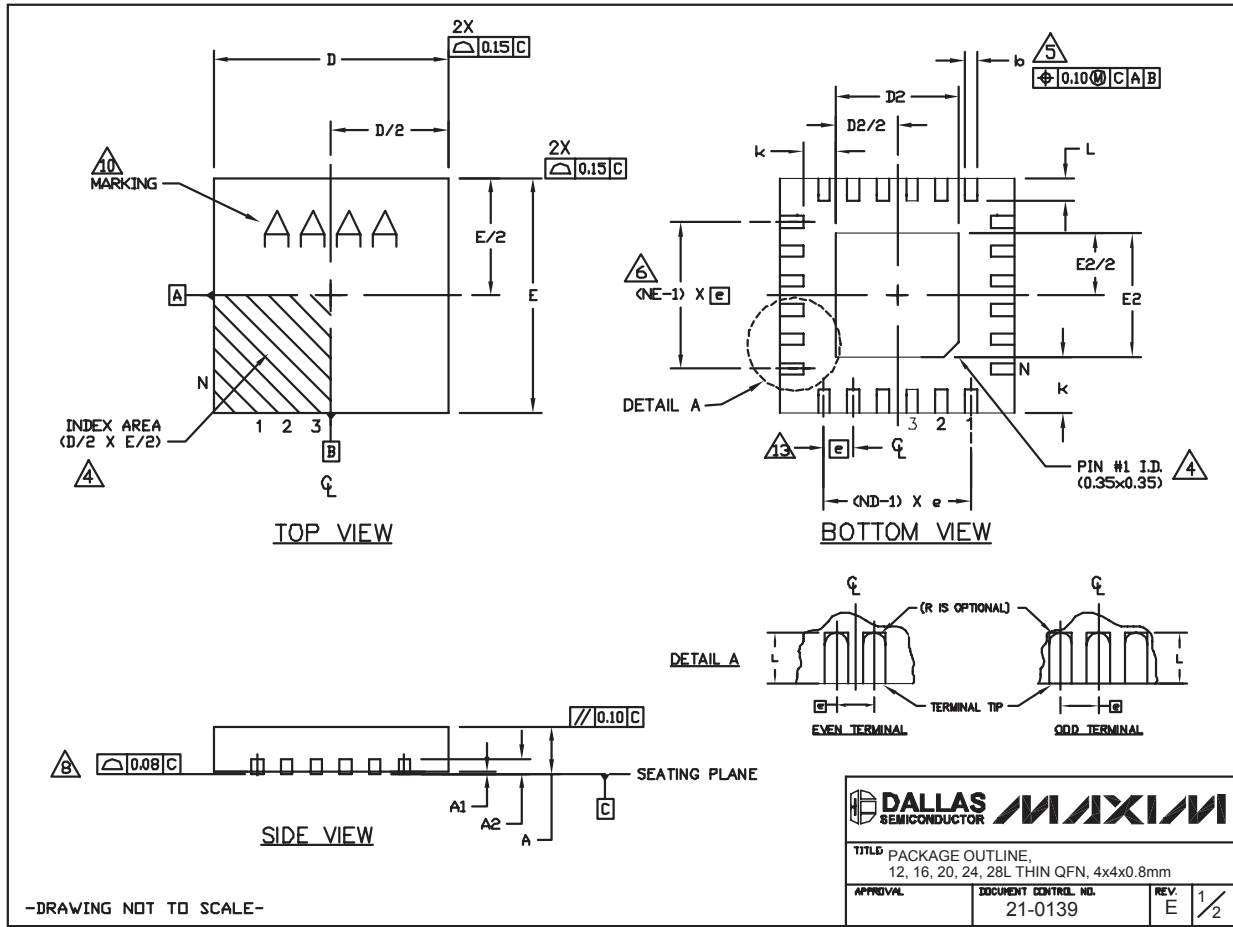
PROCESS: BICMOS

双/三/四电压、电容调节、 排序/监控电路

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 www.maxim-ic.com.cn/packages.)

MAX16041/MAX16042/MAX16043



24L QFN THIN.EPS

双/三/四电压、电容调节、 排序/监控电路

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX16041/MAX16042/MAX16043

COMMON DIMENSIONS													EXPOSED PAD VARIATIONS											
PKG REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4			28L 4x4			PKG CODES	D2			E2			DOWN BONDS ALLOWED	
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES	
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO	
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF			0.20 REF			T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES	
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25	T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO	
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES	
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO	
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES	
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES	
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50	T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO	
N	12			16			20			24			28			T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	NO	
ND	3			4			5			6			7											
NE	3			4			5			6			7											
JEDEC Ver.	WGGB			WGGC			WGGD-1			WGGD-2			WGGE											

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-3, T2444-4 AND T2844-1.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- COPLANARITY SHALL NOT EXCEED 0.08mm
- WARPAGE SHALL NOT EXCEED 0.10mm
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

TITLE PACKAGE OUTLINE, 12, 16, 20, 24, 28L THIN QFN, 4x4x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0139
REV. E	2/2

MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 15