

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

概述

优势和特性

MAX11335–MAX11340是12/10位、500kHz全线性带宽、高速、低功耗、串行输出逐次逼近型(SAR)模/数转换器(ADC)，采用外部基准。MAX11335–MAX11340可从外部连接集成复用器的输出和ADC输入，简化信号调理电路。MAX11335–MAX11340提供内部和外部时钟模式，在内部和外部时钟模式下均支持扫描模式。内部时钟模式下，器件的平均计算功能可有效提高SNR。外部时钟模式下采用SampleSet™技术，允许用户设置模拟输入通道的顺序。SampleSet架构为多通道应用提供更灵活的排序功能，减轻微控制器或DSP(控制单元)的通信负荷。

器件提供连接多路复用器输出和ADC输入的外部引脚，简化多路信号的信号调理设计。内部时钟模式下，集成FIFO支持高速数据采样，并保持数据以便在任意时刻、以较低的时钟速率读取数据。这种模式下，器件还支持内部平均计算，以提高嘈杂环境下的SNR。器件的模拟输入通道可以配置为单端输入、全差分输入或伪差分输入(相对于一个公共输入)。MAX11335–MAX11340采用2.35V至3.6V单电源供电，在500ksps采样速率下仅消耗4.2mW功率。

MAX11335–MAX11340包括自动关断(AutoShutdown™)、快速唤醒功能和高速3线串口。器件具有全关断模式，优化电源管理设计。8MHz、3线串口可直接连接到SPI、QSPI™和MICROWIRE®器件，无须外部逻辑转换。

优异的动态范围，低压、低功耗设计以及使用便捷、小尺寸封装等优势，使得这些转换器非常适合便携式电池供电数据采集系统，以及其它要求低功耗、空间紧凑的应用。

MAX11335–MAX11340采用32引脚、5mm x 5mm、TQFN封装，工作在-40°C至+125°C温度范围。

SampleSet 和AutoShutdown是Maxim Integrated Products, Inc. 的商标。
QSPI是Motorola, Inc.的商标。
MICROWIRE是National Semiconductor Corp.的注册商标。

订购信息在数据资料的最后给出。

- ◆ 提供扫描模式、内部平均和内部时钟
- ◆ 16路先入先出(FIFO)
- ◆ SampleSet: 用户定义通道顺序，最大长度为256
- ◆ 输入引脚
 - ◇ 允许任何单端、差分 and 伪差分对组合输入
- ◆ 模拟多路复用器具有真正的差分采样/保持
 - ◇ 16/8/4通道单端输入
 - ◇ 8通道全差分输入
 - ◇ 15/8/4通道相对于公共端的伪差分输入
- ◆ 外部可连接多路复用器输出和ADC输入
- ◆ 两个软件可选的双极性输入范围
 - ◇ $\pm V_{REF+}/2$ 、 $\pm V_{REF+}$
- ◆ 灵活的输入配置，可访问所有通道
- ◆ 高精度
 - ◇ ± 1 LSB INL, ± 1 LSB DNL, 无丢码
- ◆ 100kHz输入频率下保证70dB SINAD
- ◆ 1.5V至3.6V数字I/O电源
- ◆ 2.35V至3.6V供电电压
- ◆ 更长的电池寿命，适用于便携应用
 - ◇ 3V供电、500ksps下，功耗4.2mW
 - ◇ 全关断模式下，电流损耗2 μ A
- ◆ 外部差分基准(1V至 V_{DD})
- ◆ 8MHz、3线SPI/QSPI/MICROWIRE/DSP兼容接口
- ◆ -40°C至+125°C宽工作温度范围
- ◆ 节省空间的32引脚、5mm x 5mm、TQFN 封装
- ◆ 500ksps转换速率，无流水线延迟

应用

高速数据采集系统
高速闭环系统
工业控制系统
医疗仪表
电池供电仪表
便携系统

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX11335-MAX11340.related。

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND.....-0.3V to +4V
 AOP, AON, AIP, AIN, OVDD, AIN0–AIN13, CNVST/AIN14, REF+,
 REF-/AIN15 to GND..... -0.3V to the lower of
 (V_{DD} + 0.3V) and +4V
 \overline{CS} , SCLK, DIN, DOUT, \overline{EOC} TO GND-0.3V to the lower of
 (V_{OVDD} + 0.3V) and +4V
 DGND to GND.....-0.3V to +0.3V
 Input/Output Current (all pins)50mA

Continuous Power Dissipation (T_A = +70°C)
 TQFN (derate 34.4mW/°C above +70°C).....2758mW
 Operating Temperature Range.....-40°C to +125°C
 Junction Temperature+150°C
 Storage Temperature Range.....-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C
 Soldering Temperature (reflow)+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TQFN

Junction-to-Ambient Thermal Resistance (θ_{JA}).....29°C/W
 Junction-to-Case Thermal Resistance (θ_{JC}).....1.7°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS (MAX11335/MAX11336/MAX11337)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Notes 3 and 4)						
Resolution	RES	12 bit	12			Bits
Integral Nonlinearity	INL				±1.0	LSB
Differential Nonlinearity	DNL	No missing codes			±1.0	LSB
Offset Error				1.2	±3.0	LSB
Gain Error		(Note 5)		-0.02	±5.5	LSB
Offset Error Temperature Coefficient	OE _{TC}			±2		ppm/°C
Gain Temperature Coefficient	GE _{TC}			±0.8		ppm/°C
Channel-to-Channel Offset Matching				±0.5		LSB
Line Rejection	PSR	(Note 6)		±0.3	±2	LSB/V
DYNAMIC PERFORMANCE (100kHz, Input Sine Wave) (Notes 3 and 7)						
Signal-to-Noise Plus Distortion	SINAD		70	71.9		dB
Signal-to-Noise Ratio	SNR		70	72.3		dB
Total Harmonic Distortion (Up to the 5th Harmonic)	THD			-83	-76	dB
Spurious-Free Dynamic Range	SFDR		77	84		dB
Intermodulation Distortion	IMD	f ₁ = 99.2432kHz, f ₂ = 69.2139kHz		-85		dB
Full-Power Bandwidth		-3dB		30		MHz
		-0.1dB		5		
Full-Linear Bandwidth		SINAD ≥ 70dB		0.5		MHz

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

ELECTRICAL CHARACTERISTICS (MAX11335/MAX11336/MAX11337) (continued)

($V_{DD} = 2.35V$ to $3.6V$, $V_{OVDD} = 1.5V$ to $3.6V$, $f_{SAMPLE} = 500ksps$, $f_{SCLK} = 8MHz$, 50% duty cycle, $V_{REF+} = V_{DD}$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Crosstalk		-0.5dB below full-scale of 99.2432kHz sine wave input to the channel being sampled, apply full-scale 69.2139kHz sine wave signal to all 15 nonselected input channels.		-88		dB
CONVERSION RATE						
Power-Up Time	t_{PU}	Conversion cycle, external clock			2	Cycles
Acquisition Time	t_{ACQ}			312		ns
Conversion Time	t_{CONV}	Internally clocked (Note 8)		5.9		μs
		Externally clocked, $f_{SCLK} = 8MHz$, 16 cycles (Note 8)	2000			ns
External Clock Frequency	f_{SCLK}		0.16		8	MHz
Aperture Delay				8		ns
Aperture Jitter		RMS		30		ps
ANALOG INPUT						
Input Voltage Range	V_{INA}	Unipolar, (single ended and pseudo-differential)	0		V_{REF+}	V
		Bipolar (Note 9)	Range bit set to 0	$-V_{REF+}/2$	$V_{REF+}/2$	
			Range bit set to 1	$-V_{REF+}$	V_{REF+}	
Absolute Input Voltage Range		A_{IN+} , A_{IN-} relative to GND	-0.1		$V_{REF+} + 0.1$	V
Static Input Leakage Current	I_{ILA}	$V_{AIN} = V_{DD}$, GND		-0.1	± 1.5	μA
Input Capacitance	C_{AIN}	During acquisition time; RANGE bit = 0 (Note 10)		15		pF
		During acquisition time; RANGE bit = 1 (Note 10)		7.5		
EXTERNAL REFERENCE INPUT						
REF- Input Voltage Range	V_{REF-}		-0.3		+1	V
REF+ Input Voltage Range	V_{REF+}		1		$V_{DD} + 50mV$	V
REF+ Input Current	I_{REF+}	$V_{REF+} = 2.5V$, $f_{SAMPLE} = 500ksps$		36.7		μA
		$V_{REF+} = 2.5V$, $f_{SAMPLE} = 0Msps$		0.1		
DIGITAL INPUTS (SCLK, DIN, CS, CNVST)						
Input Voltage Low	V_{IL}				$V_{OVDD} \times 0.25$	V
Input Voltage High	V_{IH}				$V_{OVDD} \times 0.75$	V
Input Hysteresis	V_{HYST}				$V_{OVDD} \times 0.15$	mV

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

ELECTRICAL CHARACTERISTICS (MAX11335/MAX11336/MAX11337) (continued)

($V_{DD} = 2.35V$ to $3.6V$, $V_{OVDD} = 1.5V$ to $3.6V$, $f_{SAMPLE} = 500ksps$, $f_{SCLK} = 8MHz$, 50% duty cycle, $V_{REF+} = V_{DD}$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage Current	I_{IN}	$V_{AIN} = 0V$ or V_{DD}		± 0.09	± 1.0	μA
Input Capacitance	C_{IN}			3		pF
DIGITAL OUTPUTS (DOUT, \overline{EOC})						
Output Voltage Low	V_{OL}	$I_{SINK} = 200\mu A$			$V_{OVDD} \times 0.15$	V
Output Voltage High	V_{OH}	$I_{SOURCE} = 200\mu A$	$V_{OVDD} \times 0.85$			V
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD}$		-0.3	± 1.5	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$		4		pF
POWER REQUIREMENTS						
Positive Supply Voltage	V_{DD}		2.35	3.0	3.6	V
Digital I/O Supply Voltage	V_{OVDD}		1.5	3.0	3.6	V
Positive Supply Current	I_{DD}	$f_{SAMPLE} = 500ksps$		1.4	2	mA
		$f_{SAMPLE} = 0Msps$ (500ksps devices)		1		
		Full shutdown		0.0015	0.006	
Power Dissipation	Normal mode (External Reference)	$V_{DD} = 3V$, $f_{SAMPLE} = 500ksps$		4.2		mW
		$V_{DD} = 2.35V$, $f_{SAMPLE} = 500ksps$		3.1		
	AutoStandby	$V_{DD} = 3V$, $f_{SAMPLE} = 500ksps$		1.5		
		$V_{DD} = 2.35V$, $f_{SAMPLE} = 500ksps$		0.9		
	Full/ AutoShutdown	$V_{DD} = 3V$		4.5		μW
		$V_{DD} = 2.35V$		2.1		
TIMING CHARACTERISTICS (Figure 1) (Note 11)						
SCLK Clock Period	t_{CP}	Externally clocked conversion	125			ns
SCLK Duty Cycle	t_{CH}		40		60	%
SCLK Fall to DOUT Transition	t_{DOT}	$C_{LOAD} = 10pF$	$V_{OVDD} = 1.5V$ to $2.35V$	4	16.5	ns
			$V_{OVDD} = 2.35V$ to $3.6V$	4	15	
16th SCLK Fall to DOUT Disable	t_{DOD}	$C_{LOAD} = 10pF$, channel ID on			15	ns
14th SCLK Fall to DOUT Disable		$C_{LOAD} = 10pF$, channel ID off			16	ns
SCLK Fall to DOUT Enable	t_{DOE}	$C_{LOAD} = 10pF$			14	ns
DIN to SCLK Rise Setup	t_{DS}		4			ns
SCLK Rise to DIN Hold	t_{DH}		1			ns

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

ELECTRICAL CHARACTERISTICS (MAX11335/MAX11336/MAX11337) (continued)

($V_{DD} = 2.35V$ to $3.6V$, $V_{OVDD} = 1.5V$ to $3.6V$, $f_{SAMPLE} = 500ksps$, $f_{SCLK} = 8MHz$, 50% duty cycle, $V_{REF+} = V_{DD}$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} Fall to SCLK Fall Setup	t_{CSS}		4			ns
SCLK Fall to \overline{CS} Fall Hold	t_{CSH}		1			ns
\overline{CNVST} Pulse Width	t_{CSW}	See Figure 6	5			ns
\overline{CS} or \overline{CNVST} Rise to \overline{EOC} Low (Note 6)	t_{CNV_INT}	See Figure 7, $f_{SAMPLE} = 500ksps$		5.3	6.2	μs
\overline{CS} Pulse Width	t_{CSBW}		5			ns

ELECTRICAL CHARACTERISTICS (MAX11338/MAX11339/MAX11340)

($V_{DD} = 2.35V$ to $3.6V$, $V_{OVDD} = 1.5V$ to $3.6V$, $f_{SAMPLE} = 500ksps$, $f_{SCLK} = 8MHz$, 50% duty cycle, $V_{REF+} = V_{DD}$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Notes 3 and 4)						
Resolution	RES	10 bit	10			Bits
Integral Nonlinearity	INL				± 0.4	LSB
Differential Nonlinearity	DNL	No missing codes			± 0.4	LSB
Offset Error				0.7	± 1.2	LSB
Gain Error		(Note 5)		0	± 1.5	LSB
Offset Error Temperature Coefficient	OE_{TC}			± 2		ppm/ $^{\circ}C$
Gain Temperature Coefficient	GE_{TC}			± 0.8		ppm/ $^{\circ}C$
Channel-to-Channel Offset Matching				± 0.5		LSB
Line Rejection	PSR	(Note 6)		0.2	± 1.0	LSB/V
DYNAMIC PERFORMANCE (100kHz, Input Sine Wave) (Notes 3 and 7)						
Signal-to-Noise Plus Distortion	SINAD		61	61.5		dB
Signal-to-Noise Ratio	SNR		61	61.5		dB
Total Harmonic Distortion (Up to the 5th Harmonic)	THD			-82.5	-75	dB
Spurious-Free Dynamic Range	SFDR		76	83.4		dB
Intermodulation Distortion	IMD	$f_1 = 99.2432kHz$, $f_2 = 69.2139kHz$		-83		dB
Full-Power Bandwidth		-3dB		30		MHz
		-0.1dB		5		MHz
Full-Linear Bandwidth		$SINAD \geq 61dB$		0.5		MHz

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

ELECTRICAL CHARACTERISTICS (MAX11338/MAX11339/MAX11340) (continued)

($V_{DD} = 2.35V$ to $3.6V$, $V_{OVDD} = 1.5V$ to $3.6V$, $f_{SAMPLE} = 500ksps$, $f_{SCLK} = 8MHz$, 50% duty cycle, $V_{REF+} = V_{DD}$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Crosstalk		-0.5dB below full-scale of 99.2432kHz sine-wave input to the channel being sampled; apply full-scale 69.2139kHz sine wave signal to all 15 nonselected input channels		-88		dB
CONVERSION RATE						
Power-Up Time	t_{PU}	Conversion cycle, external clock			2	Cycles
Acquisition Time	t_{ACQ}			312		ns
Conversion Time	t_{CONV}	Internally clocked (Note 8)		5.9		μs
		Externally clocked, $f_{SCLK} = 8MHz$, 16 cycles (Note 8)	2000			ns
External Clock Frequency	f_{SCLK}		0.16		8	MHz
Aperture Delay				8		ns
Aperture Jitter		RMS		30		ps
ANALOG INPUT						
Input Voltage Range	V_{INA}	Unipolar (single-ended and pseudo differential)	0		V_{REF+}	V
		Bipolar (Note 9)	RANGE bit set to 0	$-V_{REF+}/2$	$+V_{REF+}/2$	
			RANGE bit set to 1	$-V_{REF+}$	$+V_{REF+}$	
Absolute Input Voltage Range		A_{IN+} , A_{IN-} relative to GND	-0.1		$V_{REF+} + 0.1$	V
Static Input Leakage Current	I_{ILA}	$V_{AIN-} = V_{DD}$, GND		-0.1	± 1.5	μA
Input Capacitance	C_{AIN}	During acquisition time, RANGE bit = 0 (Note 10)		15		μF
		During acquisition time, RANGE bit = 1 (Note 10)		7.5		
EXTERNAL REFERENCE INPUT						
REF- Input Voltage Range	V_{REF-}		-0.3		+1	V
REF+ Input Voltage Range	V_{REF+}		1		$V_{DD} + 50mV$	V
REF+ Input Current	I_{REF+}	$V_{REF+} = 2.5V$, $f_{SAMPLE} = 500ksps$		36.7		μA
		$V_{REF+} = 2.5V$, $f_{SAMPLE} = 0Msps$		0.1		μA
DIGITAL INPUTS (SCLK, DIN, CS, CNVST)						
Input Voltage Low	V_{IL}				$V_{OVDD} \times 0.25$	V
Input Voltage High	V_{IH}				$V_{OVDD} \times 0.75$	V

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

ELECTRICAL CHARACTERISTICS (MAX11338/MAX11339/MAX11340) (continued)

($V_{DD} = 2.35V$ to $3.6V$, $V_{OVDD} = 1.5V$ to $3.6V$, $f_{SAMPLE} = 500ksps$, $f_{SCLK} = 8MHz$, 50% duty cycle, $V_{REF+} = V_{DD}$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Hysteresis	V_{HYST}			$V_{OVDD} \times 0.15$		mV
Input Leakage Current	I_{IN}	$V_{AIN_} = 0V$ or V_{DD}		± 0.09	± 1.0	μA
Input Capacitance	C_{IN}			3		pF
DIGITAL OUTPUTS (DOUT, \overline{EOC})						
Output Voltage Low	V_{OL}	$I_{SINK} = 200\mu A$			$V_{OVDD} \times 0.15$	V
Output Voltage High	V_{OH}	$I_{SOURCE} = 200\mu A$	$V_{OVDD} \times 0.85$			V
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD}$		-0.3	± 1.5	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$		4		pF
POWER REQUIREMENTS						
Positive Supply Voltage	V_{DD}		2.35	3.0	3.6	V
Digital I/O Supply Voltage	V_{OVDD}		1.5	3.0	3.6	V
Positive Supply Current	I_{DD}	$f_{SAMPLE} = 500ksps$		1.4	2	mA
		$f_{SAMPLE} = 0Msps$ (500ksps devices)		1		
		Full shutdown		0.0015	0.006	
Power Dissipation	Normal mode (external reference)	$V_{DD} = 3V$, $f_{SAMPLE} = 500ksps$		4.2		mW
		$V_{DD} = 2.35V$, $f_{SAMPLE} = 500ksps$		3.1		
	AutoStandby	$V_{DD} = 3V$, $f_{SAMPLE} = 500ksps$		1.5		
		$V_{DD} = 2.35V$, $f_{SAMPLE} = 500ksps$		0.9		
	Full/ AutoShutdown	$V_{DD} = 3V$		4.5		μW
		$V_{DD} = 2.35V$		2.1		
TIMING CHARACTERISTICS (Figure 1) (Note 11)						
SCLK Clock Period	t_{CP}	Externally clocked conversion	125			ns
SCLK Duty Cycle	t_{CH}		40		60	%
SCLK Fall to DOUT Transition	t_{DOT}	$C_{LOAD} = 10pF$	$V_{OVDD} = 1.5V$ to $2.35V$	4	16.5	ns
			$V_{OVDD} = 2.35V$ to $3.6V$	4	15	
16th SCLK Fall to DOUT Disable	t_{DOD}	$C_{LOAD} = 10pF$, channel ID on			15	ns
14th SCLK Fall to DOUT Disable		$C_{LOAD} = 10pF$, channel ID off			16	ns
SCLK Fall to DOUT Enable	t_{DOE}	$C_{LOAD} = 10pF$			14	ns
DIN to SCLK Rise Setup	t_{DS}		4			ns

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

ELECTRICAL CHARACTERISTICS (MAX11338/MAX11339/MAX11340) (continued)

($V_{DD} = 2.35V$ to $3.6V$, $V_{OVDD} = 1.5V$ to $3.6V$, $f_{SAMPLE} = 500ksps$, $f_{SCLK} = 8MHz$, 50% duty cycle, $V_{REF+} = V_{DD}$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Rise to DIN Hold	t_{DH}		1			ns
\overline{CS} Fall to SCLK Fall Setup	t_{CSS}		4			ns
SCLK Fall to \overline{CS} Fall Hold	t_{CSH}		1			ns
\overline{CNVST} Pulse Width	t_{CSW}	See Figure 6	5			ns
\overline{CS} or \overline{CNVST} Rise to \overline{EOC} Low (Note 7)	t_{CNV_INT}	See Figure 7, $f_{SAMPLE} = 500ksps$		5.3	6.2	μs
\overline{CS} Pulse Width	t_{CSBW}		5			ns

Note 2: Limits are 100% production tested at $T_A = +25^{\circ}C$. Limits over the operating temperature range are guaranteed by design. Parts are tested with MUX externally connected to the ADC input.

Note 3: Channel ID disabled.

Note 4: Tested in single-ended mode.

Note 5: Offset nulled.

Note 6: Line rejection $\Delta(D_{OUT})$ with $V_{DD} = 2.35V$ to $3.6V$ and $V_{REF+} = 2.35V$.

Note 7: Tested and guaranteed with fully differential input.

Note 8: Conversion time is defined as the number of clock cycles multiplied by the clock period with a 50% duty cycle.

Maximum conversion time: $4.73\mu s + N \times 16 \times t_{OSC_MAX}$

$t_{OSC_MAX} = 88.2ns$, $t_{OSC_TYP} = 75ns$.

Note 9: The operational input voltage range for each individual input of a differentially configured pair is from V_{DD} to GND. The operational input voltage difference is from $-V_{REF+}/2$ to $+V_{REF+}/2$ or $-V_{REF+}$ to $+V_{REF+}$.

Note 10: See [Figure 3](#) (Equivalent Input Circuit).

Note 11: Guaranteed by characterization.

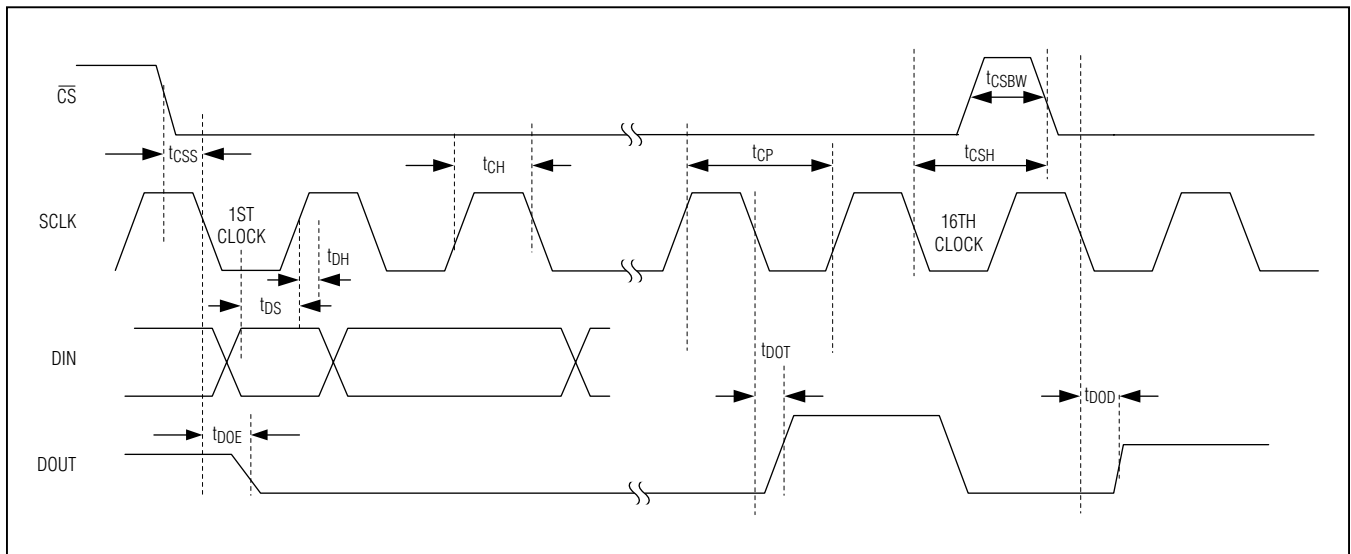


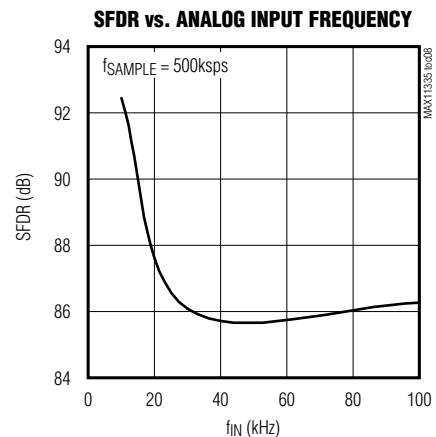
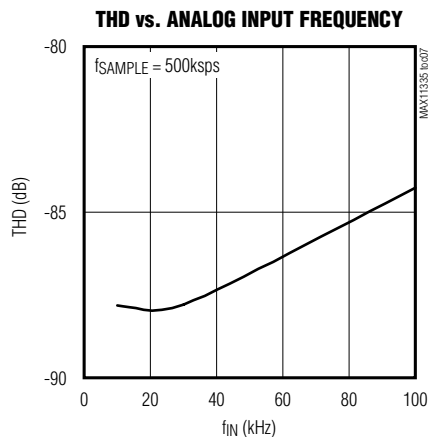
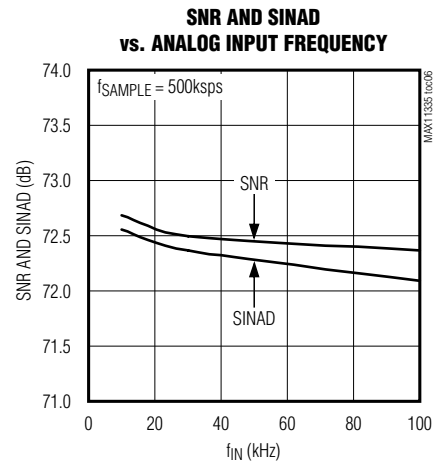
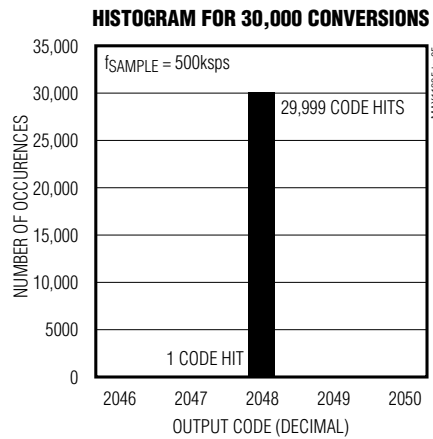
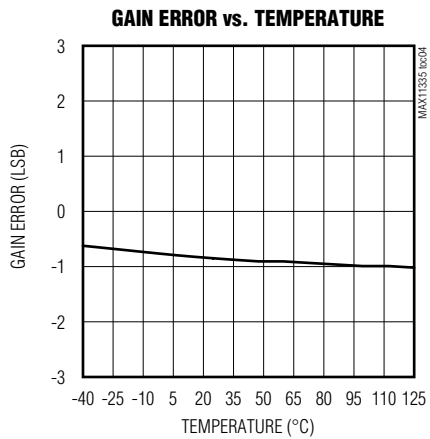
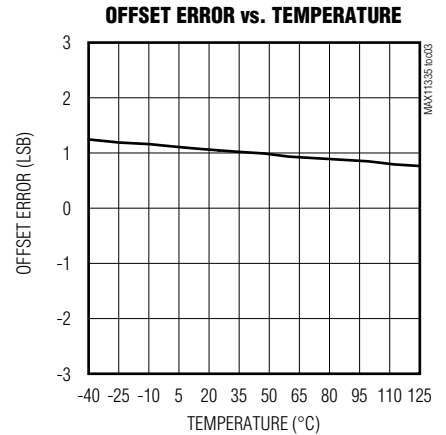
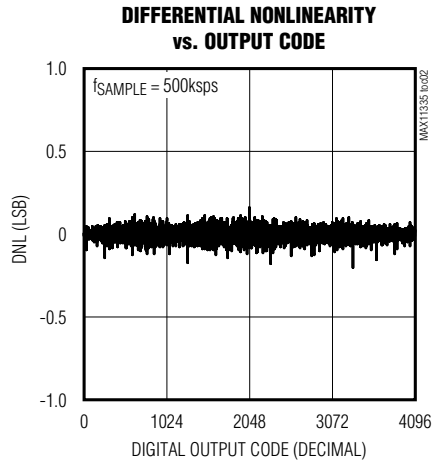
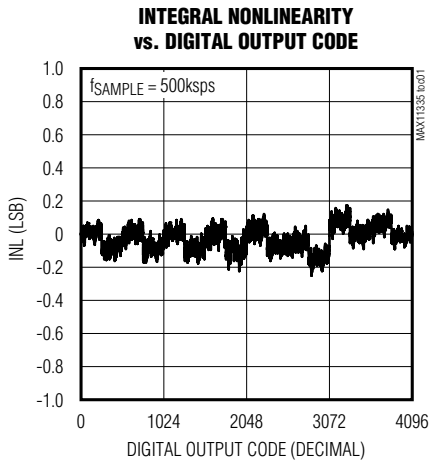
图1. 串行接口详细时序图

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC，
提供外部信号调理复用输入

典型工作特性

(MAX11335ATJ+/MAX11336ATJ+/MAX11337ATJ+, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

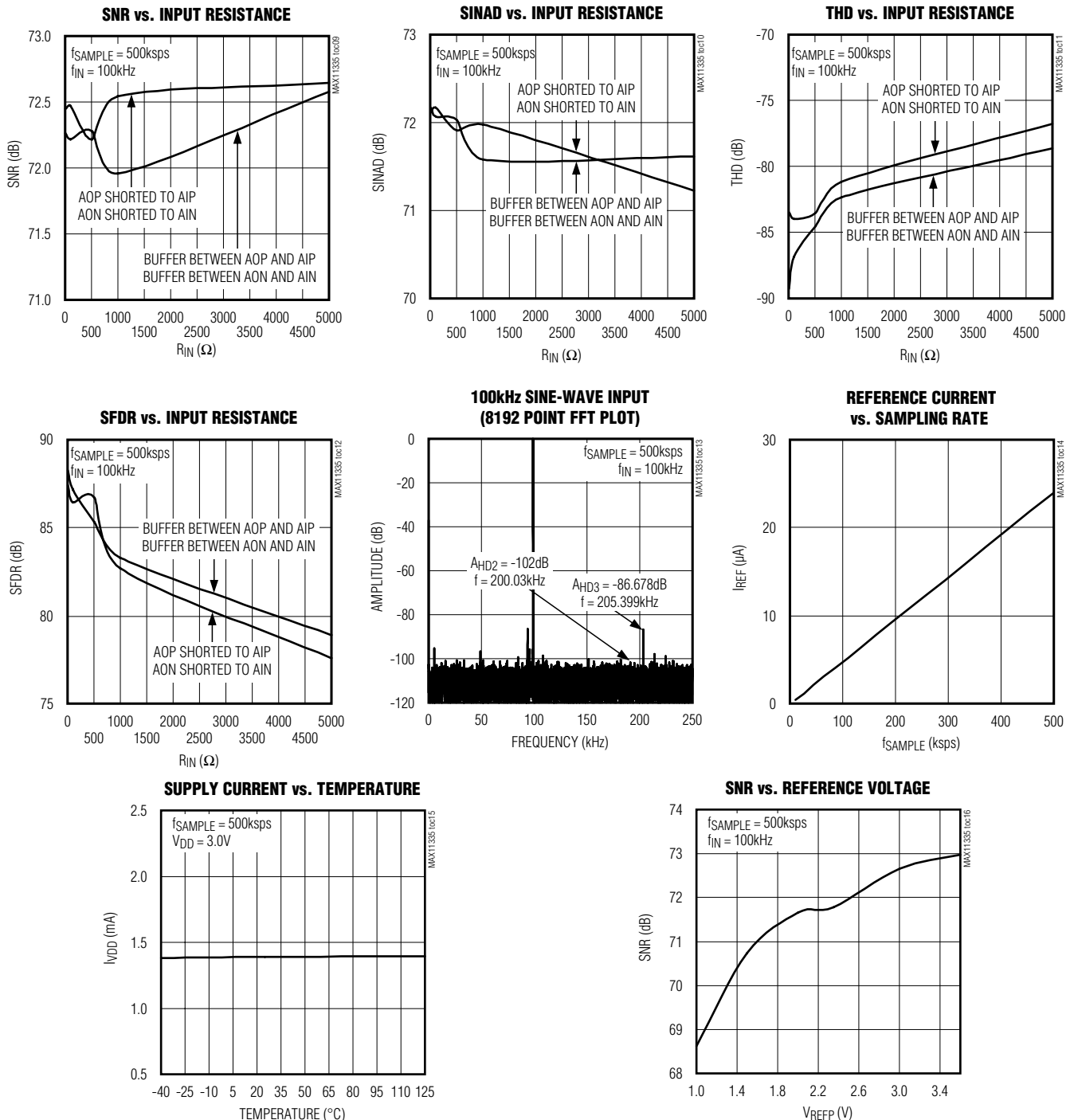


MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

典型工作特性(续)

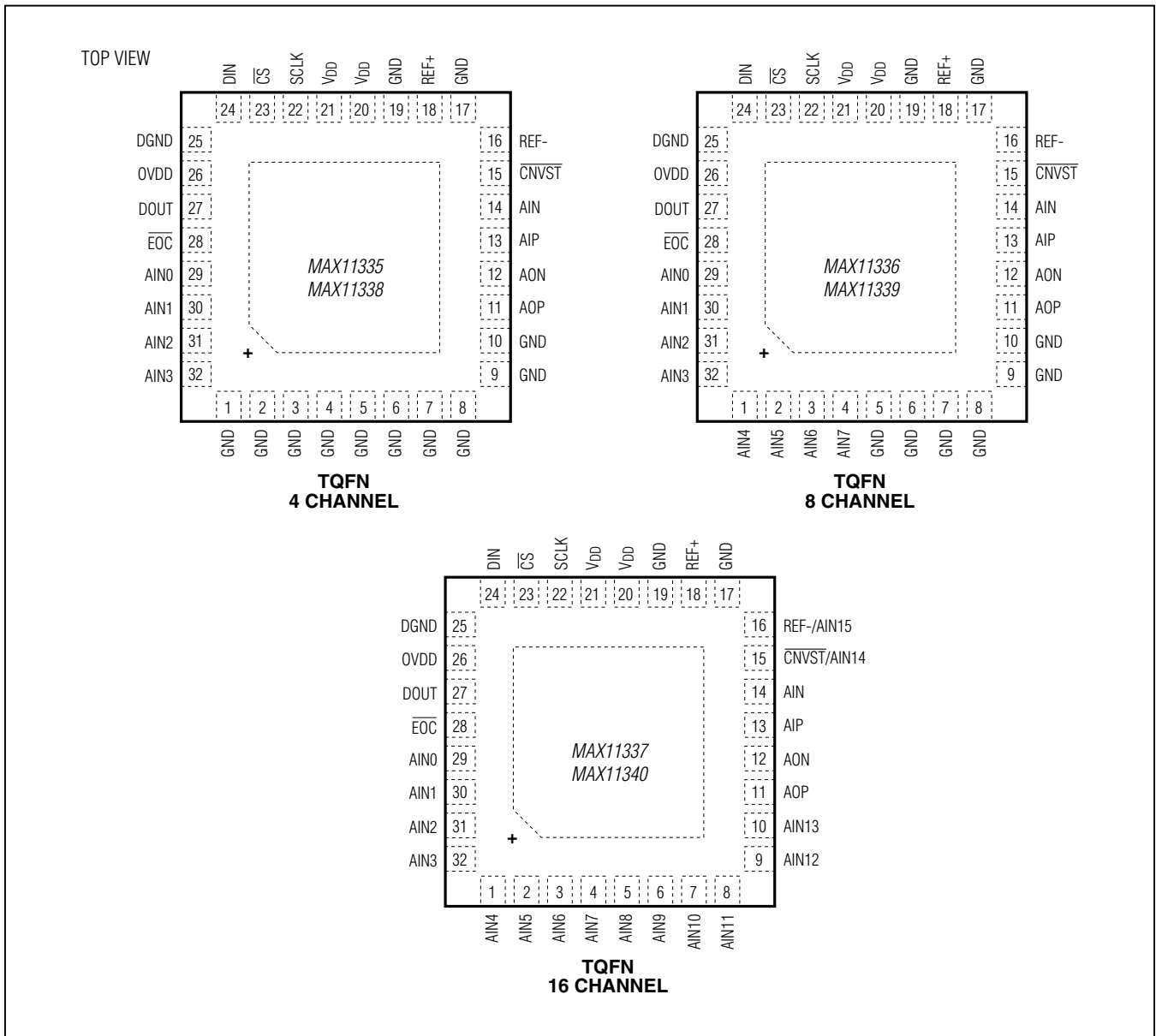
(MAX11335ATJ+/MAX11336ATJ+/MAX11337ATJ+, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC，
提供外部信号调理复用输入

引脚配置



MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

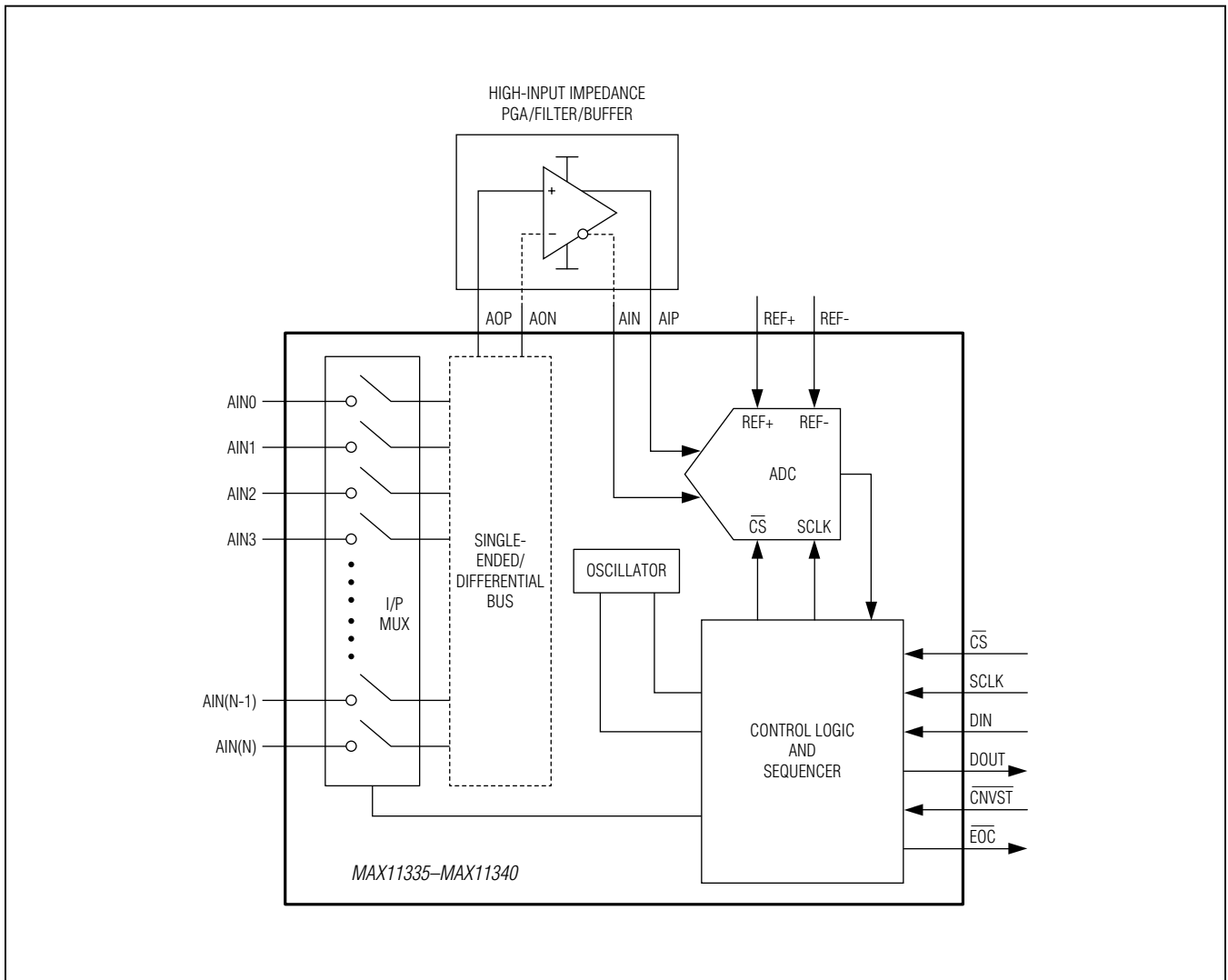
引脚说明

MAX11335 MAX11338 (4 通道)	MAX11336 MAX11339 (8 通道)	MAX11337 MAX11340 (16 通道)	名称	功能
1–10, 17, 19	5–10, 17, 19	17, 19	GND	地。
11	11	11	AOP	多路复用器输出正端。
12	12	12	AON	多路复用器输出负端。
13	13	13	AIP	ADC输入正端。
14	14	14	AIN	ADC输入负端。
15	15	—	$\overline{\text{CNVST}}$	低电平有效转换启动输入。
16	16	—	REF-	外部差分基准输入负端。
18	18	18	REF+	外部基准输入正端，基准电压施加至REF+。利用0.47 μF 电容旁路至GND。
20, 21	20, 21	20, 21	V _{DD}	电源输入，利用并联的10 μF 和0.1 μF 电容旁路至GND。
22	22	22	SCLK	串行时钟输入，将数据移入或移出串行接口。
23	23	23	$\overline{\text{CS}}$	低电平有效片选输入。 $\overline{\text{CS}}$ 为低电平时，使能串行接口； $\overline{\text{CS}}$ 为高电平时，DOUT为高阻或三态。
24	24	24	DIN	串行数据输入，DIN上的数据在SCLK上升沿锁存至串行接口。
25	25	25	DGND	数字I/O地。
26	26	26	OVDD	数字电源输入，利用并联的10 μF 和0.1 μF 电容旁路至GND。
27	27	27	DOUT	串口数据输出，在SCLK的下降沿移出数据。 $\overline{\text{CS}}$ 为高电平时，DOUT为高阻或三态。
28	28	28	$\overline{\text{EOC}}$	转换结束输出。将 $\overline{\text{EOC}}$ 驱动为低电平后，数据有效(仅限内部时钟模式)。
29–32	—	—	AIN0–AIN3	模拟输入。
—	—	15	$\overline{\text{CNVST}}$ / AIN14	低电平有效转换启动输入/模拟输入14。
—	—	16	REF-/AIN15	外部差分基准输入负端/模拟输入15。
—	—	29–32, 1–10	AIN0–AIN13	模拟输入。
—	29–32, 1–4	—	AIN0–AIN7	模拟输入。
—	—	—	EP	裸焊盘，将EP直接连接至GND平面，以保证工作性能。

MAX11335-MAX11340

500ksps、12/10位、4/8/16通道ADC，
提供外部信号调理复用输入

功能框图



MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

外部缓冲器应具有非常高的输入阻抗(低漏电流)，以确保最佳线性度。如果不需要附加信号处理，可将AOP连接至AIP，将AON连接至AIN。建议限制源阻抗，以防影响ADC的采样精度，造成线性度下降及总谐波失真。请参见[典型工作特性](#)部分的SINAD vs. Input Resistance曲线图。

输入带宽

ADC输入采样电路具有500MHz小信号全线性带宽，使器件能够量化高速瞬变信号并利用欠采样技术对带宽超过ADC采样率的周期性信号进行测量。输入信号有必要进行抗混叠滤波，以免高频信号混叠至有用信号频带。

3线串行接口

MAX11335–MAX11340具有SPI/QSPI及MICROWIRE兼容串行接口。对于SPI/QSPI，确保CPU串行接口工作在主控模式，以产生串行时钟信号。选择8MHz或更低的SCLK频率，将控制寄存器的时钟极性(CPOL)和相位(CPHA)设定

为相同值。MAX11335–MAX11340在SCLK为空闲高电平时工作，所以CPOL = CPHA = 1。

将 \overline{CS} 设置为低电平时，在SCLK的上升沿锁存DIN的输入数据。在SCLK的下降沿更新DOUT输出数据。 \overline{CS} 从高电平跳变至低电平时，采集模拟输入并启动一个新的帧转换。一帧定义为 \overline{CS} 两个下降沿之间的信号，每帧最少16位数据。串行数据输入DIN在SCLK的上升沿将数据移入控制寄存器，串行数据输出DOUT提供转换结果，在SCLK的下降沿移出。DOUT为16位数据字，包含4位通道地址，后随12位转换结果；当ADC模式控制寄存器中的CHAN_ID置1时，MSB在前(图2a)。CHAN_ID置1时，SCLK在/ \overline{CS} 下降沿之前至少25ns保持为高电平(图2b)；CHAN_ID置0时(仅限外部时钟模式)，16位数据字包括一个前导零，12位转换结果之后为3个后导零(图2c)；10位转换结果之后为5个后导零。

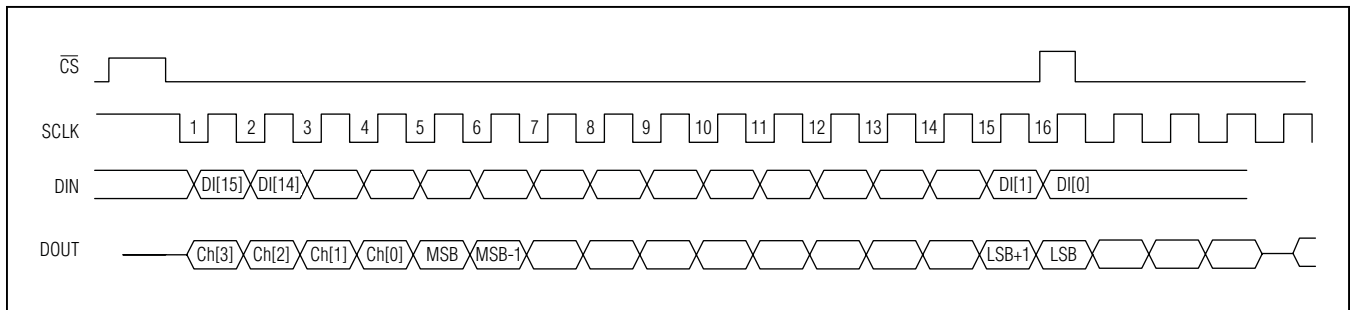


图2a. 外部时钟模式时序图，CHAN_ID = 1

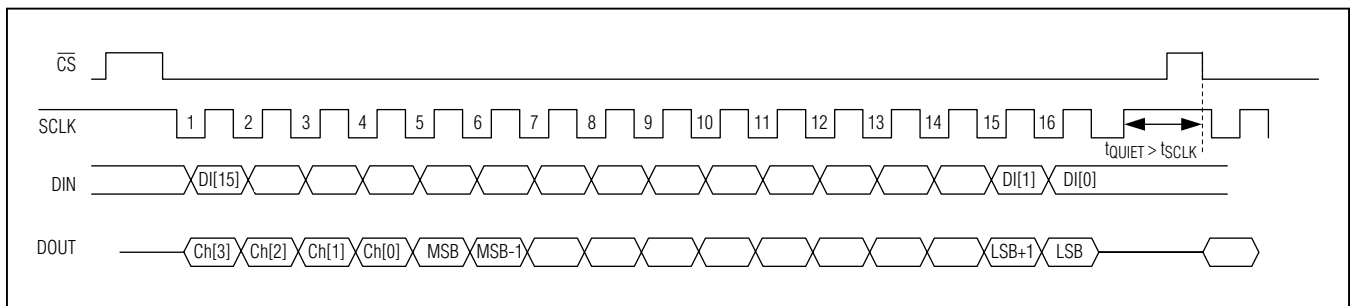


图2b. 外部时钟模式时序图，CHAN_ID = 1，可获得最佳性能

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

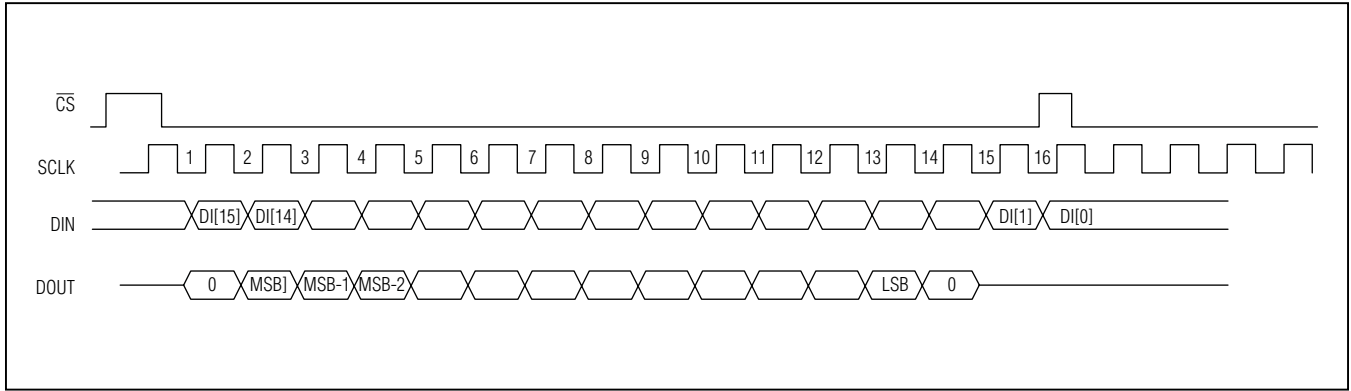


图2c. 外部时钟模式时序图，CHAN_ID = 0

单端、差分和伪差分输入

MAX11335–MAX11340包括最多16路模拟输入通道，可逐引脚配置为16路单端输入、8路全差分输入或15路伪差分输入(相对于一路公共输入；REF-/AIN15为公共输入)。

模拟输入范围在单端和伪差分模式(单极性)下为0V至 V_{REF+} ，在全差分模式(双极性)模式下为 $\pm V_{REF+}/2$ 或 $\pm V_{REF+}$ ，取决于RANGE寄存器的设置。关于RANGE寄存器的设置，请参考表7。

单极性模式将差分输入范围设定为0至 V_{REF+} 。单极性模式下，如果模拟输入正端电压低于模拟输入负端电压，数字输出编码为零。如果选择双极性模式，则将差分输入范围设定为 $\pm V_{REF+}/2$ 或 $\pm V_{REF+}$ ，取决于RANGE寄存器的设置(表7)。

单端模式下，ADC总是工作在单极性模式。模拟输入在内部以GND为参考，满幅输入范围为0V至 V_{REF+} 。单端转换在内部以GND为参考(图3)。

将Unipolar寄存器中的PDIFF_COM位置1，MAX11335–MAX11340可提供多达15路伪差分输入(表10)。15路模拟输入信号以施加在REF-/AIN15的直流信号为参考。

全差分基准(REF+、REF-)

在全差分模式中使用基准时(REFSEL = 1)，满幅范围由REF+与REF-之差设定。如果输入信号超过该基准范围，输出编码则为最大值。

ADC传递函数

MAX11335–MAX11340的输出格式在单极性格式下为标准二进制码；在双极性模式下为二进制补码。编码在连续

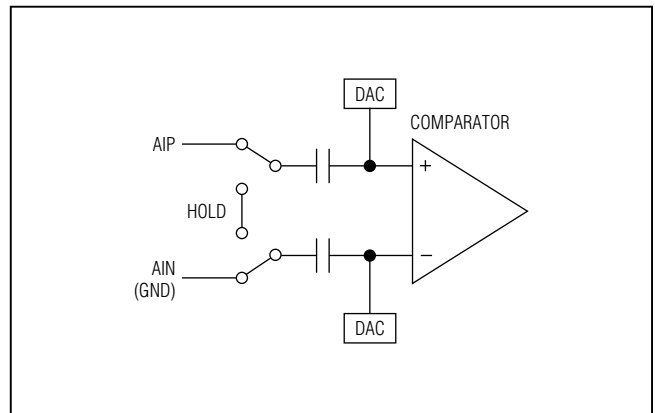


图3. 等效输入电路

整数LSB的中间值发生跃变，例如0.5 LSB、1.5 LSB。图4和图5所示分别为单极性和双极性传递函数。输出编码为二进制，对于12位器件，例如MAX11335/MAX11336/MAX11337， $1 \text{ LSB} = V_{REF+}/4096$ 。

内部FIFO

MAX11335–MAX11340包括FIFO缓冲器，可保存多达16个ADC结果。允许ADC处理多个内部时钟驱动的转换，无需占用串行总线。如果FIFO已填满，在未读取FIFO的情况下需要更多转换，新的ADC转换结果将覆盖最早的ADC结果。每个结果包含2个字节，MSB之前有四个通道地址位。CS的每个下降沿之后，通过DOUT输出最早产生的转换数据。FIFO为空时，DOUT为零。

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

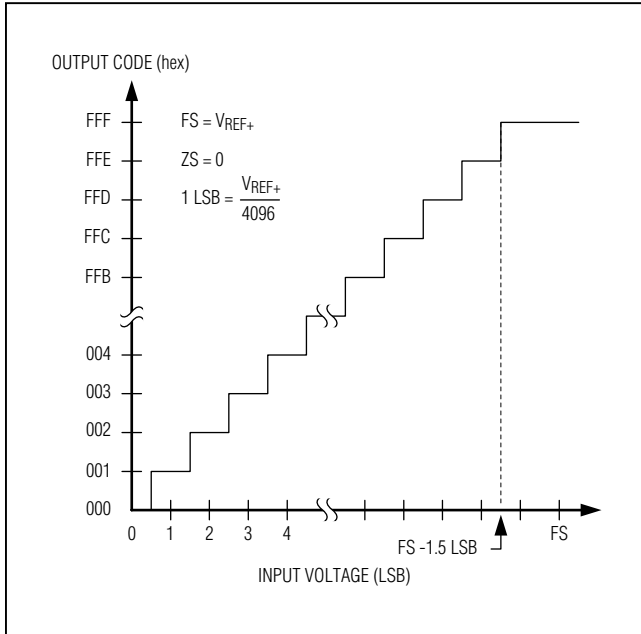


图4. 12位分辨率的单极性传递函数

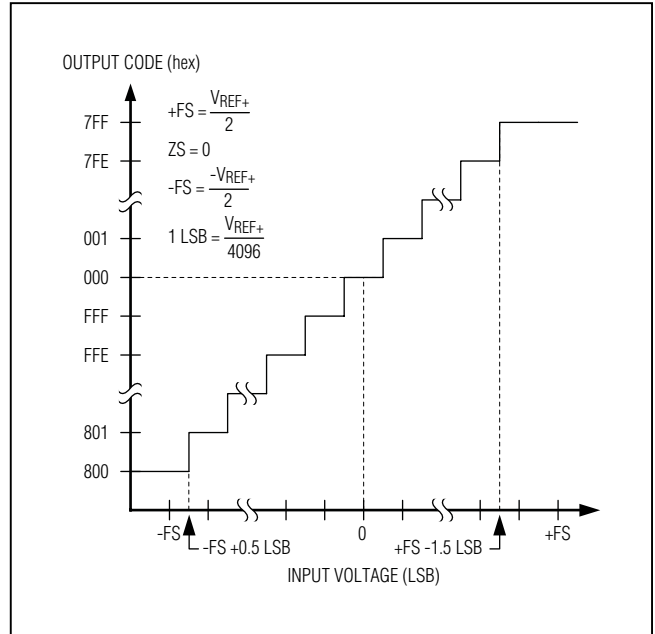


图5. 12位分辨率的双极性传递函数

外部时钟

从内部时钟模式转换为外部时钟模式时，应产生一次软复位：RESET [1:0] = 10。外部时钟模式的具体工作取决于利用SCAN[3:0]位选择的工作模式(见表3)。外部时钟模式下，在CS的下降沿采集模拟输入。串行时钟(SCLK)用来执行转换。

根据所选模式的不同，排序器在每一帧从串行数据输入(DIN)调取被转换的通道(例如手动模式)，在下一帧将转换结果送至串行输出(DOUT)。

在其它外部时钟模式下，转换通道的顺序由表3所选模式(SCAN[3:0])决定。关于设置模式的更多详细信息，请参见应用信息。

内部时钟

从内部时钟模式转变为外部时钟模式时，应产生一次软复位：RESET [1:0] = 10。MAX11335–MAX11340采用内部振荡器工作，13.33MHz标称时钟频率下的振荡器精度为±15%

以内。通过向ADC模式控制寄存器写入相应的序列，请求内部定时转换(表2)。

唤醒、采集、转换和关断序列由CNVST启动，使用内部振荡器自动执行。结果添加到内部FIFO。

CS为高电平时，通过将CNVST置为低电平至少5ns然后再将其拉高，启动扫描(图6)。随后将唤醒MAX11335–MAX11340，扫描转换所有请求转换的通道，并将结果储存在FIFO，然后关断。完成扫描转换后，器件拉低EOC，即可读取FIFO中的结果。等待EOC变为低电平后，拉低CS，以便与串行接口通信。EOC保持为低电平，直到CS或CNVST再次拉低。在EOC变为低电平之前，不能启动第二次CNVST；否则，FIFO可能发生错误。

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC，
提供外部信号调理复用输入

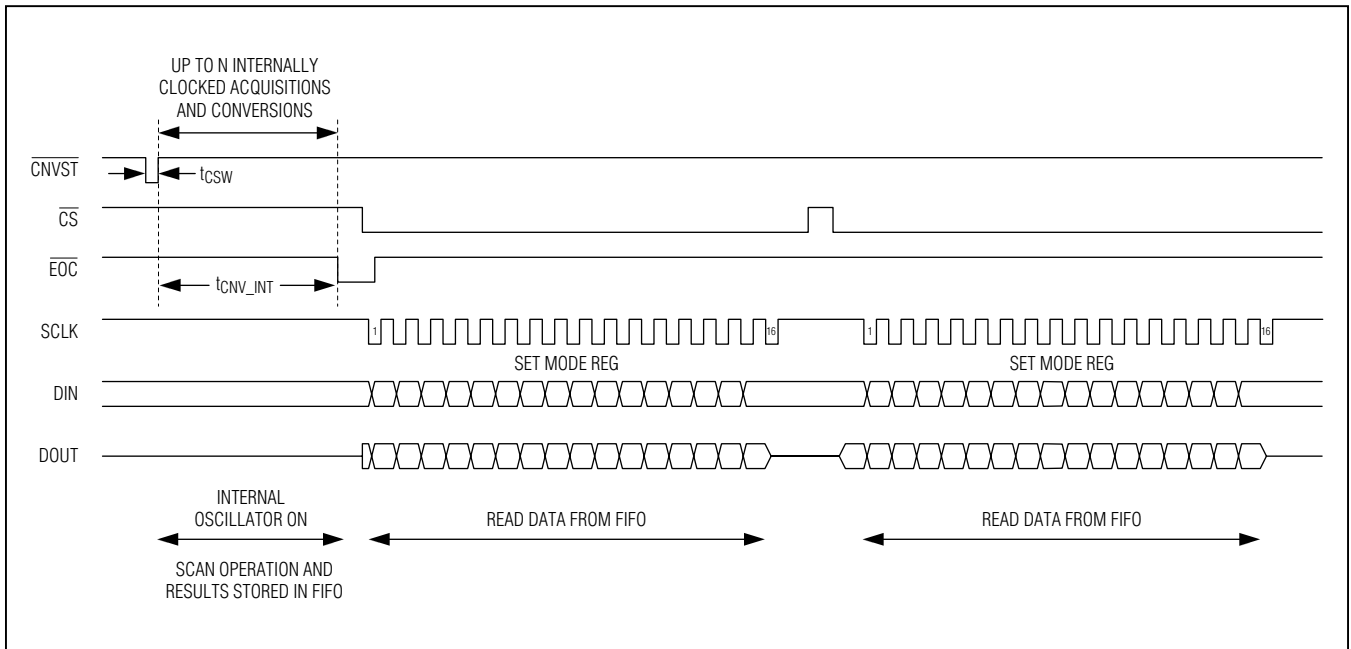


图6. 使用CNVST的内部转换

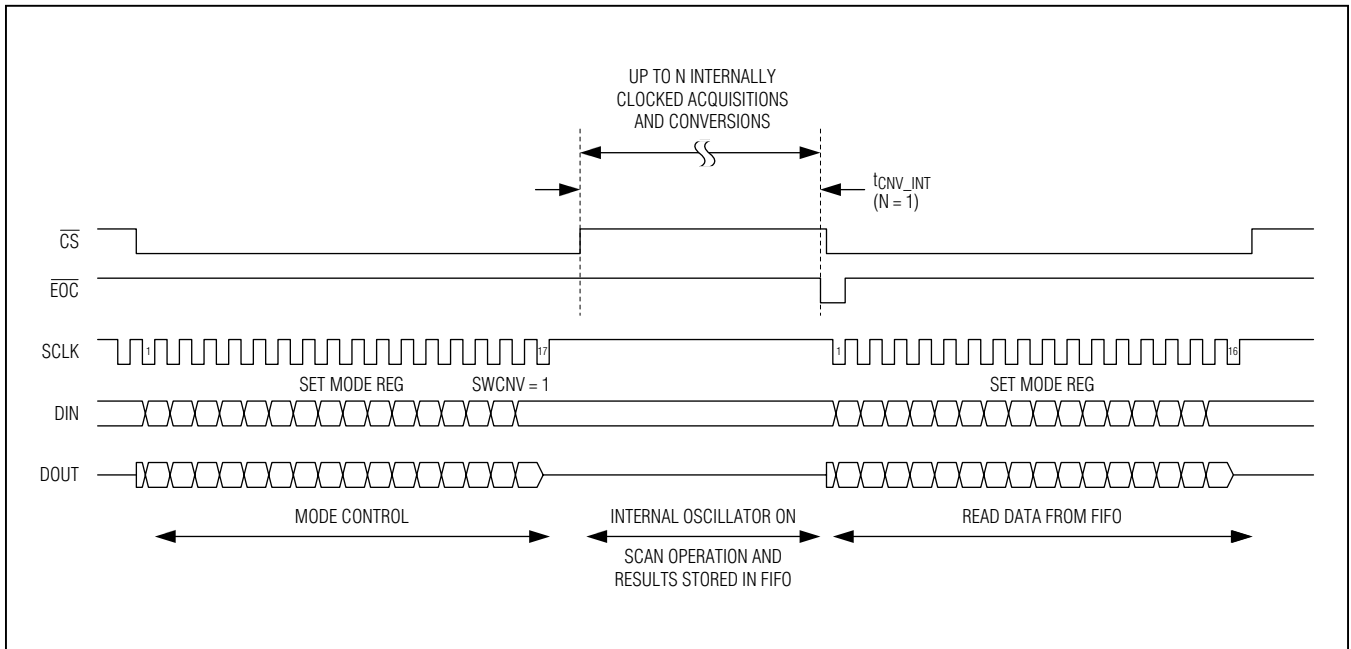


图7. 使用SWCNV的内部转换

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

也可以将ADC模式控制寄存器中的SWCNV置1 (图4)，利用CS上升沿(而非改变CNVST)来启动转换(表2)。为正确工作，CS保持为低电平的时间必须达到17个时钟周期，以保证器件检测SWCNV设置。等待EOC变为低电平，然后将CS拉低，以便进行串口通信。完成转换后，SWCNV复位至0 (图7)。

模拟输入

只要模拟输入在规定的工作范围内，MAX11335–MAX11340就产生与模拟输入电压相对应的数字输出。内部保护二极管将模拟输入电压限制在模拟电源电压(V_{DD}, GND)范围内，允许模拟输入电压摆幅达到GND - 0.3V至V_{DD} + 0.3V，不会损坏器件。超过GND - 0.3V和V_{DD} + 0.3V的输入电压将导致内部保护二极管正向导通。正向导通二极管的电流限制在50mA以下，以免损坏MAX11335–MAX11340。

ECHO

写ADC配置寄存器时，将ADC配置寄存器的ECHO置1，以便在n+1时刻把配置数据回显在DOUT (图8，表6)。

扫描模式

MAX11335–MAX11340具有九种扫描模式(表3)。

手动模式

在每个SPI帧中标记下一个所选通道，在下一帧输出转换结果。手动模式仅采用外部时钟工作，不使用FIFO。

重复模式

多次重复扫描通道N，并将全部转换结果储存在FIFO中。扫描次数在ADC配置寄存器中设置，重复模式仅采用内部时钟工作。

Custom_Int和Custom_Ext

Custom_Int和Custom_Ext模式下，器件以递增顺序扫描设置通道。按顺序扫描的通道在Custom_Scan0或Custom_Scan1寄存器中设置(见表12和表13)。每一帧，在SCLK的第13个下降沿选中新的I/P MUX。Custom_Int采用内部时钟工作，Custom_Ext采用外部时钟工作。

Standard_Int和Standard_Ext

Standard_Int和Standard_Ext模式下，器件以递增顺序扫描0至N通道，其中N为ADC模式控制寄存器中指定的最后一个通道。每帧中在SCLK的第13个下降沿选中新I/P MUX。Standard_Int采用内部时钟工作，Standard_Ext采用外部时钟工作。

Upper_Int和Upper_Ext

Upper_Int和Upper_Ext模式下，器件以递增顺序扫描通道N至15/11/7/3，其中N为ADC模式控制寄存器中指定的第一个通道。每帧在SCLK的第13个下降沿选中新的I/P MUX。Upper_Int采用内部时钟工作。Upper_Ext采用外部时钟工作。

SampleSet

SampleSet工作模式允许独立定义通道顺序组合，最大长度为256。只有在外部时钟模式下才支持SampleSet工作模式。SampleSet模式适用于需要频繁转换部分模拟输入通道的测试测量应用。

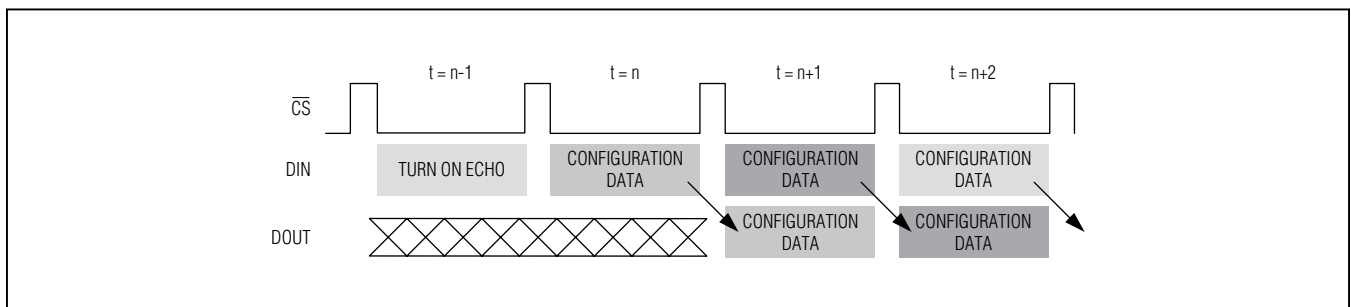


图8. 回显配置数据

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

SampleSet架构为多通道应用提供更灵活的排序功能，减轻微控制器的通信负荷。SampleSet技术允许用户充分利用有效的ADC输入带宽，无需ADC和控制单元之间频繁通信。用户可定义独立的排序模式并将其装载至ADC，从而正确转换高频和低频输入，无需接口干涉。将独立的序列装载至ADC存储器后，可无限次重复采样序列或随时更改。

例如，MAX11335–MAX11340的最大速率为500ksps。传统ADC扫描模式允许以递增顺序实现16通道转换。这种情况下，每通道的有效速率为500ksps/16或31.25ksps。ADC支持的最大输入频率(奈奎斯特定理)为15.625kHz。如果必须测量所有16个通道，并且部分通道的输入频率大于15.625kHz，用户必须返回至手动模式，此时要求串口连续保持通信。SampleSet技术解决了这一问题，图9所示为SampleSet模式示例。

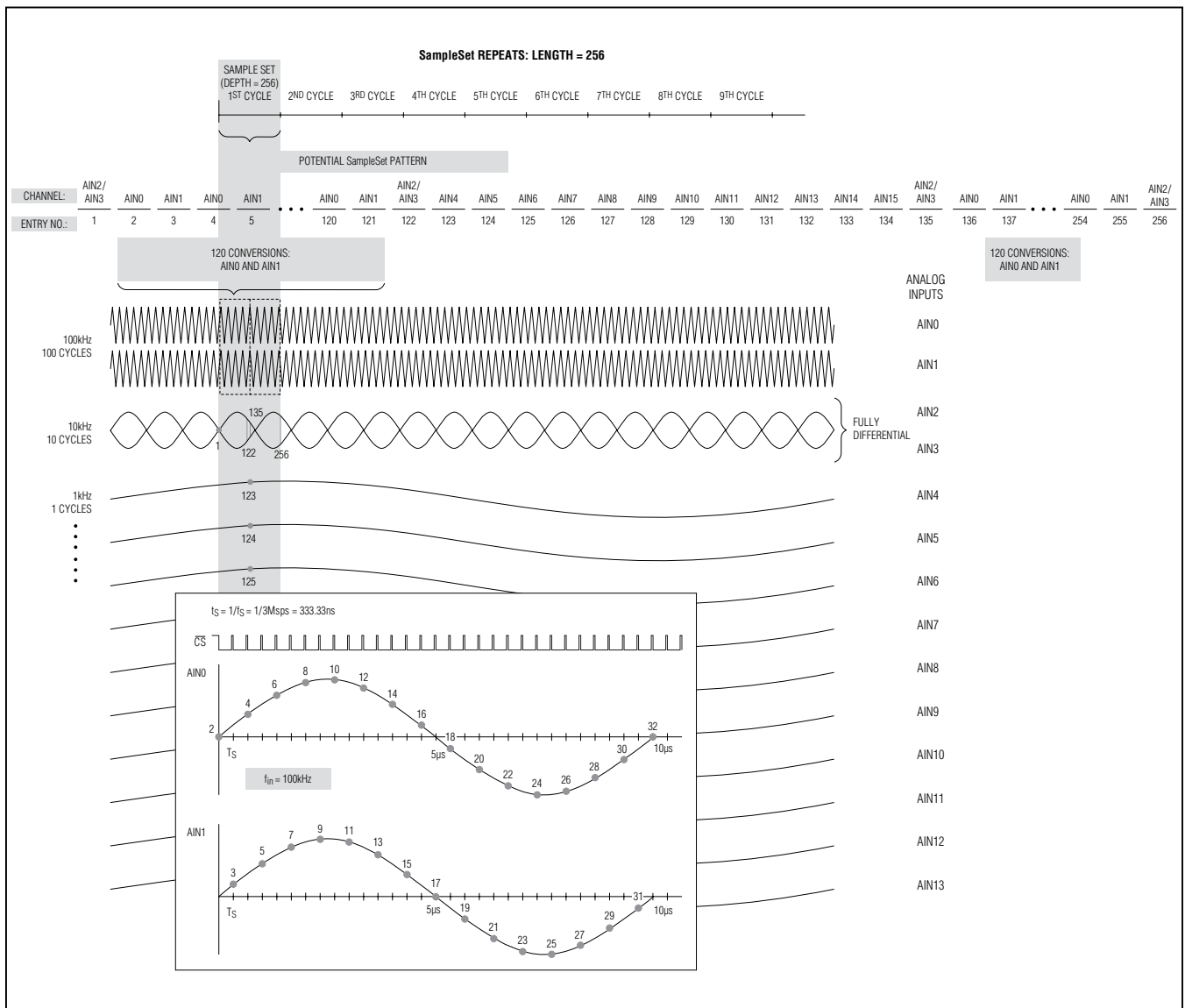


图9. SampleSet模式示例

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

平均模式

平均模式下，器件执行特定次数的转换，然后在FIFO中返回每一请求转换结果的平均值。平均模式仅采用内部时钟工作。

描全部16个通道，并且全部模拟输入配置为全差分转换，ADC将通道转换两次。这种情况下，用户可通过采用手动模式或使用Custom_Int或Custom_Ext扫描模式，只扫描偶数(或奇数)通道(例如0、2、4)，从而避免双重转换。

扫描模式和单极性/双极性设置

单极性或双极性寄存器配置为伪差分或全差分模式，这种自动模式下重复模拟输入。例如，如果N设定为15，以扫

表1. 寄存器访问和控制

REGISTER NAME	REGISTER IDENTIFICATION CODE					DIN ≡ DATA INPUTS
	BIT 15	BIT 14	BIT 13	BIT 12	BIT 11	BIT [10:0]
ADC Mode Control	0	DIN	DIN	DIN	DIN	DIN
ADC Configuration	1	0	0	0	0	DIN
Unipolar	1	0	0	0	1	DIN
Bipolar	1	0	0	1	0	DIN
RANGE	1	0	0	1	1	DIN
Custom Scan0	1	0	1	0	0	DIN
Custom Scan1	1	0	1	0	1	DIN
SampleSet	1	0	1	1	0	DIN
Reserved. Do not use.	1	1	1	1	1	DIN

表2. ADC模式控制寄存器

BIT NAME	BIT	DEFAULT STATE	FUNCTION		
REG_CNTL	15	0	Set to 0 to select the ADC Mode Control register		
SCAN[3:0]	14:11	0001	ADC Scan Control register (Table 3)		
CHSEL[3:0]	10:7	0000	Analog Input Channel Select register (Table 4). See Table 3 to determine which modes use CHSEL[3:0] for the channel scan instruction.		
RESET[1:0]	6:5	00	RESET1	RESET0	FUNCTION
			0	0	No reset
			0	1	Reset the FIFO only (resets to zero)
			1	0	Reset all registers to default settings (includes FIFO)
			1	1	Unused

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

表2. ADC模式控制寄存器(续)

BIT NAME	BIT	DEFAULT STATE	FUNCTION
PM[1:0]	4:3	00	Power Management Modes (Table 5). In external clock mode, PM[1:0] selects between normal mode and various power-down modes of operation.
CHAN_ID	2	0	External Clock Mode. Channel address is always present in internal clock mode. Set to 1, DOOUT is a 16-bit data word containing a 4-bit channel address, followed by a 12-bit conversion result led by the MSB.
SWCNV	1	0	Set to 1 to initiate conversions with the rising edge of \overline{CS} instead of cycling \overline{CNVST} (internal clock mode only). This bit is used for the internal clock mode only and must be reasserted in the ADC mode control, if another conversion is desired.
—	0	0	Unused

表3. ADC扫描控制

SCAN3	SCAN2	SCAN1	SCAN0	MODE NAME	FUNCTION
0	0	0	0	Null	Continue to operate in the previously selected mode. Ignore data on bits [10:0]. This feature is provided so that DIN can be held low when no changes are required in the ADC Mode Control register. Bits [6:3, 1] can be still written without changing the scan mode properties.
0	0	0	1	Manual	The next channel to be selected is identified in each SPI frame. The conversion results are sent out in the next frame. Clock mode: External clock only Channel scan/sequence: Single channel per frame Channel selection: See Table 4, CHSEL[3:0] Averaging: No
0	0	1	0	Repeat	Scans channel N repeatedly. The FIFO stores 4, 8, 12, or 16 conversion results for channel N. Clock mode: Internal clock only Channel scan/sequence: Single channel per frame Channel selection: See Table 4, CHSEL[3:0] Averaging: Can be enabled
0	0	1	1	Standard_Int	Scans channels 0 through N. The FIFO stores N conversion results. Clock mode: Internal clock Channel scan/sequence: N channels in ascending order Channel selection: See Table 4, CHSEL[3:0] determines channel N Averaging: Can be enabled

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

表3. ADC扫描控制(续)

SCAN3	SCAN2	SCAN1	SCAN0	MODE NAME	FUNCTION	
0	1	0	0	Standard_Ext	Scans channels 0 through N	
					Clock mode: External clock only	
					Channel scan/sequence: N channels in ascending order	
					Channel selection: See Table 4, CHSEL[3:0] determines channel N	
					Averaging: No	
0	1	0	1	Upper_Int	Scans channel N through the highest numbered channel. The FIFO stores X conversion results where:	
					X = Channel 16–N	16-channel devices
					X = Channel 8–N	8-channel devices
					Clock mode: Internal clock only	
					Channel scan/sequence: Channel N through the highest numbered channel in ascending order	
					Channel selection: See Table 4, CHSEL[3:0] determines channel N	
Averaging: Can be enabled						
0	1	1	0	Upper_Ext	Scans channel N through the highest numbered channel	
					Clock mode: External clock only	
					Channel scan/sequence: Channel N through the highest numbered channel in ascending order	
					Channel selection: See Table 4, CHSEL[3:0] determines channel N	
0	1	1	1	Custom_Int	Scans preprogrammed channels in ascending order. The FIFO stores conversion results for this unique channel sequence.	
					Clock mode: Internal clock only	
					Channel scan/sequence: Unique ascending channel sequence	
					Maximum depth: 16 conversions	
					Channel selection: See Table 12, Custom Scan0 register and Table 13, Custom Scan1 register	
					Averaging: Can be enabled	
1	0	0	0	Custom_Ext	Scans preprogrammed channels in ascending order	
					Clock mode: External clock only	
					Channel scan/sequence: Unique ascending channel sequence	
					Maximum depth: 16 conversions	
					Channel selection: See Table 12, Custom Scan0 register and Table 13, Custom Scan1 register	
Averaging: No						

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

表3. ADC扫描控制(续)

SCAN3	SCAN2	SCAN1	SCAN0	MODE NAME	FUNCTION
1	0	0	1	SampleSet	Scans preprogrammed channel sequence with maximum length of 256. There is no restriction on the channel pattern.
					Clock mode: External clock only
					Channel scan/sequence: Unique channel sequence
					Maximum depth: 256 conversions
					Channel Selection: See Table 4
Averaging: No					
1	0	1	0	Null	Continue to operate in the previously selected mode. Ignore data on bits [10:0].
1	0	1	1	Null	Continue to operate in the previously selected mode. Ignore data on bits [10:0].
1	1	0	0	Null	Continue to operate in the previously selected mode. Ignore data on bits [10:0].
1	1	0	1	Null	Continue to operate in the previously selected mode. Ignore data on bits [10:0].
1	1	1	0	Null	Continue to operate in the previously selected mode. Ignore data on bits [10:0].
1	1	1	1	Null	Continue to operate in the previously selected mode. Ignore data on bits [10:0].

表4. 模拟输入通道选择

CHSEL3	CHSEL2	CHSEL1	CHSEL0	SELECTED CHANNEL (N)
0	0	0	0	AIN0
0	0	0	1	AIN1
0	0	1	0	AIN2
0	0	1	1	AIN3
0	1	0	0	AIN4
0	1	0	1	AIN5
0	1	1	0	AIN6
0	1	1	1	AIN7
1	0	0	0	AIN8
1	0	0	1	AIN9
1	0	1	0	AIN10
1	0	1	1	AIN11
1	1	0	0	AIN12
1	1	0	1	AIN13
1	1	1	0	AIN14
1	1	1	1	AIN15

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

寄存器说明

MAX11335–MAX11340通过SPI/QSPI兼容串行接口在内部寄存器和外部电路之间通信。表1所示为寄存器访问和控制详细信息，表2至表14为不同功能和配置的详细信息。

用于ADC模式控制时，将该寄存器编码标识的第15位置0。ADC模式控制寄存器决定ADC何时及工作在何种扫描条件下。为设置ADC数据配置，将该寄存器编码标识的第15位置1。

关断模式

MAX11335–MAX11340具有三种关断模式。

静态关断

ADC配置寄存器中的SPM位置高时，器件关断(表6)。有两种关断选项：

- 完全关断，关断所有电路。
- 部分关断，除内部偏压电路外关断所有电路。

外部时钟模式下的自动关断

ADC模式控制寄存器中的PM_位置高时(表5)，器件在下一帧的CS上升沿关断。器件在随后的CS下降沿再次唤醒。有两种可用选项：

- 自动关断，关断全部电路。
- 自动待机(AutoStandby)，除内部偏压电路外关断所有电路。

内部时钟模式下的自动关断

完成全部转换后，关断器件。器件在下一个CNVST下降沿再次唤醒，或在SWCNV位置高后的CS上升沿唤醒。

表5. 电源管理模式

PM1	PM0	MODE	FUNCTION
0	0	Normal	All circuitry is fully powered up at all times.
0	1	AutoShutdown	The device enters full shutdown mode at the end of each conversion. All circuitry is powered down. The device powers up following the falling edge of CS. It takes 2 cycles before valid conversions take place. The information in the registers is retained.
1	0	AutoStandby	The device powers down all circuitry except for the internal bias generator. The part powers up following the falling edge of CS. It takes 2 cycles before valid conversions take place. The information in the registers is retained.
1	1	—	Unused.

表6. ADC配置寄存器

BIT NAME	BIT	DEFAULT STATE	FUNCTION		
CONFIG_SETUP	15:11	N/A	Set to 10000 to select the ADC Configuration register.		
REFSEL	10	0	REFSEL	VOLTAGE REFERENCE	REF- CONFIGURATION
			0	External single-ended	AIN15 (for the 16-channel devices)
			1	External differential	REF-
AVGON	9	0	Set to 1 to turn averaging on. Valid for internal clock mode only. Set to 0 to turn averaging off.		

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC，
提供外部信号调理复用输入

表6. ADC配置寄存器(续)

BIT NAME	BIT	DEFAULT STATE	FUNCTION			
NAVG[1:0]	8:7	00	Valid for internal clock mode only.			
			AVGON	NAVG1	NAVG0	FUNCTION
			0	X	X	Performs 1 conversion for each requested result.
			1	0	0	Performs 4 conversions and returns the average for each requested result.
			1	0	1	Performs 8 conversions and returns the average for each requested result.
			1	1	0	Performs 16 conversions and returns the average for each requested result.
NSCAN[1:0]	6:5	00	Scans channel N and returns 4, 8, 12, or 16 results. Valid for repeat mode only.			
			NSCAN1	NSCAN0	FUNCTION	
			0	0	Scans channel N and returns 4 results.	
			0	1	Scans channel N and returns 8 results.	
			1	0	Scans channel N and returns 12 results.	
1	1	Scans channel N and returns 16 results.				
SPM[1:0]	4:3	00	Static power-down modes			
			SPM1	SPM0	MODE	FUNCTION
			0	0	Normal	All circuitry is fully powered up at all times.
			0	1	Full Shutdown	All circuitry is powered down. The information in the registers is retained.
			1	0	Partial Shutdown	All circuitry is powered down except for the reference and reference buffer. The information in the registers is retained.
1	1	—	Reserved			
ECHO	2	0	Set to 0 to disable the instruction echo on DOUT. Set to 1 to echo back the DIN instruction given at time = n onto the DOUT line at time = n + 1. It takes 1 full cycle for the echoing to begin (Figure 8).			
—	1:0	0	Unused			

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

表7. RANGE寄存器(RANGE设置仅适用于双极性全差分模拟输入配置)

BIT NAME	BIT	DEFAULT STATE	FUNCTION
RANGE_SETUP	15:11	N/A	Set to 10011 to select the RANGE register
RANGE0/1	10	0	Set to 0 for AIN0/1: $\pm V_{REF+}/2$, $f_S = V_{REF+} - V_{REF-}$ Set to 1 for AIN0/1: $\pm V_{REF+}$, $f_S = 2(V_{REF+} - V_{REF-})$
RANGE2/3	9	0	Set to 0 for AIN2/3: $\pm V_{REF+}/2$, $f_S = V_{REF+} - V_{REF-}$ Set to 1 for AIN2/3: $\pm V_{REF+}$, $f_S = 2(V_{REF+} - V_{REF-})$
RANGE4/5	8	0	Set to 0 for AIN4/5: $\pm V_{REF+}/2$, $f_S = V_{REF+} - V_{REF-}$ Set to 1 for AIN4/5: $\pm V_{REF+}$, $f_S = 2(V_{REF+} - V_{REF-})$
RANGE6/7	7	0	Set to 0 for AIN6/7: $\pm V_{REF+}/2$, $f_S = V_{REF+} - V_{REF-}$ Set to 1 for AIN6/7: $\pm V_{REF+}$, $f_S = 2(V_{REF+} - V_{REF-})$
RANGE8/9	6	0	Set to 0 for AIN8/9: $\pm V_{REF+}/2$, $f_S = V_{REF+} - V_{REF-}$ Set to 1 for AIN8/9: $\pm V_{REF+}$, $f_S = 2(V_{REF+} - V_{REF-})$
RANGE10/11	5	0	Set to 0 for AIN10/11: $\pm V_{REF+}/2$, $f_S = V_{REF+} - V_{REF-}$ Set to 1 for AIN10/11: $\pm V_{REF+}$, $f_S = 2(V_{REF+} - V_{REF-})$
RANGE12/13	4	0	Set to 0 for AIN12/13: $\pm V_{REF+}/2$, $f_S = V_{REF+} - V_{REF-}$ Set to 1 for AIN12/13: $\pm V_{REF+}$, $f_S = 2(V_{REF+} - V_{REF-})$
RANGE14/15	3	0	Set to 0 for AIN14/15: $\pm V_{REF+}/2$, $f_S = V_{REF+} - V_{REF-}$ Set to 1 for AIN14/15: $\pm V_{REF+}$, $f_S = 2(V_{REF+} - V_{REF-})$
—	2:0	000	Unused

单极性和双极性模式下的ADC输出

ADC扫描控制寄存器(表3)决定ADC的工作模式。表10和表11中的单极性和双极性寄存器决定输出编码以及输入配置是单端还是全差分。

表9所示为模拟输入AIN0和AIN1转换输出的详细信息，真值表与其它有效输入(AIN_n/AIN_{n+1})的真值表一致。表8所示为适用于模拟输入配置的输入信号格式。

CHSEL[3:0]用于MANUAL、REPEAT、STANDARD_EXT和STANDARD_INT、UPPER_EXT、UPPER_INT工作模式。CHSCAN[15:0]用于CUSTOM_EXT和CUSTOM_INT工作模式。

SampleSet工作模式

SampleSet寄存器储存独立的转换通道序列，转换顺序由多达256次独立的单端和/或差分转换组成，可以按任意顺序或模式组合。

模式由4位半字节通道标识组成，如表4所示。图10所示为SampleSet时序图。注意，配置SampleSet功能需要两个CS帧。第一帧表示序列长度；第二帧用于通道序列的编码。

对SampleSet寄存器进行编码之后(表14)，随后的CS下降沿启用新的SampleSet模式(图10)。如果模式长度小于SEQ_LENGTH，其余通道默认为AIN0。如果所选模式长度大于SEQ_LENGTH，ADC在等待CS上升沿时忽略其余数据。如果CS在半字节的中间触发有效，则全部半字节默认为AIN0。

接收SampleSet模式后，用户可将ADC模式控制寄存器设置为开始转换过程，从第一个SampleSet项开始读取数据。读取最后一次转换结果后，如果需要，可使ADC进入自动关断模式。如果用户希望改变SampleSet长度，则必须按图10所示把新的模式装载到ADC。

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC，
提供外部信号调理复用输入

表8. 模拟输入配置和单极性/双极性波形

ANALOG INPUT CONFIGURATION		SUPPORTED WAVEFORMS		UNIPOLAR/BIPOLAR REGISTER SETTING
		REFSEL = 0	REFSEL = 1	
Single-Ended	Unipolar (Binary Coding)			Table 10. Unipolar Register: Set desired channel(s) to 0 or PDIFF_COM to 1. Counterpart Register Table 11. Bipolar Register: Set desired channel(s) to 0.
				Table 10. Unipolar Register: Set desired channel(s) to 1. Counterpart Register Table 11. Bipolar Register: Set desired channel(s) to 0.
Fully Differential	Bipolar (2's Complement)			Table 11. Bipolar Register: Set desired channel(s) to 1. Counterpart Register Table 10. Unipolar Register: Set desired channel(s) to 0.

表9. 单极性/双极性寄存器设置下的ADC输出

CHANNEL SELECTION	UNIPOLAR REGISTER		BIPOLAR REGISTER	FUNCTION	
	BIT NAME	UCH0/1	PDIFF_COM		BCH0/1
AIN0 Selection: CHSEL[3:0] = 0000 CHSCAN0 = 1		0	0	0	AIN0 (binary, unipolar)
		0	0	1	AIN0/1 pair (two's complement, bipolar)
		1	0	0	AIN0/1 pair (binary, unipolar)
		1	0	1	AIN0/1 pair (binary, unipolar); Unipolar register takes precedence
		X	1	X	AIN0 referred to REF-/AIN15 (binary, unipolar)
AIN1 Selection: CHSEL[3:0] = 0001 CHSCAN1 = 1		0	0	0	AIN1 (binary, unipolar)
		0	0	1	AIN0/1 pair (two's complement, bipolar)
		1	0	0	AIN0/1 pair (binary, unipolar)
		1	0	1	AIN0/1 pair (binary, unipolar), Unipolar register takes precedence
		X	1	X	AIN1 referred to REF-/AIN15 (binary, unipolar)

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

表10. Unipolar寄存器

BIT NAME	BIT	DEFAULT STATE	FUNCTION
UNI_SETUP	15:11	—	Set to 10001 to select the Unipolar register.
UCH0/1	10	0	Set to 1 to configure AIN0 and AIN1 for pseudo-differential conversion. Set to 0 to configure AIN0 and AIN1 for single-ended conversion.
UCH2/3	9	0	Set to 1 to configure AIN2 and AIN3 for pseudo-differential conversion. Set to 0 to configure AIN2 and AIN3 for single-ended conversion.
UCH4/5	8	0	Set to 1 to configure AIN4 and AIN5 for pseudo-differential conversion. Set to 0 to configure AIN4 and AIN5 for single-ended conversion.
UCH6/7	7	0	Set to 1 to configure AIN6 and AIN7 for pseudo-differential conversion. Set to 0 to configure AIN6 and AIN7 for single-ended conversion.
UCH8/9	6	0	Set to 1 to configure AIN8 and AIN9 for pseudo-differential conversion. Set to 0 to configure AIN8 and AIN9 for single-ended conversion.
UCH10/11	5	0	Set to 1 to configure AIN10 and AIN11 for pseudo-differential conversion. Set to 0 to configure AIN10 and AIN11 for single-ended conversion.
UCH12/13	4	0	Set to 1 to configure AIN12 and AIN13 for pseudo-differential conversion. Set to 0 to configure AIN12 and AIN13 for single-ended conversion.
UCH14/15	3	0	Set to 1 to configure AIN14 and AIN15 for pseudo-differential conversion. Set to 0 to configure AIN14 and AIN15 for single-ended conversion.
PDIFC_COM	2	0	Set to 1 to configure AIN0–AIN14 to be referenced to one common DC voltage on the REF-/AIN15. Set to 0 to disable the 15:1 pseudo differential mode.
—	1:0	000	Unused.

表11. Bipolar寄存器

BIT NAME	BIT	DEFAULT STATE	FUNCTION
BIP_SETUP	15:11	—	Set to 10010 to select the Bipolar register.
BCH0/1	10	0	Set to 1 to configure AIN0 and AIN1 for bipolar fully differential conversion. Set to 0 to configure AIN0 and AIN1 for unipolar conversion mode e .
BCH2/3	9	0	Set to 1 to configure AIN2 and AIN3 for bipolar fully differential conversion. Set to 0 to configure AIN2 and AIN3 for unipolar conversion mode.
BCH4/5	8	0	Set to 1 to configure AIN4 and AIN5 for bipolar fully differential conversion. Set to 0 to configure AIN4 and AIN5 for unipolar conversion mode.
BCH6/7	7	0	Set to 1 to configure AIN6 and AIN7 for bipolar fully differential conversion. Set to 0 to configure AIN6 and AIN7 for unipolar conversion mode.
BCH8/9	6	0	Set to 1 to configure AIN8 and AIN9 for bipolar fully differential conversion. Set to 0 to configure AIN8 and AIN9 for unipolar conversion mode.
BCH10/11	5	0	Set to 1 to configure AIN10 and AIN11 for bipolar fully differential conversion. Set to 0 to configure AIN10 and AIN11 for unipolar conversion mode.
BCH12/13	4	0	Set to 1 to configure AIN12 and AIN13 for bipolar fully differential conversion. Set to 0 to configure AIN12 and AIN13 for unipolar conversion mode.
BCH14/15	3	0	Set to 1 to configure AIN14 and AIN15 for bipolar fully differential conversion. Set to 0 to configure AIN14 and AIN15 for unipolar conversion mode.
—	2:0	000	Unused.

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

表12. Custom Scan0寄存器

BIT NAME	BIT	DEFAULT STATE	FUNCTION
CUST_SCAN0	15:11	—	Set to 10100 to select the Custom Scan0 register.
CHSCAN15	10	0	Set to 1 to scan AIN15. Set to 0 to omit AIN15.
CHSCAN14	9	0	Set to 1 to scan AIN14. Set to 0 to omit AIN14.
CHSCAN13	8	0	Set to 1 to scan AIN13. Set to 0 to omit AIN13.
CHSCAN12	7	0	Set to 1 to scan AIN12. Set to 0 to omit AIN12.
CHSCAN11	6	0	Set to 1 to scan AIN11. Set to 0 to omit AIN11.
CHSCAN10	5	0	Set to 1 to scan AIN10. Set to 0 to omit AIN10.
CHSCAN9	4	0	Set to 1 to scan AIN9. Set to 0 to omit AIN9.
CHSCAN8	3	0	Set to 1 to scan AIN8. Set to 0 to omit AIN8.
—	2:0	000	Unused.

表13. Custom Scan1寄存器

BIT NAME	BIT	DEFAULT STATE	FUNCTION
CUST_SCAN1	15:11	—	Set to 10101 to select the Custom Scan1 register.
CHSCAN7	10	0	Set to 1 to scan AIN7. Set to 0 to omit AIN7.
CHSCAN6	9	0	Set to 1 to scan AIN6. Set to 0 to omit AIN6.
CHSCAN5	8	0	Set to 1 to scan AIN5. Set to 0 to omit AIN5.
CHSCAN4	7	0	Set to 1 to scan AIN4. Set to 0 to omit AIN4.
CHSCAN3	6	0	Set to 1 to scan AIN3. Set to 0 to omit AIN3.
CHSCAN2	5	0	Set to 1 to scan AIN2. Set to 0 to omit AIN2.
CHSCAN1	4	0	Set to 1 to scan AIN1. Set to 0 to omit AIN1.
CHSCAN0	3	0	Set to 1 to scan AIN0. Set to 0 to omit AIN0.
—	2:0	000	Unused.

表14. SampleSet寄存器

BIT NAME	BIT	DEFAULT STATE	FUNCTION
SMPL_SET	15:11	—	Set to 10110 to select the SampleSet register.
SEQ_LENGTH	10:3	00000000	8-bit binary word indicating desired sequence length. The equation is: Sequence length = SEQ_LENGTH + 1 00000000 = Sequence length = 1 11111111 = Sequence length = 256 Coding: Straight binary Maximum length: 256 ADC conversions
—	2:0	—	Unused.

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

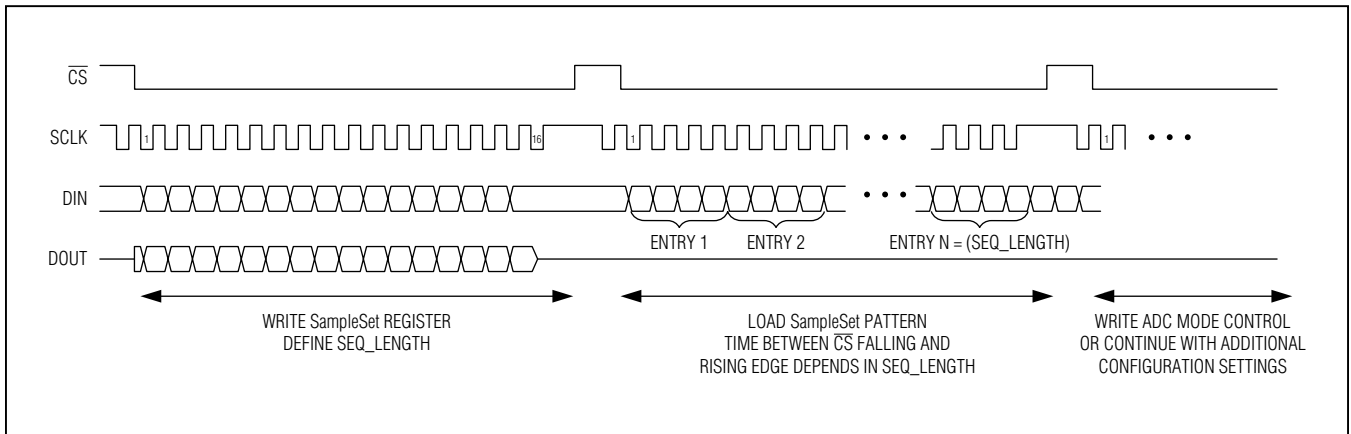


图10. SampleSet时序图

应用信息

如何设置模式

- 1) 配置ADC (将DIN的MSB置1)。
- 2) 设置ADC模式控制(将DIN的MSB置0)，开始转换过程或控制电源管理功能。
 - 如果在转换过程中写入ADC模式控制，ADC则结束当前转换，并在下一个CS下降沿启动新命令。
 - 如果在转换过程期间写入配置数据(DIN的MSB为1)，ADC则结束当前扫描模式下的转换。然而，DOUT数据在随后的帧中无效，直到重新配置ADC模式控制命令。

配置流程图

配置顺序请参见图11。

布局、接地和旁路

为获得最佳性能，使用连续的大面积接地区域的PCB。确保数字和模拟信号线彼此保持隔离，勿将模拟和数字(尤其

是时钟)线平行走线，不要在ADC封装下方走数字信号线。 V_{DD} 、OVDD和REF中的噪声会影响ADC性能，利用0.1 μ F和10 μ F旁路电容将 V_{DD} 、OVDD和REF旁路至地。将电容引线及走线长度减至最短，以获得最佳的电源噪声抑制。

选择输入放大器

输入放大器的建立时间与ADC的采集时间相一致非常重要。当ADC采样输入信号的间隔大于最差工作条件下的输入信号建立时间时，可以获得精确的转换结果。根据定义，建立时间是从输入电压阶跃到输出信号达到并稳定在给定误差范围内(以放大器最终稳态输出电平为中心)的时间间隔。ADC输入耦合电容在采样周期内充电，称为采样周期。采样期间，建立时间受内部电阻和输入采样电容的影响。通过观察采样周期内输入电容、源阻抗构成的RC时间常数，可以估算这一误差。图13所示为典型应用电路。MAX4430在16位分辨率下的建立时间为37ns，是此类应用的最佳选择。

表15中给出了推荐用于MAX11335–MAX11340的几款放大器。

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC，
提供外部信号调理复用输入

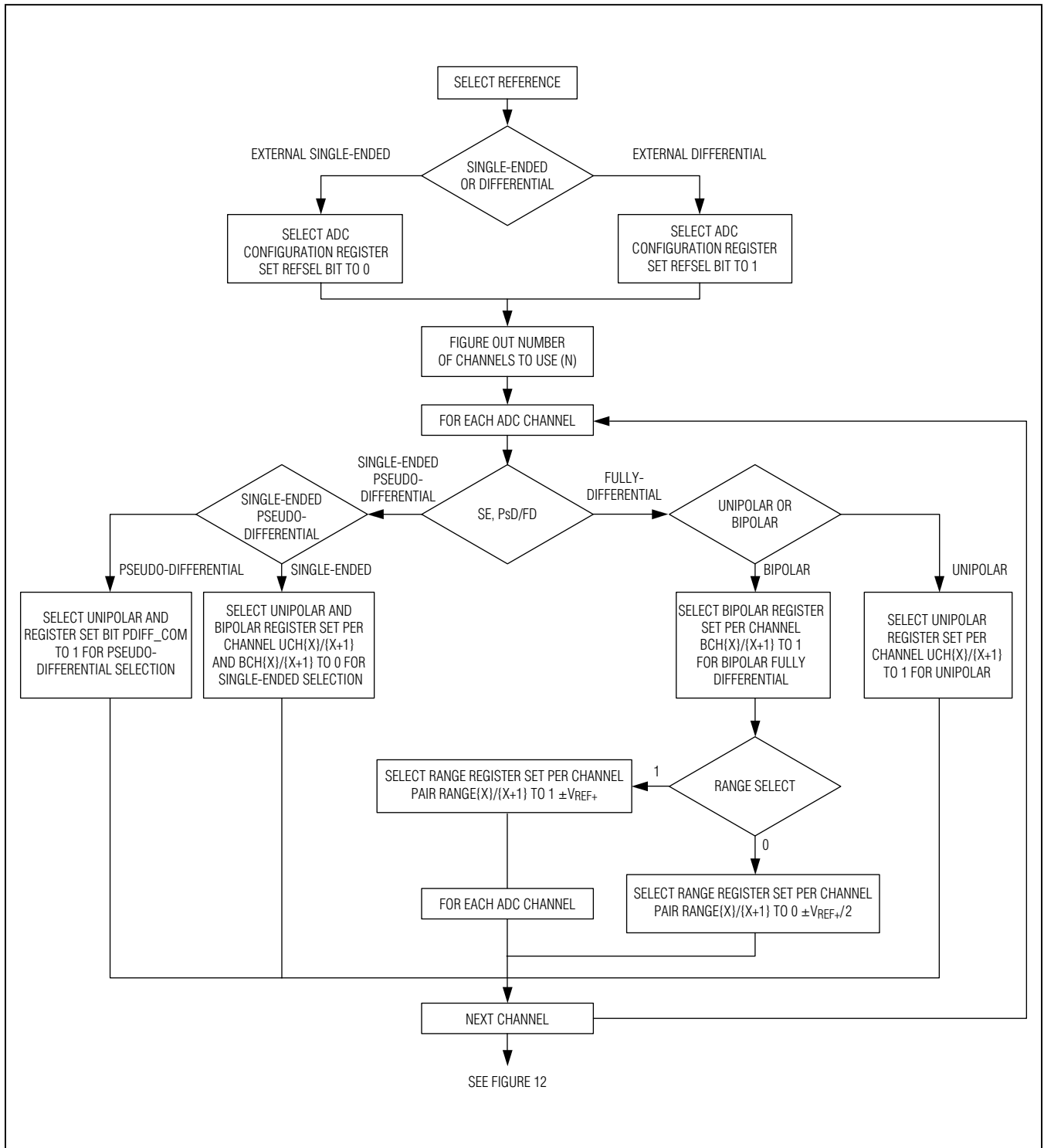


图11. ADC配置顺序

MAX11335-MAX11340

500ksps、12/10位、4/8/16通道ADC，
提供外部信号调理复用输入

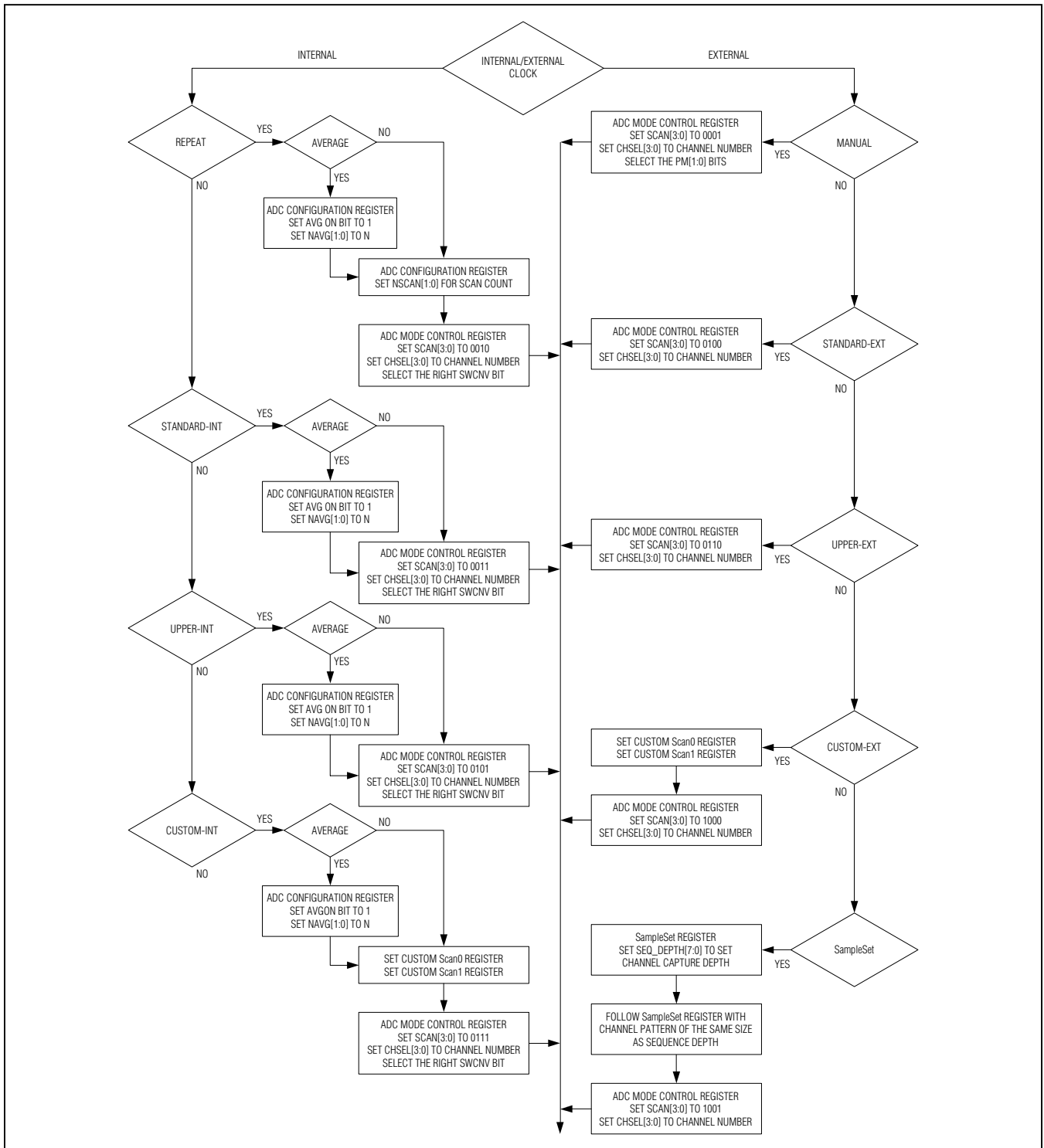


图12. ADC模式选择配置顺序

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

选择基准

对于使用外部基准的器件，基准的选择决定了ADC的输出精度。理想的电压基准提供完美的初始精度，并保证基准电压不受负载电流、温度和时间变化的影响。选择基准时需要考虑以下参数：

- 初始电压精度
- 温漂
- 电流源容量
- 流入电流源容量
- 静态电流
- 噪声，如表16所示。

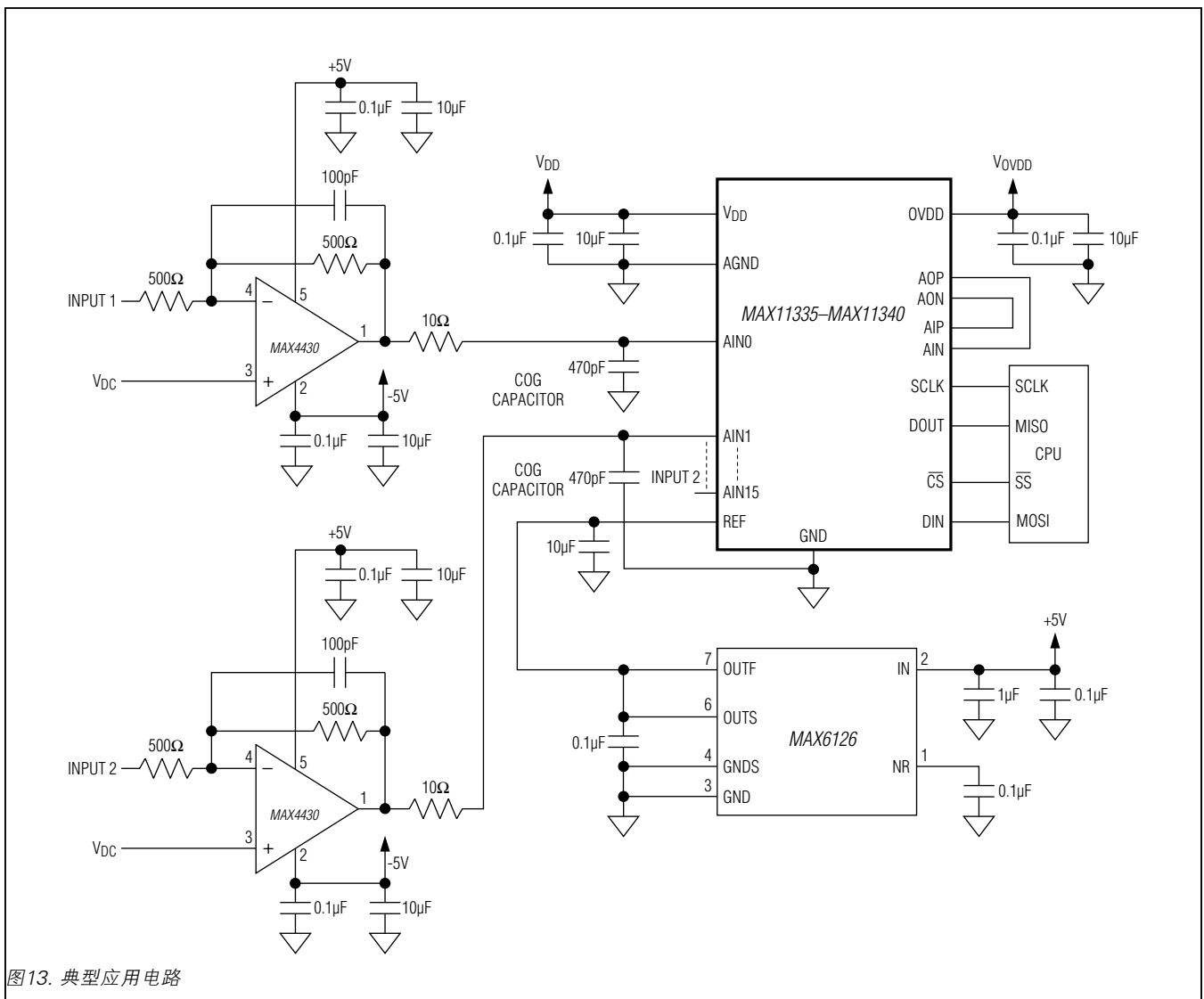


图13. 典型应用电路

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

定义

积分非线性

积分非线性(INL)是实际传递函数与传递函数直线的偏差。这条直线是消除了失调与增益误差后传递函数两个端点间的最佳直线拟合或连线。采用端点法测量MAX11335–MAX11340的静态线性参数。

微分非线性

微分非线性(DNL)是实际台阶宽度与1个LSB的理想值之差。1 LSB或更小的DNL误差能够保证不出现失码，并确保传递函数的单调性。

信噪比

信噪比是给定时间点预期信号幅度与噪声幅度之比，该值越大越好。理论上，模/数转换的最小噪声是量化误差，由ADC的分辨率(N位)决定：

$$\text{SNR} = (6.02 \times N + 1.76) \text{ dB}$$

实际应用中，除了量化噪声还有其它噪声源，包括热噪声、基准噪声、时钟抖动等。因此，采用RMS信号与RMS噪声之比计算SNR，RMS噪声包括除基波、前五次谐波以及直流失调以外的所有频谱成分。

总谐波失真

总谐波失真(THD)表示为：

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

式中， V_1 为基波幅值， V_2 至 V_5 为2次至5次谐波幅值。

无杂散动态范围

无杂散动态范围(SFDR)是基波(最大信号分量)RMS幅值与第二大失真分量的RMS之比。

全功率带宽

全功率带宽是满量程输入信号衰减3dB的频率点。

表15. 推荐输入放大器

REFERENCE	CHANNELS	TYPICAL APPLICATION
MAX4430	1	Dual supply, low noise, low distortion, high bandwidth
MAX4432	2	Dual supply, low noise, low distortion, high bandwidth
MAX4454	4	Low power, single, supply, low cost
MAX4418	4	Low noise, low power, high bandwidth
MAX44263	2	Low power, precision, CMOS input, rail-to-rail I/O

表16. 推荐基准

REFERENCE	TYPICAL APPLICATION
MAX6126	Ultra-high precision, ultra-low noise, wide temperature range
MAX6033	Ultra-high precision, low noise, low power, wide temperature range
MAX6043	High precision, wide temperature range
MAX6129B	Low cost, ultra-low power
MAX6003	Low cost, low power

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

全线性带宽

全线性带宽是信号与噪声+失真比(SINAD)高于70dB的频率点(MAX11335/MAX11336/MAX11337)。

交调失真

对于任何具有非线性特性的器件，当两个不同频率(f1和f2)的正弦波输入到器件时，会产生失真产物。交调失真(IMD)是指奈奎斯特频率内的IM2至IM5交调产物的总功率相对

于两路输入频率f1和f2的总输入功率之比。每路输入频率的幅值为-6dBFS。

芯片信息

PROCESS: BiCMOS

订购信息

器件	引脚-封装	位数	速率(ksps)	通道数量
MAX11335ATJ+	32 TQFN-EP*	12	500	4
MAX11336ATJ+	32 TQFN-EP*	12	500	8
MAX11337ATJ+	32 TQFN-EP*	12	500	16
MAX11338ATJ+	32 TQFN-EP*	10	500	4
MAX11339ATJ+	32 TQFN-EP*	10	500	8
MAX11340ATJ+	32 TQFN-EP*	10	500	16

注：所有器件均可工作于-40°C至+125°C温度范围内。

+表示无铅(Pb)/符合RoHS标准的封装。

*EP = 裸焊盘。

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
32 TQFN-EP	T3255+5	21-0140	90-0013

MAX11335–MAX11340

500ksps、12/10位、4/8/16通道ADC， 提供外部信号调理复用输入

修订历史

修订号	修订日期	说明	修改页
0	9/12	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010–6211 5199

传真：010–6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

37

© 2013 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。