

概述

DS28EC20 是一款 20480 位、1-Wire[®] EEPROM，分为 80 个 256 位的存储页面。器件提供一个额外的页用于控制功能。数据被写入一个 32 字节暂存器，经过校验后，复制到 EEPROM 存储器。器件具有一个特殊功能，可以将 8 个存储器页设置为写保护或 EPROM 仿真模式，在 EPROM 仿真模式下各位仅能由 1 修改为 0 状态。DS28EC20 通过单个触点的 1-Wire 总线进行通信，遵循标准 1-Wire 协议。各个器件均具有不可修改、唯一的 64 位 ROM 注册码，由工厂光刻入芯片。该注册码可用于在多节点 1-Wire 网络环境中寻址器件。

应用

- 设备识别
- IEEE 1451.4 传感器 TEDS
- 墨盒/碳粉盒
- 医学传感器
- PCB 认证
- 无线基站

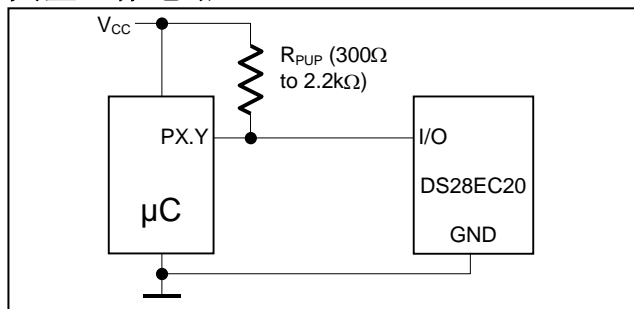
订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS28EC20+	-40°C to +85°C	3 TO-92
DS28EC20+T	-40°C to +85°C	3 TO-92, T&R
DS28EC20P+	-40°C to +85°C	6 TSOC
DS28EC20P+T	-40°C to +85°C	6 TSOC, T&R

+ 代表无铅封装。

T = 卷带封装。

典型工作电路



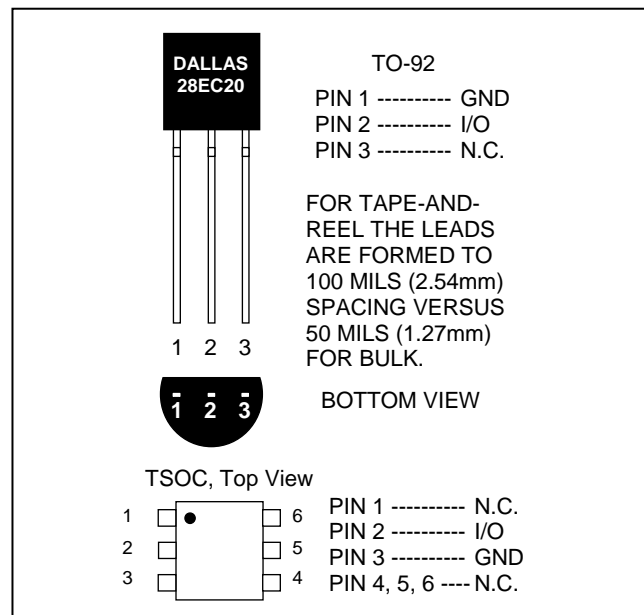
为清晰起见，命令、字节和模式用大写字母表示。

1-Wire 是 Dallas Semiconductor Corp. 的注册商标，Dallas Semiconductor Corp. 是 Maxim Integrated Products, Inc. 的全资子公司。

特性

- 20480 位非易失性(NV) EEPROM 被分为 80 个 256 位页
- 独立的 8 页存储器(块)可以设置为永久性写保护或 OTP EPROM 仿真模式(“写为 0”)
- 读写访问高度向后兼容以前的器件(如 DS2433)
- 256 位暂存器，遵循严格的读/写协议，确保数据传输的完整性
- +25°C 温度下 200k 擦写次数
- 工厂编程的 64 位唯一注册码，确保无错的器件选择和绝对的器件识别
- 开关滞回和滤波优化噪声性能
- 使用 1-Wire 协议以 15.4kbps 或 125kbps 速率与主机进行通信
- 低成本 TO-92 封装
- 工作范围：5V ±5%，-40°C 至 +85°C
- I/O 引脚具有 IEC 1000-4-2 4 级 ESD 保护(典型值：8kV 接触放电模式，15kV 气隙放电模式)

引脚配置



ABSOLUTE MAXIMUM RATINGS

I/O Voltage to GND	-0.5V, +6V
I/O Sink Current	20mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, see Note 1.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I/O PIN GENERAL DATA						
1-Wire Pullup Voltage	V_{PUP}	(Note 2)	4.75		5.25	V
1-Wire Pullup Resistance	R_{PUP}	(Notes 2, 3)	0.3		2.2	k Ω
Input Capacitance	C_{IO}	(Notes 4, 5)			1000	pF
Input Load Current	I_L	I/O pin at V_{PUP}	0.05	6.7	55	μA
High-to-Low Switching Threshold	V_{TL}	(Notes 5, 6, 7)	1.6		$V_{PUP} - 1.8$	V
Input Low Voltage	V_{IL}	(Notes 2, 8)			0.5	V
Low-to-High Switching Threshold	V_{TH}	(Notes 5, 6, 9)	2.5		$V_{PUP} - 1.1$	V
Switching Hysteresis	V_{HY}	(Notes 5, 6, 10)	0.30		1.30	V
Output Low Voltage	V_{OL}	At 4mA (Note 11)			0.20	V
Recovery Time (Notes 2, 12)	t_{REC}	Standard speed	5			μs
		Overdrive speed	2			
		Overdrive speed, directly prior to reset pulse	5			
Rising-Edge Hold-off Time (Notes 5, 13)	t_{REH}	Standard speed	0.5		5.0	μs
		Overdrive speed	Not applicable (0)			
Timeslot Duration (Notes 2, 14)	t_{SLOT}	Standard speed	65			μs
		Overdrive speed	8			
I/O PIN, 1-Wire RESET, PRESENCE DETECT CYCLE						
Reset-Low Time (Note 2)	t_{RSTL}	Standard speed	480		640	μs
		Overdrive speed	48		80	
Presence-Detect High Time	t_{PDH}	Standard speed	15		60	μs
		Overdrive speed	2		6	
Presence-Detect Low Time	t_{PDL}	Standard speed	60		240	μs
		Overdrive speed	8		24	
Presence-Detect Sample Time (Notes 2, 15)	t_{MSP}	Standard speed	60		75	μs
		Overdrive speed	6		10	
I/O PIN, 1-Wire WRITE						
Write-0 Low Time (Notes 2, 16, 17)	t_{W0L}	Standard speed	60		120	μs
		Overdrive speed	6		15.5	
Write-1 Low Time (Notes 2, 17)	t_{W1L}	Standard speed	1		15	μs
		Overdrive speed	1		2	
I/O PIN, 1-Wire READ						
Read-Low Time (Notes 2, 18)	t_{RL}	Standard speed	5		$15 - \delta$	μs
		Overdrive speed	1		$2 - \delta$	
Read-Sample Time (Notes 2, 18)	t_{MSR}	Standard speed	$t_{RL} + \delta$		15	μs
		Overdrive speed	$t_{RL} + \delta$		2	

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EEPROM						
Programming Current	I_{PROG}	(Note 19)			0.8	mA
Programming Time	t_{PROG}	(Note 20)			10	ms
Write/Erase Cycles (Endurance) (Notes 21, 22)	N_{CY}	At +25°C	200k			—
		At +85°C (worst case)	50k			
Data Retention (Notes 23, 24, 25)	t_{DR}	At +85°C (worst case)	40			years

Note 1: Specifications at $T_A = -40^\circ\text{C}$ are guaranteed by design only and not production-tested.

Note 2: System requirement.

Note 3: Maximum allowable pullup resistance is a function of the number of 1-Wire devices in the system, 1-Wire recovery times, and current requirements during EEPROM programming. The specified value here applies to systems with only one device and with the minimum 1-Wire recovery times. For more heavily loaded systems, an active pullup such as that found in the DS2482-x00, DS2480B, or DS2490 may be required.

Note 4: Maximum value represents the internal parasite capacitance when V_{PUP} is first applied. If a 2.2k Ω resistor is used to pull up the data line, 2.5 μs after V_{PUP} has been applied the parasite capacitance does not affect normal communications.

Note 5: Guaranteed by design, characterization and/or simulation only. Not production tested.

Note 6: V_{TL} , V_{TH} , and V_{HY} are a function of the internal supply voltage which is itself a function of V_{PUP} , R_{PUP} , 1-Wire timing, and capacitive loading on I/O. Lower V_{PUP} , higher R_{PUP} , shorter t_{REC} , and heavier capacitive loading all lead to lower values of V_{TL} , V_{TH} , and V_{HY} .

Note 7: Voltage below which, during a falling edge on I/O, a logic 0 is detected.

Note 8: The voltage on I/O needs to be less or equal to V_{ILMAX} at all times the master is driving I/O to a logic 0 level.

Note 9: Voltage above which, during a rising edge on I/O, a logic 1 is detected.

Note 10: After V_{TH} is crossed during a rising edge on I/O, the voltage on I/O has to drop by at least V_{HY} to be detected as logic 0.

Note 11: The I-V characteristic is approximately linear for voltages less than 1V.

Note 12: Applies to a single device attached to a 1-Wire line.

Note 13: The earliest recognition of a negative edge is possible at t_{REH} after V_{TH} has been reached on the preceding rising edge.

Note 14: Defines maximum possible bit rate. Equal to $1/(t_{WOLMIN} + t_{RECMIN})$.

Note 15: Interval after t_{RSTL} during which a bus master is guaranteed to sample a logic 0 on I/O if there is a DS28EC20 present. Minimum limit is t_{PDHMAX} ; maximum limit is $t_{PDHMIN} + t_{PDLMIN}$.

Note 16: Highlighted numbers are NOT in compliance with legacy 1-Wire product standards. See comparison table below.

Note 17: ϵ in Figure 11 represents the time required for the pullup circuitry to pull the voltage on I/O up from V_{IL} to V_{TH} . The actual maximum duration for the master to pull the line low is $t_{W1LMAX} + t_F - \epsilon$ and $t_{W0LMAX} + t_F - \epsilon$, respectively.

Note 18: δ in Figure 11 represents the time required for the pullup circuitry to pull the voltage on I/O up from V_{IL} to the input high threshold of the bus master. The actual maximum duration for the master to pull the line low is $t_{RLMAX} + t_F$.

Note 19: Current drawn from I/O during the EEPROM programming interval. During a programming cycle the voltage at I/O drops by $I_{PROG} \times R_{PUP}$ below V_{PUP} . If V_{PUP} and R_{PUP} are within their EC table limits, the residual I/O voltage meets the guaranteed-by-design minimum voltage requirements for programming.

Note 20: The t_{PROG} interval begins t_{REHMAX} after the trailing rising edge on I/O for the last time slot of the E/S byte for a valid copy scratchpad sequence. Interval ends once the device's self-timed EEPROM programming cycle is complete and the current drawn by the device has returned from I_{PROG} to I_L .

Note 21: Write-cycle endurance is degraded as T_A increases.

Note 22: Not 100% production-tested; guaranteed by reliability monitor sampling.

Note 23: Data retention is degraded as T_A increases.

Note 24: Guaranteed by 100% production test at elevated temperature for a shorter time; equivalence of this production test to data sheet limit at operating temperature range is established by reliability testing.

Note 25: EEPROM writes may become nonfunctional after the data retention time is exceeded. Long-time storage at elevated temperatures is not recommended; the device may lose its write capability after 10 years at +125°C or 40 years at +85°C.

PARAMETER	LEGACY VALUES				DS28EC20 VALUES			
	STANDARD SPEED		OVERDRIVE SPEED		STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t_{SLOT} (incl. t_{REC})	61 μs	(undefined)	7 μs	(undefined)	65 μs^*	(undefined)	8 μs^*	(undefined)
t_{RSTL}	480 μs	(undefined)	48 μs	80 μs	480 μs	640 μs	48 μs	80 μs
t_{PDH}	15 μs	60 μs	2 μs	6 μs	15 μs	60 μs	2 μs	6 μs
t_{PDL}	60 μs	240 μs	8 μs	24 μs	60 μs	240 μs	8 μs	24 μs
t_{WOL}	60 μs	120 μs	6 μs	16 μs	60 μs	120 μs	6 μs	15.5 μs

* Intentional change, longer recovery time requirement due to modified 1-Wire front-end.

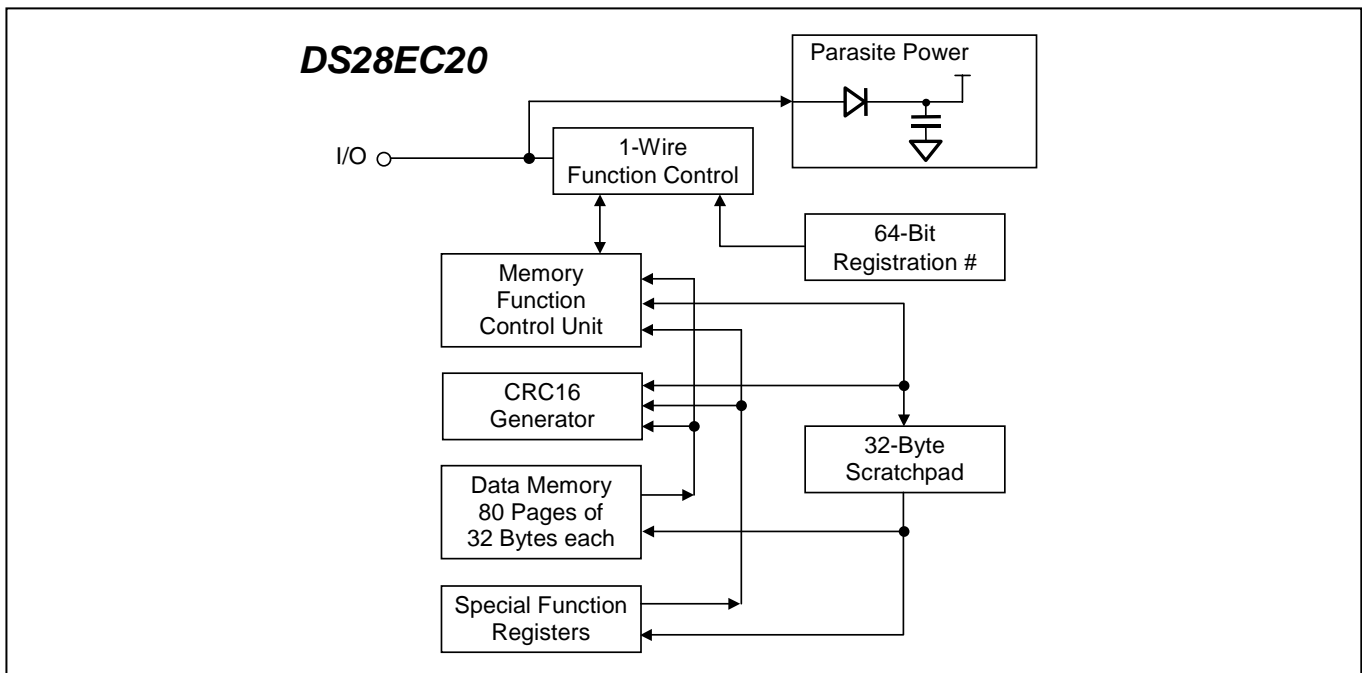
引脚说明

名称	功能
I/O	1-Wire 总线接口。漏极开路，需外接上拉电阻。
GND	地。
N.C.	无连接。

说明

DS28EC20 在单芯片内集成了带有全功能 1-Wire 接口的 20Kb 数据 EEPROM。存储器分为 80 页，每页 256 位。此外，DS28EC20 有一个存储器页用于控制功能，如将每个 2048 位(8 页)存储器块设置为永久写保护及 EPROM 仿真模式。DS28EC20 有一个称为暂存器的易失性 256 位存储器页，在向 EEPROM 写数据时充当缓冲器，确保数据的完整性。数据首先被存入暂存器，并可在发送到 EEPROM 之前从这里读回，以进行验证。DS28EC20 可通过单触点 1-Wire 总线控制，器件通信遵循标准 1-Wire 协议。每片 DS28EC20 有不可更改且唯一的 64 位 ROM 序列码，当器件处于多点 1-Wire 网络环境中时，该序列码可保证器件的唯一识别并用于寻址器件。多个 DS28EC20 可挂接在同一根 1-Wire 总线上，且彼此独立工作不受影响。DS28EC20 的典型应用包括：器件识别、模拟传感器(如 IEEE-P1451.4 智能传感器 TEDS)校准、打印机墨盒/碳粉盒识别、医疗传感器校准数据存储、PBX 或其它模块化机架系统。DS28EC20 高度向下兼容于 DS2433。除家族码不同以外，与现有 DS2433 相比唯一不同之处在于所需的协议不同，DS28EC20 的编程周期(t_{PROG})从 5ms 延长到 10ms。

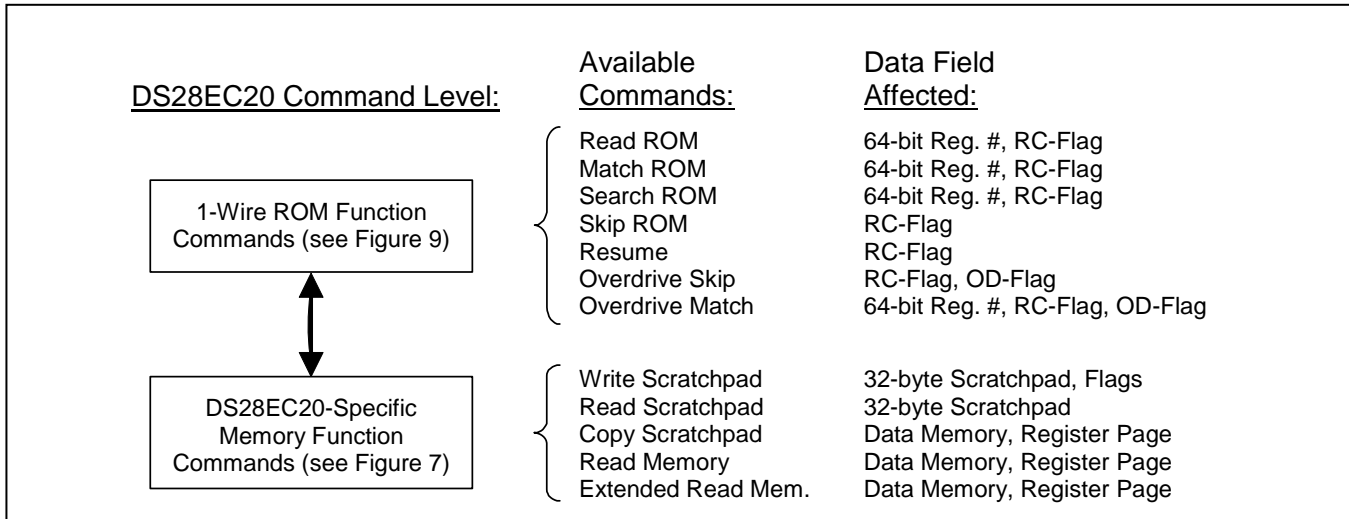
图 1. 方框图



概述

图 1 中的框图说明了 DS28EC20 主控单元与存储器部分的关系。DS28EC20 包括四个主要数据部件：1) 64 位注册码，2) 32 字节暂存器，3) 80 个 32 字节 EEPROM 页，4) 特殊功能寄存器。1-Wire 协议的层次结构如图 2 所示。主机必须首先发送以下七条 ROM (网络)功能命令中的一条：1) Read ROM，2) Match ROM，3) Search ROM，4) Skip ROM，5) Resume，6) Overdrive Skip ROM，7) Overdrive Match ROM。当以标准速度执行完 Overdrive ROM 命令后，器件进入高速模式，所有后续通信均以高速模式进行。与 ROM 功能命令有关的协议说明见图 9。成功执行完 ROM 功能命令后，就可以进行存储器访问，主机可发出五条存储器功能命令中的任一条。与存储器操作命令有关的协议说明见图 7。所有数据读/写时，都是低位在前。

图 2. 1-Wire 协议层次结构

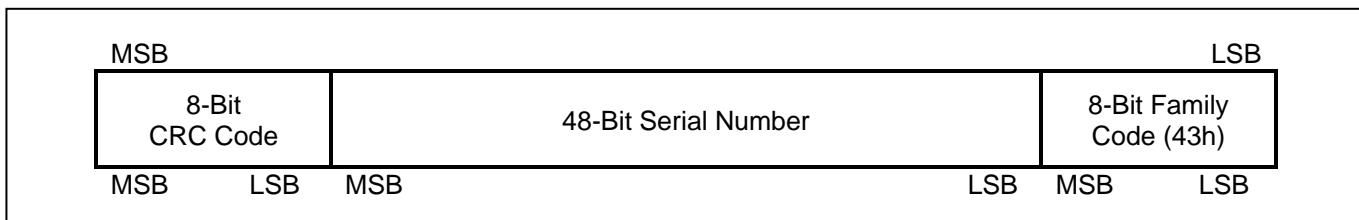


64 位光刻 ROM

每片 DS28EC20 都有一个唯一的 64 位 ROM 码，其中前 8 位是 1-Wire 家族码，中间 48 位是唯一的序列号，最后 8 位是前 56 位的 CRC (循环冗余校验) 码，如图 3 所示。1-Wire CRC 校验码由一个包含移位寄存器和异或门的多项式发生器产生，如图 4 所示。该多项式为： $X^8 + X^5 + X^4 + 1$ 。有关 Dallas 1-Wire CRC 校验码的更多信息请参考应用笔记 27: 理解和运用 Dallas Semiconductor iButton[®] 产品中的循环冗余校验(CRC) (www.maxim-ic.com.cn/AN27)。

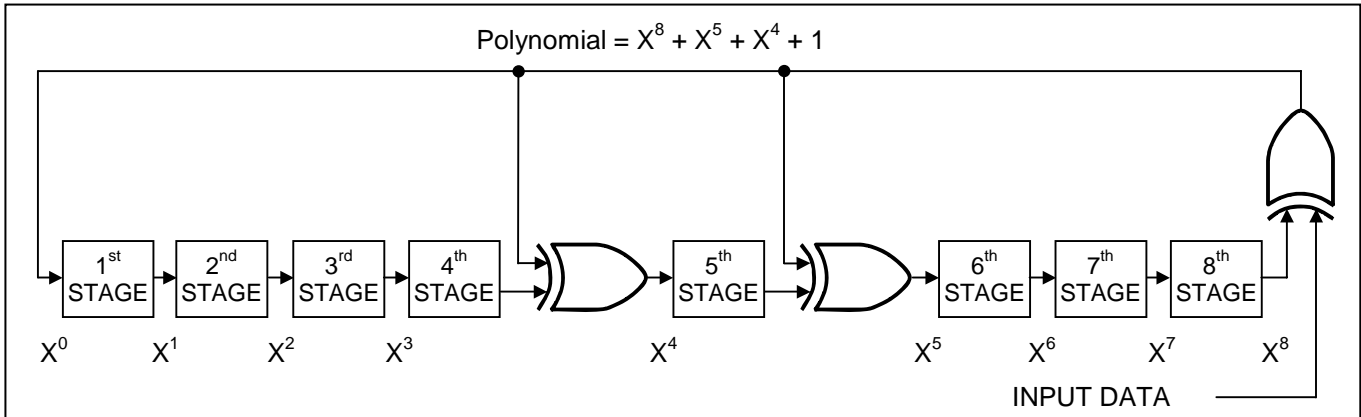
移位寄存器的初值被清 0。从家族码的最低有效位开始，每次移入一位。当家族码第 8 位移入后，再移入序列号。当序列号的最后一位也移入后，移位寄存器中的内容就是 CRC 值。继续移入 8 位 CRC 校验码后，移位寄存器应该全部归 0。

图 3. 64 位光刻 ROM



iButton 是 Dallas Semiconductor Corp. 的注册商标，Dallas Semiconductor Corp. 是 Maxim Integrated Products, Inc. 的全资子公司。

图 4. 1-Wire CRC 发生器



存储器

数据存储器和特殊功能寄存器位于线性地址空间内，如图 5 所示。数据存储器和寄存器对读操作没有限制。存储器共分 80 页，每页 32 个字节。8 个相邻页形成一个 2Kb 的存储器块。通过设置寄存器页中的相应保护字节将每个存储器块可被单独设置为开放(默认)、写保护或 EPROM 模式，保护字节起始地址为 0A00h。除了 10 个块保护控制字节(每个 2Kb 数据存储块都有一个保护控制字节)以外，寄存器页还包括 20 字节用户 EEPROM、存储器块锁定字节以及寄存器页锁定字节。DS28EC20 内部有起始地址为 0A20h 的只读存储器页，用来存储工厂字节，还有 2 字节保留存储区，用于设置厂商认证信息，实现工厂管理服务。该页的其它字节都保留。制造商 ID 是由用户提供的识别码，有助于应用软件识别与 DS28EC20 相关的器件。要设置并注册一个定制的厂商 ID 请与工厂联系。除了 EEPROM 以外，DS28EC20 还有 32 字节易失性暂存器。写 EEPROM 阵列分为两步：首先将数据写入暂存器，然后复制到主阵列。这样就允许用户在复制之前可以验证暂存器中的数据。

保护控制寄存器和存储器模块锁定字节决定是否将 10 个数据存储块设置为写保护、EPROM 模式或复制保护。保护控制寄存器值为 55h 时，将相应存储块设置为写保护。值为 AAh 时设置为 EPROM 模式。如果存储器模块锁定设置为 55h 或 AAh，会将所有写保护数据存储块设置为复制保护。处于 EPROM 模式的存储块不受影响。寄存器页面锁定字节设置为 55h 或 AAh 时，将整个寄存器页设置为复制保护。保护控制寄存器和锁定字节设置为 55h 或 AAh 时，本身也受写保护。设置为其它值时这些数据存储器和寄存器为开放状态，对写操作没有限制。复制保护和写保护的说明请参考复制保护一节。

写保护：写保护可防止数据被更改，但不会锁定复制暂存器功能；允许用相同的数据对存储器进行再编程。在 EEPROM 器件中，数字信息在浮空栅极上以电荷(电子)的形式存储。由于量子力学效应，大量电子从浮空栅极移入或移出，从而实现存储单元的编程或擦除。电子离开浮空栅极的速度取决于温度。温度越高，电子逃逸的速度越快。该速度在 EC 表中用 *Data Retention* 表示。再次编程存储器时，在整个数据保留时间内可保留写入的信息。这一特性在需要考虑数据保护的应用如高温场合中非常有用。

复制保护：复制保护功能可以阻止复制暂存器操作。该特性可以实现更高的安全等级，只有当所有写保护单元及相应的保护控制字节设置为正确的值时，才能启用该特性。复制保护不会阻止器件之间的数据复制。

图 5. 存储器映射

ADDRESS RANGE	TYPE	DESCRIPTION	PROTECTION CODES (NOTES)
0000h to 00FFh	R/(W)	Data Memory Pages 0 to 7 (Block 0)	(Protection controlled by address 0A00h)
0100h to 01FFh	R/(W)	Data Memory Pages 8 to 15 (Block 1)	(Protection controlled by address 0A01h)
0200h to 02FFh	R/(W)	Data Memory Pages 16 to 23 (Block 2)	(Protection controlled by address 0A02h)
0300h to 03FFh	R/(W)	Data Memory Pages 24 to 31 (Block 3)	(Protection controlled by address 0A03h)
0400h to 04FFh	R/(W)	Data Memory Pages 32 to 39 (Block 4)	(Protection controlled by address 0A04h)
0500h to 05FFh	R/(W)	Data Memory Pages 40 to 47 (Block 5)	(Protection controlled by address 0A05h)
0600h to 06FFh	R/(W)	Data Memory Pages 48 to 55 (Block 6)	(Protection controlled by address 0A06h)
0700h to 07FFh	R/(W)	Data Memory Pages 56 to 63 (Block 7)	(Protection controlled by address 0A07h)
0800h to 08FFh	R/(W)	Data Memory Pages 64 to 71 (Block 8)	(Protection controlled by address 0A08h)
0900h to 09FFh	R/(W)	Data Memory Pages 72 to 79 (Block 9)	(Protection controlled by address 0A09h)
0A00h* to 0A09h*	R/(W)	Protection Control Blocks 0 to 9	55h: Write protected; AAh: EPROM mode. Address 0A00h is associated with Block 0, address 0A01h with Block 1, etc.
0A0Ah to 0A1Dh	R/(W)	User EEPROM	(Protection controlled by address 0A1Fh)
0A1Eh*	R/(W)	Memory Block Lock	(See text)
0A1Fh*	R/(W)	Register Page Lock	(See text)
0A20h	R	Factory Byte	(55h → no valid manufacturer ID, AAh → 0A23h to 0A24h are a valid Manufacturer ID)
0A21h to 0A22h	R	Factory Trim Bytes	(Unspecified value)
0A23h to 0A24h	R	Manufacturer ID	Validity depends on factory byte
0A25h to 0A3Fh	R	Reserved	(Unspecified value)

*一旦编程为 AAh 或 55h，该地址就变为只读，可以存储所有其它代码，但既不能对地址加写保护也不激活任何功能。

地址寄存器和传输状态

DS28EC20 使用三个地址寄存器：TA1、TA2 和 E/S (图 6)。寄存器 TA1 和 TA2 必须加载进行数据写入或读出的目标地址。寄存器 E/S 是一个只读的传输状态寄存器，用于验证写操作命令的数据完整性。ES 位 E[4:0]加载 Write Scratchpad 命令所输入 T[4:0]的值，每输入一个数据字节加 1。这实际上是 32 字节暂存器的字节结束偏移量计数器。E/S 寄存器的第 5 位称为 PF，该位如果为逻辑 1，则意味着主机发送的数据位数不是 8 的整数倍，或者暂存器中的数据由于掉电的关系而成为无效数据。有效的写暂存器操作将清除 PF 位。第 6 位没有功能；其值始终为 0。E/S 寄存器的最高位称为授权许可标记(AA)，只有当 PF 标记为 0 时才有效。如果 PF 为 0 且 AA 为 1，说明暂存器中的数据已复制到目标存储器地址。向暂存器中写入数据将清除该标记。

图 6. 地址寄存器

Bit #	7	6	5	4	3	2	1	0
Target Address (TA1)	T7	T6	T5	T4	T3	T2	T1	T0
Target Address (TA2)	T15	T14	T13	T12	T11	T10	T9	T8
Ending Address with Data Status (E/S) (Read Only)	AA	0	PF	E4	E3	E2	E1	E0

带校验的写操作

向 DS28EC20 写数据时，必须把暂存器作为中间存储器。首先，主控制器发 Write Scratchpad 命令并指定目标地址，随后发送要写入暂存器的数据。在一定条件下(参见 *Write Scratchpad* 命令一节)，主机将接收到一个反码的 CRC16 校验码、地址(实际发送地址)和位于 Write Scratchpad 命令序列末尾的数据。收到该 CRC 校验码后，主机与自己的计算结果进行比较，判断通信是否成功，并决定是否继续执行 Copy Scratchpad 命令。如果主机未接收到 CRC16，主机应发送一条 Read Scratchpad 命令来验证数据的完整性。在回送暂存器数据前，DS28EC20 重新发回目标地址 TA1、TA2 及 E/S 寄存器值。如果 PF 标记置 1，说明数据没有正确送达暂存器，或者上一次写暂存器后发生掉电故障。主机无需继续读入数据；可以开始向暂存器写入数据。同样，如果 AA 标记置 1，同时 PF 标志位清零，则说明器件未能正确识别 Write 命令。如果一切正常，两个标志位均被清零且结束偏移表明写入暂存器的最后一个字节的地址。此时主机可以继续读取数据和验证数据字节。主机完成数据验证后，就可以发送 Copy Scratchpad 等命令。此时命令之后必须紧随三个地址寄存器 TA1、TA2 和 E/S 中的数据。主机应通过读暂存器获得这些寄存器的内容。一旦 DS28EC20 正确接收到这些字节，在目标存储器未被复制保护、PF 标志位没有被清零、Write Scratchpad 和 Copy Scratchpad 命令之间无需执行 Read Memory 或 Extended Read Memory 命令的情况下，器件将开始把暂存器中数据复制到所需的地址单元。

存储器功能命令

存储器功能流程图(图 7)说明了访问 DS28EC20 存储器所需的协议。目标地址寄存器 TA1 和 TA2 用于读、写操作。为防止数据存储器或控制寄存器中的数据被意外改写，DS28EC20 采用了一个 BS 标记，表示“错误的命令序列(bad sequence)”。主机和 DS28EC20 之间可在标准速率(默认，OD = 0)或者高速模式(OD = 1)下通信。如果没有明确设定为高速模式，DS28EC20 默认为标准速率。

Write Scratchpad 命令[0Fh]

Write Scratchpad 命令适用于数据存储器 and 寄存器页中的可写地址。发出 Write Scratchpad 命令后，主机必须首先提供 2 个字节的地址，随后是要写入暂存器的数据。写入暂存器的数据起始字节偏移量为 T[4:0]。ES 的 E[4:0] 位加载起始字节偏移量，后面每收到一个数据字节加 1。E[4:0] 最终结果为最后被写入暂存器的完整字节的偏移量。仅接受完整数据字节。如果最后一个数据字节不完整，该字节将被忽略，并置位字节不全标志(PF)。如果主机在传送完整的目标地址之前结束命令，PF 标记也置位。接收到完整的目标地址后 PF 和 BS 标记均被清零。

执行 Write Scratchpad 命令时，DS28EC20 内部的 CRC 发生器(见图 13)随着主机的发送过程，计算整个数据流的 16 位 CRC 校验码，始于命令码，终止于最后一个数据字节。该 CRC 校验码由 CRC16 多项式($X^{16} + X^{15} + X^2 + 1$)生成，计算时首先清除 CRC 发生器，然后顺序移入 Write Scratchpad 的命令代码(0Fh)、目的地址(TA1 和 TA2)及所有数据字节。主机可以随时终止 Write Scratchpad 命令。但是，如果写入的数据达到暂存器上限(E[4:0] = 11111b)，主机可发送 16 个读时隙并接收由 DS28EC20 产生的 CRC 码。

如果 Write Scratchpad 命令试图对写保护区域进行写入，则暂存器将加载存储器中原有的数据，而不是主机发送的数据。同样，如果目标地址页处于 EPROM 模式，载入暂存器的数据将是发送数据和存储器当前内容的位逻辑与的结果。

DS28EC20 存储器的地址范围为 0000h 至 0A3Fh。如果总线主机发送的目标地址超出此范围，DS28EC20 内部电路在四个最高有效地址位移入内部地址寄存器时将它们设置为 0。通过 Read Scratchpad 命令可获取修正后的目标地址。主机通过比较读回的目标地址与发送的目标地址来识别此类地址修正。如果主机不读暂存器，后续的 Copy Scratchpad 命令不起作用，因为主机发送目标地址的最高有效位与 DS28EC20 的期望值不匹配。

Read Scratchpad 命令[AAh]

Read Scratchpad 命令用来验证目的地址和暂存器数据的完整性。主机发送命令码后开始读数据。开头的两个字节是目的地址。下一个字节是结束偏移量/数据状态字节(E/S)，接着是暂存器数据(从字节偏移 T[4:0]开始)。暂存器数据可能与主机发送的原始数据不同。当目的地址位于寄存器页，或存储器页处于写保护或 EPROM 模式时，这一点尤其重要。详见 *Write Scratchpad 命令* 一节。主机应读完暂存器中的所有数据，随后就可以收到反码的 CRC16。该 CRC16 基于 DS28EC20 所发送的数据计算产生。如果主机收到 CRC 校验码后继续读取数据，那么读到的所有数据都将是逻辑 1。

图 7-1. 存储器功能流程图

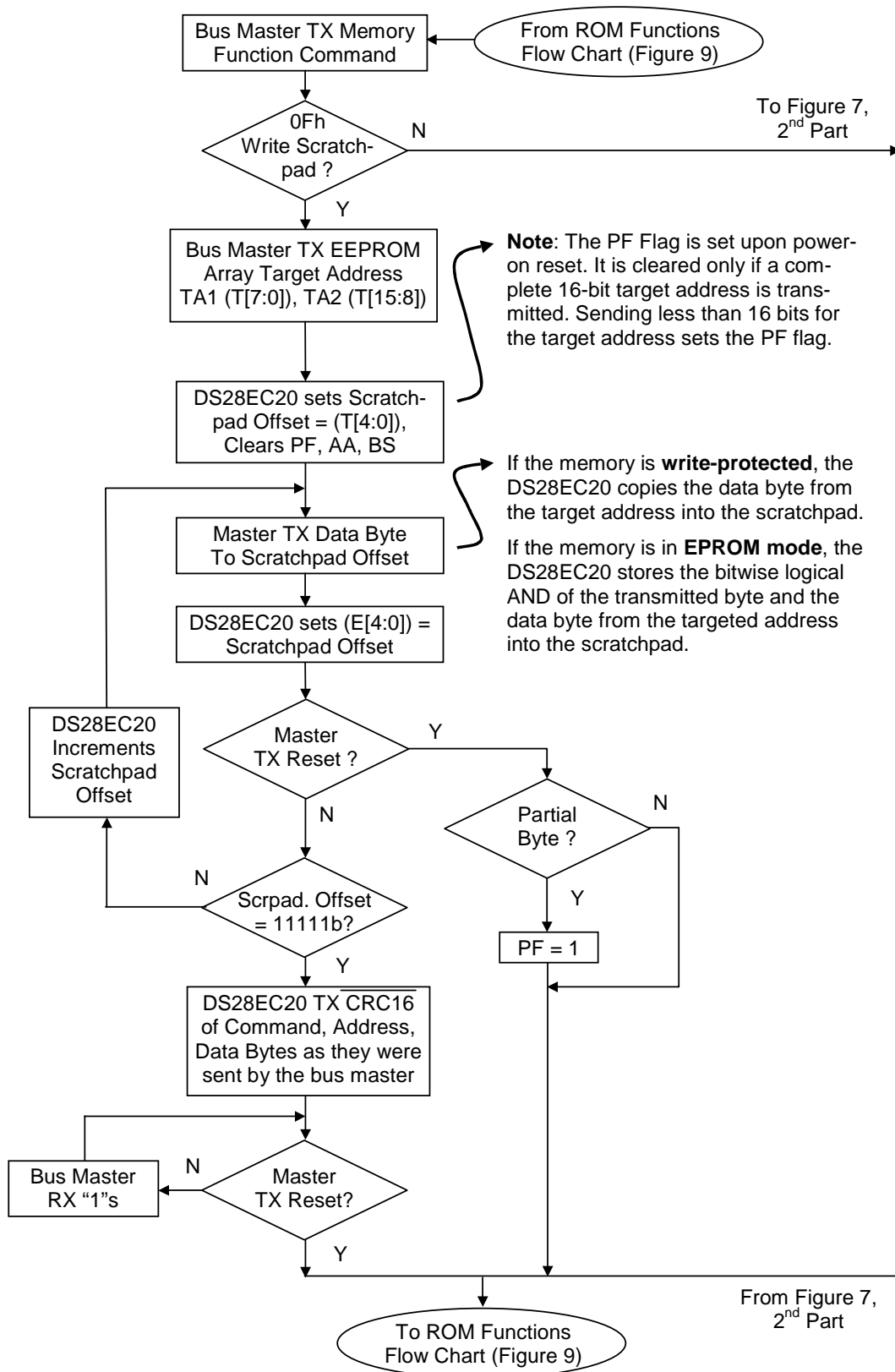


图 7-2. 存储器功能流程图(续)

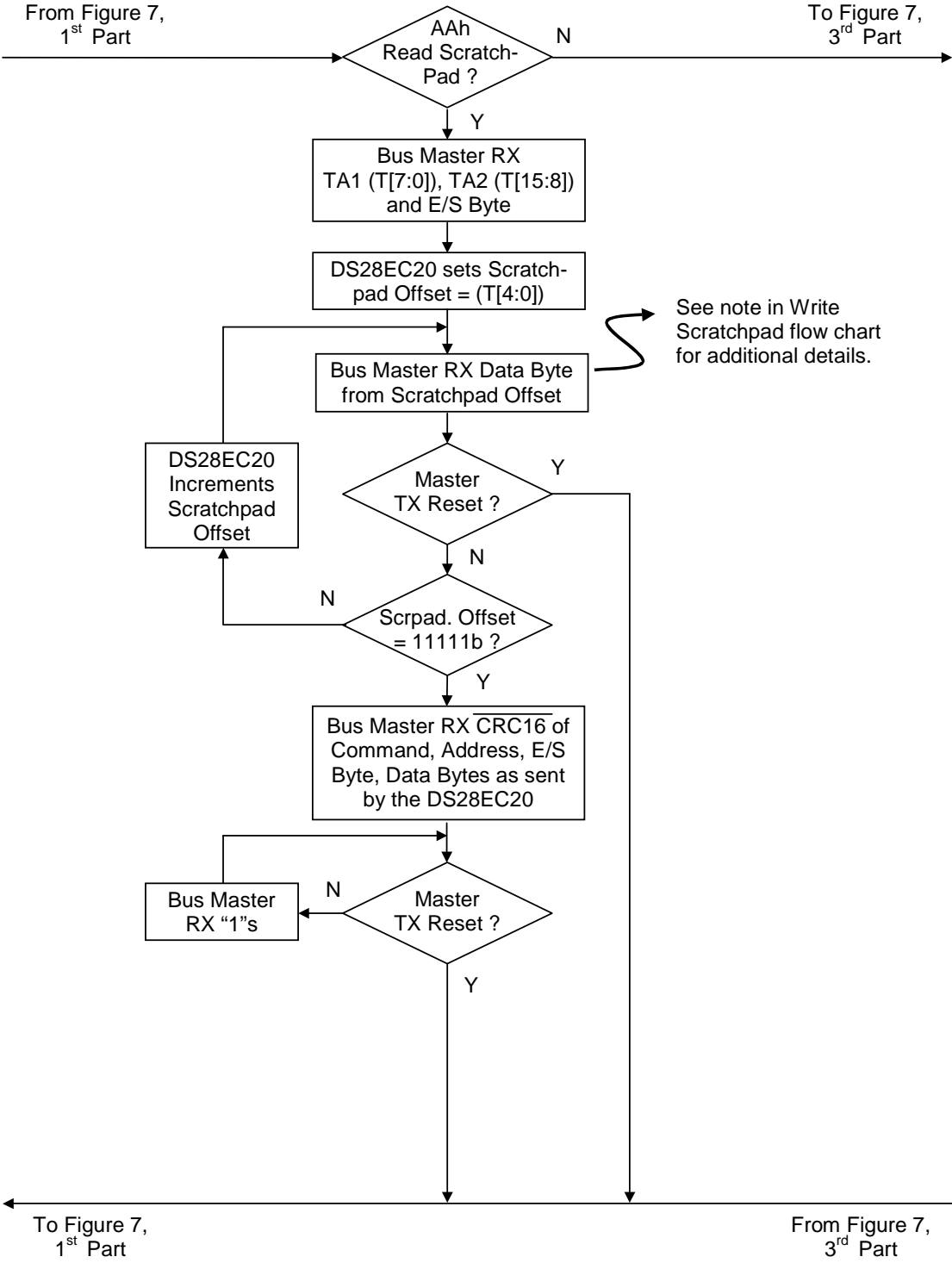


图 7-3. 存储器功能流程图(续)

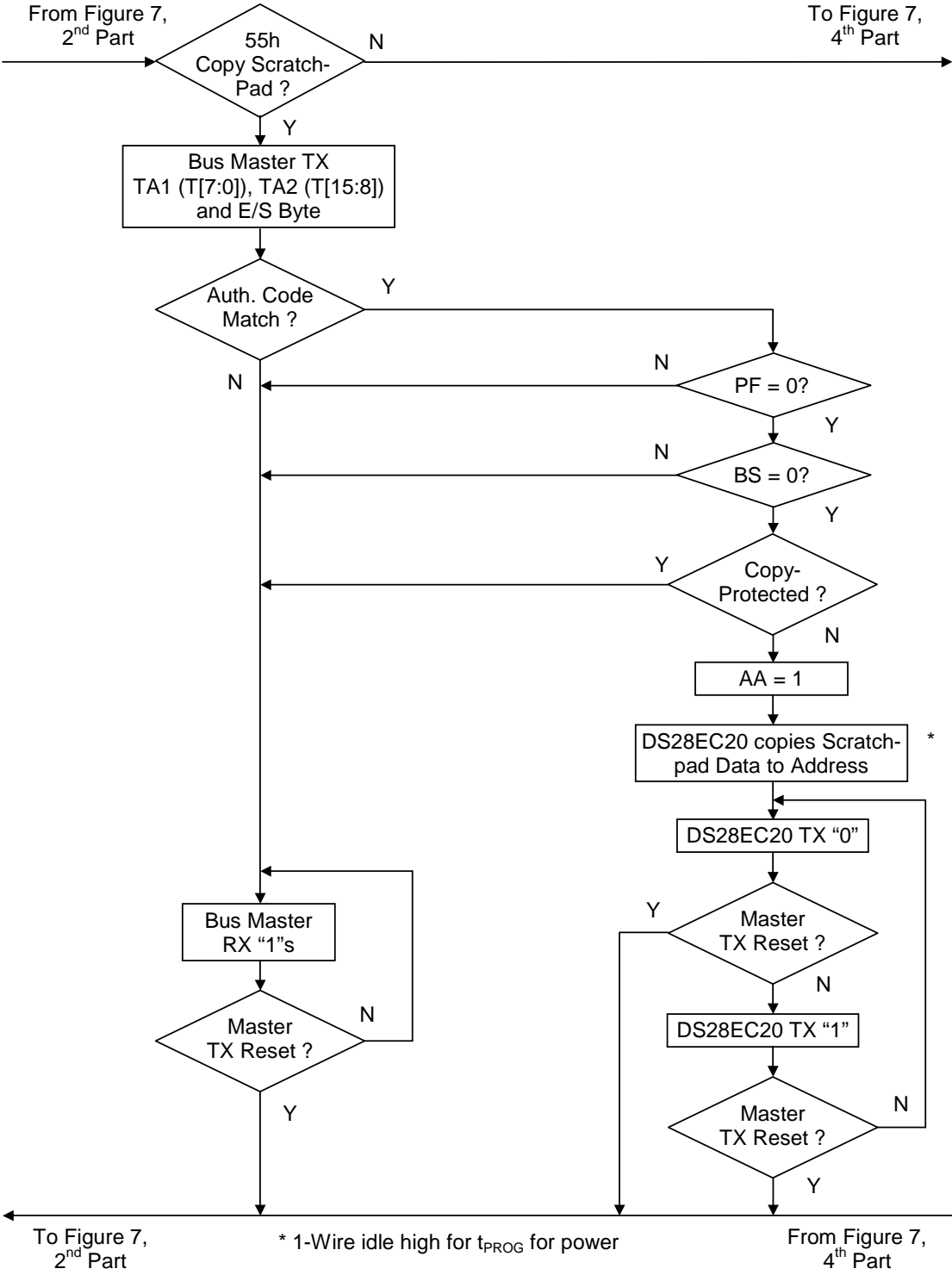
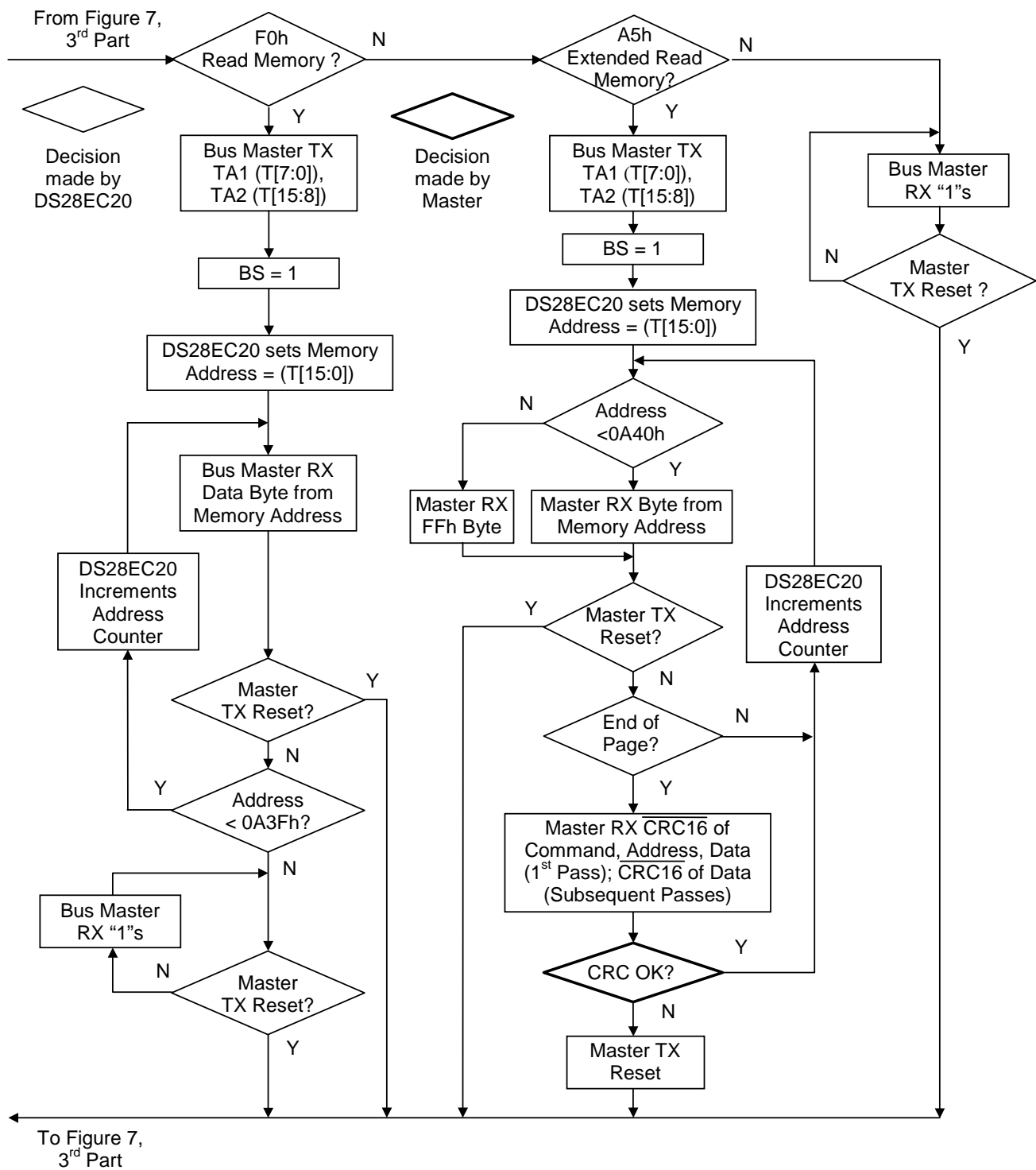


图 7-4. 存储器功能流程图(续)



Copy Scratchpad [55h]

Copy Scratchpad 命令用于将暂存器中的数据复制到数据存储单元及可写的寄存器页。发出 Copy Scratchpad 命令后，主机必须提供一个 3 字节的授权模式，该数据应该通过紧邻此条命令的前一个 Read Scratchpad 命令获得。该 3 字节模式数据必须与三个地址寄存器(依次为 TA1、TA2 和 E/S)中的数据正确匹配。如果授权码匹配，目标地址有效，PF 及 BS 标记未置 1，并且目标存储器未被写保护，AA 标志置位，才能开始执行复制操作。复制的数据取决于三个地址寄存器。暂存器内从起始偏移至结束偏移的有数据都将被复制到存储单元，从目标地址开始复制。用该命令可复制位于任意地址的 1 至 32 字节。器件内部数据传输的时间周期为 t_{PROG} ，在此期间 1-Wire 总线必须为空闲状态或拉为高电平。该器件的有源上拉是可选的。数据复制完成后会发送一组 0 和 1 交替的信号，直到主机发送复位脉冲。如果 PF 或 BS 标记置 1 或目标地址处于复制保护模式，则不进行复制操作且 AA 标志位不会置位。若在 Write Scratchpad 及 Copy Scratchpad 命令之间执行 Read Memory 或 Extended Read Memory 命令，BS 标志位可确保不执行 Copy Scratchpad 命令(阻止)。

Read Memory [F0h]

Read Memory 命令通常用来读取 DS28EC20 中的数据。发出命令后，主控制器必须提供 2 字节的地址，范围为 0000h 至 0A3Fh。如果目的地址大于 0A3Fh，DS28EC20 将高 4 个地址位变为 0。发送完地址字节之后，主控制器读取从(修正后的)目标地址开始的数据，一直读到地址 0A3Fh。如果主机继续读，结果将是 FFh。通过发送复位脉冲可随时终止 Read Memory 命令。注意：Read Memory 提供的目的地址会改写先前 Write Scratchpad 命令指定的目的地址。由于 Read Memory 命令也将 BS 标志位置位，因此即使认证格式匹配，随后的 Copy Scratchpad 命令也会失败。

Extended Read Memory [A5h]

该命令的工作方式本质上与 Read Memory 命令相同，唯一不同之处在于 DS28EC20 生成 16 位 CRC 并在存储器页的最后一个数据字节后发送该 CRC。生成 CRC 时所用多项式与 Write Scratchpad 相同。发送完命令代码后，主机必须提供 2 字节的地址，范围为 0000h 至 0A3Fh。如果目的地址大于 0A3Fh，DS28EC20 将高 4 个地址位变为 0。这两个地址字节之后，主控制器从(修正后的)目标地址开始读取数据，一直读到 32 字节存储器页的末尾。此时总线主机接收到 16 位 CRC 的反码。如果主机继续读，会接收到从下一页开始的数据，后跟该页 16 位 CRC 的反码。读到页末尾后还可以读，只是结果为 FFh。通过发送复位脉冲可随时终止 Extended Read Memory 命令序列。注意：Read Memory 提供的目的地址会改写先前 Write Scratchpad 命令指定的目的地址。由于 Extended Read Memory 命令也将 BS 标志位置位，因此即使认证格式匹配，随后的 Copy Scratchpad 命令也会失败。

1-Wire 总线系统

1-Wire 是在一条总线上连接单个主机和一台或多台从机设备的系统。任何情况下，DS28EC20 都作为从机设备来使用。总线主机通常为微处理器。对该总线系统的讨论分为以下三个部分：硬件结构、处理流程和 1-Wire 信令(信号类型和时序)。1-Wire 通信协议规定总线的收发按照特殊间隙下的总线状态进行，由主机发出的同步脉冲下降沿初始化。

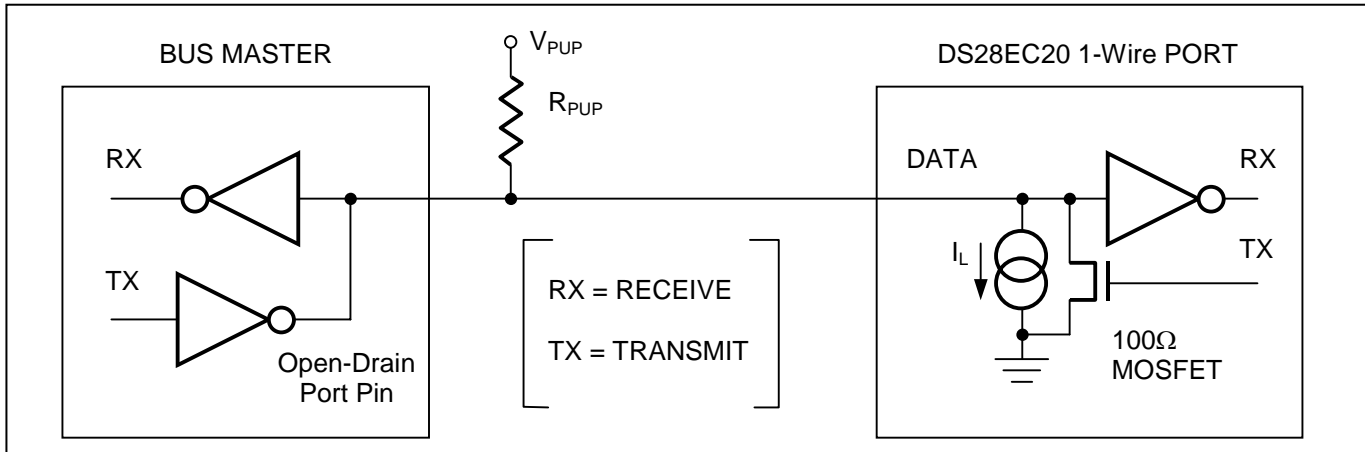
硬件配置

1-Wire 总线系统中只定义了一根数据线，所以，保证在适当的时间驱动总线上的每个设备是非常重要的。为实现此目的，1-Wire 总线上的每个器件必须都带有漏极开路输出或三态输出。DS28EC20 的 1-Wire 端口为漏极开路，其内部等效电路如图 8 所示。

多点总线由连接多个从机设备的1-Wire总线组成。DS28EC20分别支持15.4kbps（最大值）的标准通信速率和125kbps（最大值）的高速通信速率。注意传统的1-Wire产品分别支持16.3kbps的标准通信速率和142kbps的高速通信速率。DS28EC20速率略有降低，原因是为增强1-Wire物理接口对噪声的抑制而增加了恢复时间。上拉电阻的阻值主要由网络的大小和负载条件决定。DS28EC20在任何速度下运行都需要一个2.2k Ω （最大值）的上拉电阻。

1-Wire总线的空闲状态为高电平。如果由于某种原因需暂停通信，若还需要恢复通信的话，总线必须保持在空闲状态。如果未设置为空闲状态，在高速模式，总线处于低电平时间超过16 μ s，标准速率模式超过120 μ s，总线上的一个或多个器件将被复位。

图 8. 硬件配置



处理流程

通过 1-Wire 端口访问 DS28EC20 的协议如下：

- 初始化
- ROM 功能命令
- 存储器功能命令
- 传输/数据

初始化

所有1-Wire总线上的数据传输都以初始化过程开始。初始化过程包括主机发送一个复位脉冲，各从机随后发送应答脉冲。应答脉冲让主机得知DS28EC20在线并且准备就绪。更多信息请参阅 *1-Wire 信令* 一节。

1-Wire ROM 功能命令

一旦主机检测得到一个应答脉冲，便可发送DS28EC20支持的七条ROM功能命令中的任一条。所有的ROM功能命令长度均为8位。下面列出了所有的ROM命令(参考图9中的流程图)。

Read ROM [33h]

此命令允许主机读取DS28EC20的8位家族码，唯一的48位序列号和8位CRC校验码。此命令适用于总线上仅有一个从机的情况。如果总线上连接了多个从机设备，当所有从机试图同时发送数据时，将会发生数据冲突(漏极开路输出产生一个线与的结果)。导致主机收到的家族码和48位序列号与CRC校验码不匹配。

Match ROM [55h]

Match ROM命令后面跟随一个64位ROM地址码，允许主机访问多点总线上一个特定DS28EC20。只有与该64位ROM地址码正确匹配的DS28EC20才会对后面的存储器功能命令做出反应。其它所有从机均等待下一个复位脉冲。这条命令既适用于单从机系统，也适用于多从机系统。

Search ROM [F0h]

系统刚启动时，主机可能并不知道多少设备挂在1-Wire总线上，也不知道它们具体的地址码。主机可利用总线上的线与特性，采用排除法来识别总线上所有从机的地址码。先发送地址码的最低有效位，主机针对每一位都发送三个时隙。第一个时隙，每个参与搜索的从机都输出各自地址码该位的值。第二个时隙，每个参与搜索的从机都输出该位的补码。第三个时隙，主机写入该位指定值。所有与该值不匹配的从机都不再参加搜索。如果主机两次读到的值均是0，则说明从机该位的两个状态都存在。主机通过写入的状态值来选择搜索ROM码树的不同分支。经过一次完整搜索过程，主机即可知道某个从机的地址码。另外的搜索过程可以识别其余从机的地址码。详细讨论请参考应用笔记187：1-Wire搜索算法(www.maxim-ic.com.cn/AN187)，其中包括一个示例。

Skip ROM [CCh]

在一个单从机总线系统中，主机可使用此命令访问存储器而不需要提供64位ROM地址码，从而节省时间。如果总线上不止一个从机，当一条Read命令紧跟一条Skip ROM命令发送时，会因多个从机同时发送数据而导致数据冲突。(漏极开路输出下拉将产生一个线与结果)。

Resume [A5h]

为了最大程度提高多点环境中的数据吞吐率，系统提供了Resume功能。此功能检查RC位的状态，如果置位，则直接把控制权交给存储器功能，与Skip ROM命令类似。RC的置位只能通过成功地执行Match ROM、Search ROM或Overdrive Match ROM命令来实现。一旦RC置位，即可利用Resume命令重复访问此器件。访问总线上的其它器件会清除RC位，以防止两个或更多的从机同时响应Resume命令。

Overdrive Skip ROM [3Ch]

在一个单从机总线上使用该命令时，主机不需要提供64位的ROM地址码就可以访问存储器功能，从而节省了时间。与通常的Skip ROM命令不同，Overdrive Skip ROM命令将DS28EC20设置为高速模式(OD = 1)。该命令后的所有通信均为高速模式，直到有一个最短持续480μs时间的复位脉冲将总线上的所有器件复位成标准速率(OD = 0)。

如果在一个多点总线上发送该命令，则总线上所有支持高速模式的器件都被设置成高速模式。随后，为了寻址特定的高速模式器件，必须发出一个高速模式的复位脉冲，接着运用Match ROM或Search ROM命令。这样能够加速搜索过程。如果总线上有多个支持高速模式的从机，而且Overdrive Skip ROM命令后跟着一条Read命令，会因多个从机同时发送数据而产生数据冲突(漏极开路输出下拉将产生一个线与结果)。

Overdrive Match ROM [69h]

通过Overdrive Match ROM命令，后接以高速模式发送的64位ROM地址码，能够使总线主机在多点总线上访问一个特定的DS28EC20，同时将其设置成高速模式。只有与该64位ROM地址码正确匹配的DS28EC20才会对后续的存储器功能命令做出反应。已经被前面的Overdrive Skip或Overdrive Match命令成功设置成高速模式的从机将继续保持高速模式。所有支持高速模式的从机在下一个持续时间最小为480μs的复位脉冲后回到标准速率。Overdrive Match ROM命令适用于总线上有单个或多个器件的情况。

图 9-1. ROM 功能流程图

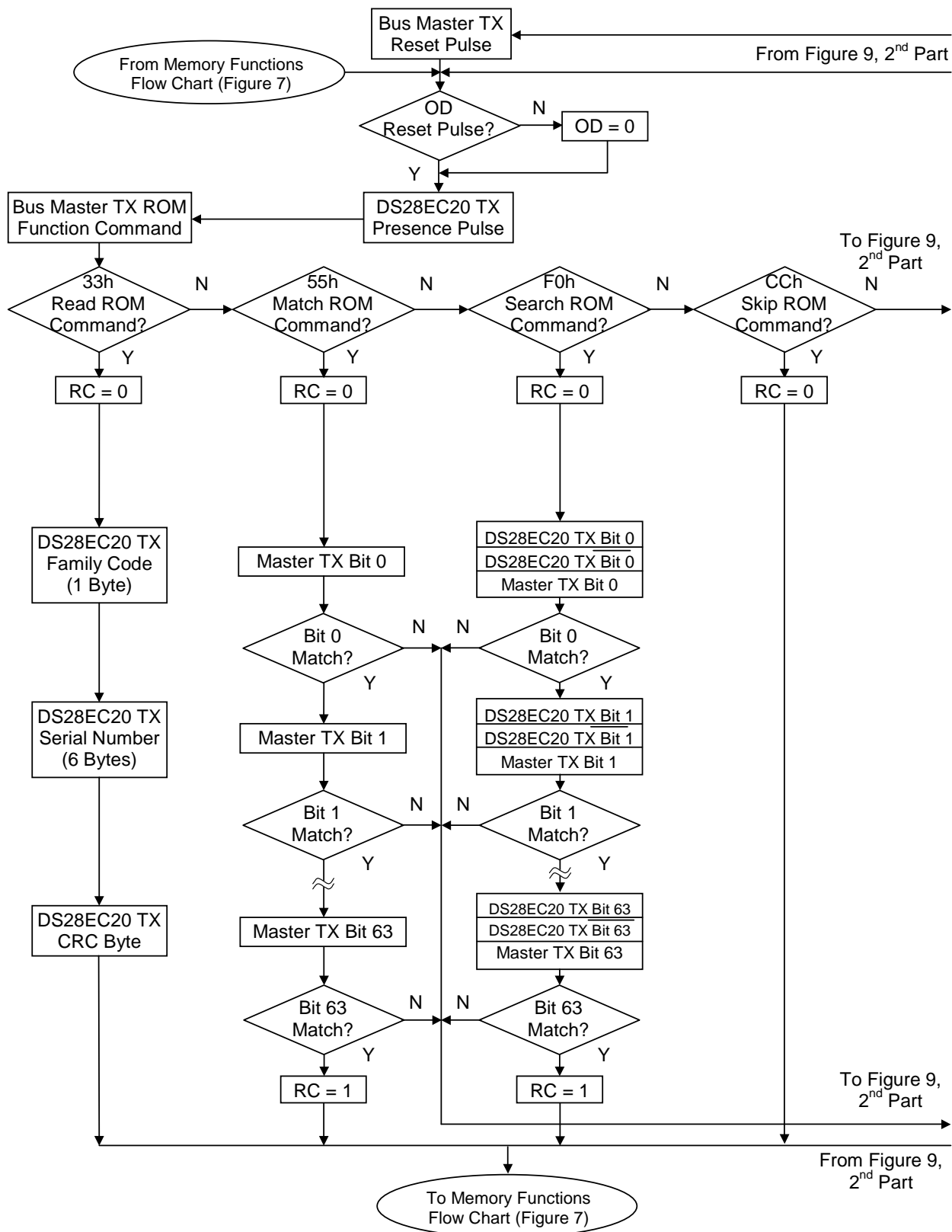
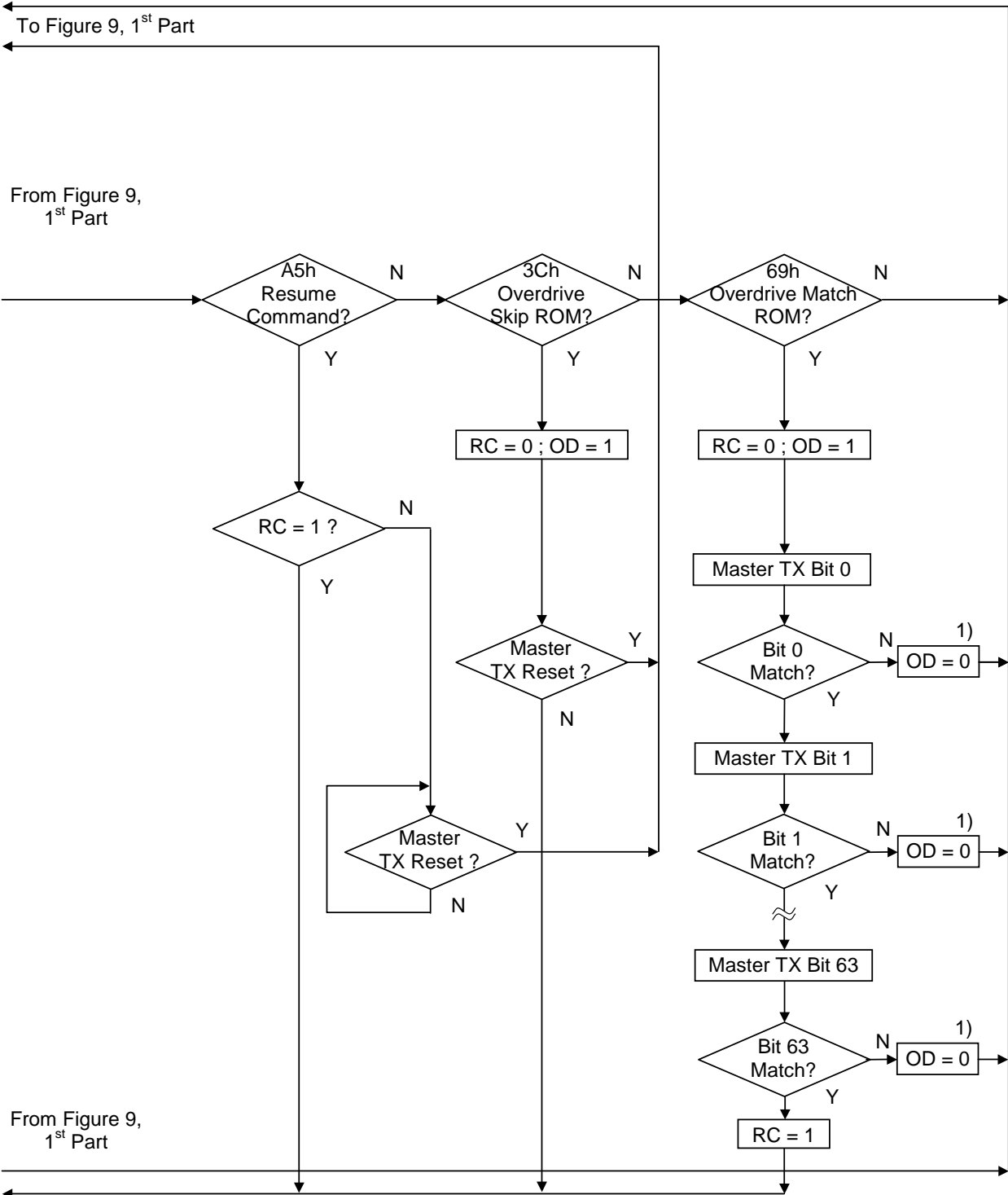


图 9-2. ROM 功能流程图(续)



1) The OD flag remains at 1 if the device was already at overdrive speed before the Overdrive Match ROM command was issued.

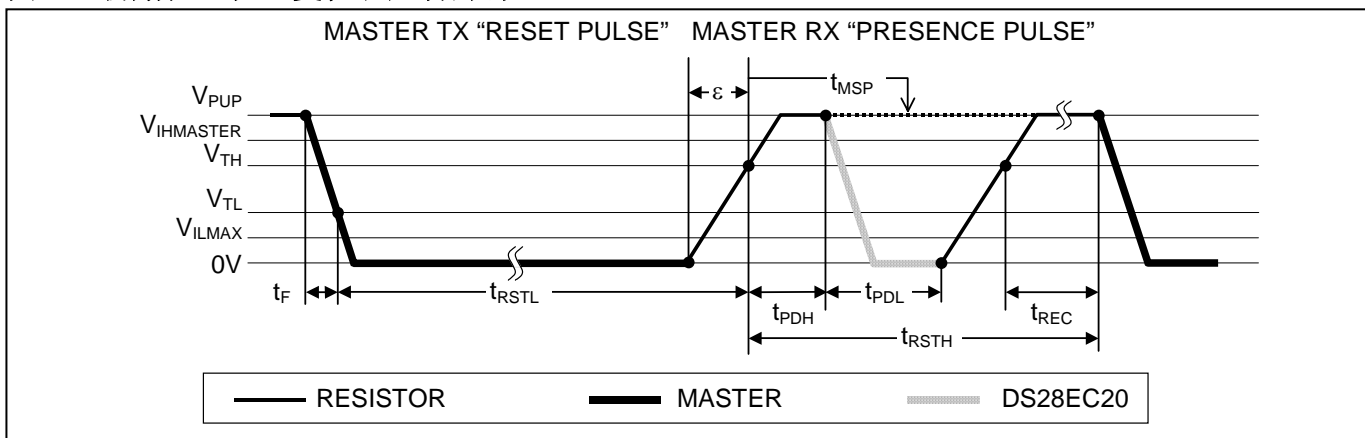
1-Wire 信令

DS28EC20要严格的协议来保证数据完整性。该协议在一根线上定义了四种类型的信号：包括复位脉冲和应答脉冲的复位序列、写0、写1和读数据。除应答脉冲外，总线主机发出所有其它信号的下降沿。DS28EC20能以标准速度或高速两种模式通信。如果没有明确设置为高速模式，DS28EC20就以标准速度通信。在高速模式下，所有波形均采用快速定时。

当从空闲状态被激活时，1-Wire线上的电压需要从 V_{PUP} 降到门限电压 V_{TL} 以下。要从活动状态返回空闲状态，电压需从 V_{ILMAX} 上升至门限电压 V_{TH} 以上。电压上升时间见图10所示的“ ϵ ”，其持续时间取决于使用的上拉电阻(R_{PUP})和1-Wire网络的附加电容。电压 V_{ILMAX} 在DS28EC20判断逻辑电平时，与其有关，且不会触发任何事件。

启动与DS28EC20的任何通信都需要初始化过程，见图10。复位脉冲后的应答脉冲，表明DS28EC20已经准备就绪，只要收到正确的ROM和存储器功能命令，即可接收数据。如果主机在下降沿采用摆率控制，作为补偿，需要将线上的电平拉低并保持 $t_{RSTL} + t_F$ 的时间。高速模式下若 t_{RSTL} 持续480 μs 或更长时，可将从机恢复到标准速度。如果DS28EC20处于高速模式并且 t_{RSTL} 不大于80 μs ，则其仍保持高速模式。如果器件处于高速模式， t_{RSTL} 介于80 μs 和480 μs 之间，器件将复位，通信速率不确定。

图 10. 初始化过程：复位和应答脉冲



主机释放总线后进入接收模式。此时1-Wire总线电平被上拉电阻，或DS2482-x00、DS2480B驱动器等有源电路上拉至 V_{PUP} 。当电平高于门限 V_{TH} 时，DS28EC20等待 t_{PDH} 时间，然后将总线电平拉低并保持 t_{PDL} ，来发送一个应答脉冲。为了检测应答脉冲，主机必须在 t_{MSP} 时间检测1-Wire总线的逻辑电平。

t_{RSTH} 窗口时间必须至少等于 t_{PDHMAX} 、 t_{PDLMAX} 与 t_{RECMIN} 的总和。一旦 t_{RSTH} 结束，DS28EC20即可开始数据通信。在一个混和设备组成的网络中，为了兼容其它1-Wire设备， t_{RSTH} 在标准速度下最小应为480 μs ，在高速模式下最小应为48 μs 。

读/写时隙

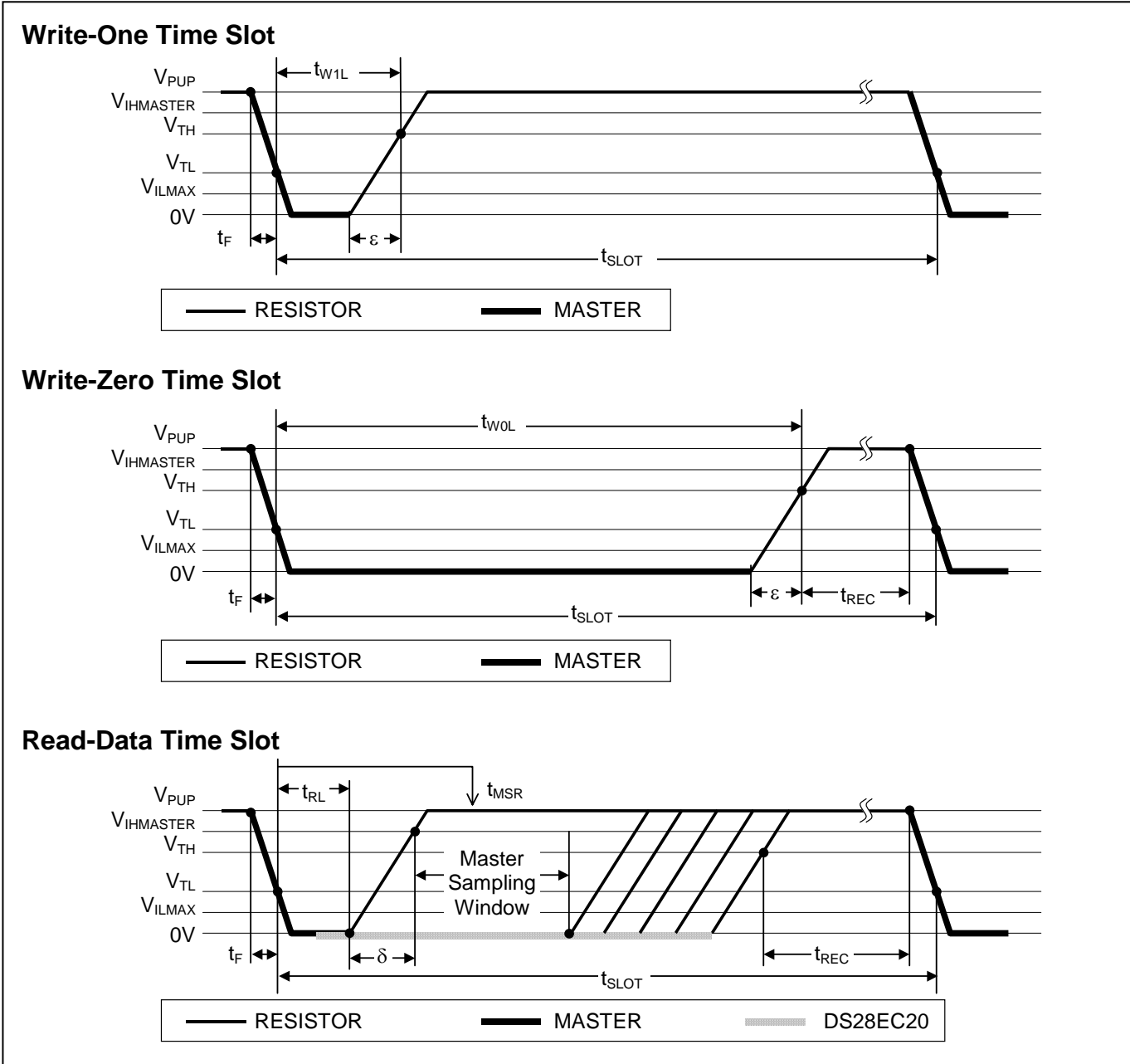
与DS28EC20的数据通信在时隙内进行，每时隙传输一位。数据在写时隙由主机传输到从机。数据在读时隙由从机传输到主机。图11说明了读时隙和写时隙的定义。

所有通信均以主机拉低数据线开始，当1-Wire总线上的电压降至门限电压 V_{TL} 以下时，DS28EC20启动内部定时发生器，在写时隙时确定何时采样数据线，在读时隙时确定数据有效的的时间。

主机到从机

对于“写1”时隙，数据线上的电压必须在“写1”低电平时间 t_{W1LMAX} 结束前高过门限电压 V_{TH} 。对于“写0”时隙，数据线上的电压在“写0”低电平时间 t_{W0LMIN} 结束前必须保持低于门限电压 V_{TH} 。为了实现最可靠的通信，数据线上的电压在整个 t_{W0L} 或 t_{W1L} 时间窗口内都不应超过 V_{ILMAX} 。数据线上的电压超过 V_{TH} 后，DS28EC20在进行下一个时隙前需要一个恢复时间 t_{REC} 。

图 11. 读/写时序图



从机到主机

“读数据”时隙在开始时与“写1”时隙类似。数据线上的电压在读低时间 t_{RL} 结束前必须保持低于 V_{TL} 。在 t_{RL} 窗口，应答0时，DS28EC20开始拉低数据线；内部定时发生器决定何时结束下拉，电平重新开始升高。应答1时，DS28EC20并不保持数据线的低电平， t_{RL} 一结束，电平即开始上升。

主机采样窗口(t_{MSRMIN} 到 t_{MSRMAX})一方面由 $t_{RL} + \delta$ (上升时间)，另一方面由DS28EC20内部定时发生器决定，主机必须在采样窗口内执行一次数据线的读操作。为实现最可靠的通信， t_{RL} 在允许范围内应该尽量短，主机应该在接近但不晚于 t_{MSRMAX} 的时间读取数据。从数据线读取数据后，主机必须等待直至 t_{SLOT} 结束。这确保了DS28EC20在下一个时隙准备就绪前有足够的恢复时间 t_{REC} 。需注意的是，这里指定的 t_{REC} 仅适用于1-Wire总线上只接一个DS28EC20的情况。在一个多点总线上，为了适应其它1-Wire器件的输入电容，应延长 t_{REC} 。另外，还可使用DS2482-x00或DS2480B等1-Wire总线驱动器接口器件，在1-Wire恢复时间内进行有源上拉。

改善的网络性能(切换点滞回)

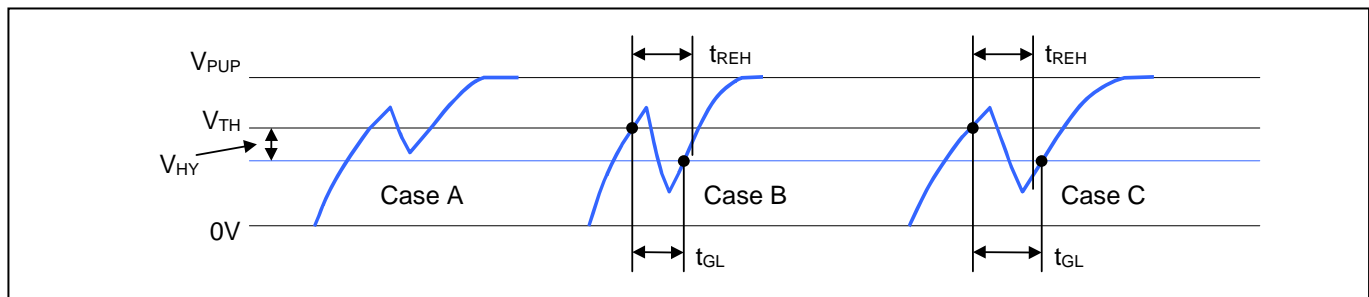
在1-Wire环境中，线路端接只有在总线主机(1-Wire驱动器)控制的短时间内才有可能。因此，1-Wire网络极易受到各种来源的噪声干扰。由于网络的大小和拓扑结构不同，从端点或支路节点反射的信号可能在某种程度上相互加强或抵消。这些反射信号在1-Wire通信线路上看来象毛刺或振铃。从外部耦合到1-Wire线路上的噪声也能导致信号产生毛刺。在一个时隙上升沿产生的毛刺会导致从机与主机失去同步，继而导致对Search ROM命令失去反应，或导致从机执行特定功能命令失败。为了实现更好的网络性能，DS28EC20使用了一种新的1-Wire前端，降低了其对噪声的敏感度，同时也降低了其自身引入到1-Wire总线的噪声幅度。

DS28EC20的1-Wire前端与传统的从机器件相比有三个特性不同：

- 1) 在电路中附加了一个低通滤波器来检测时隙开始时的下降沿。这降低了对高频噪声的敏感度。高速模式下不使用此附加滤波器。
- 2) 在低到高的开关门限 V_{TH} 处设有一个滞回，如果有一个负毛刺低于 V_{TH} 但还没有低于 $V_{TH} - V_{HY}$ ，将不会被承认(图12，示例A)，滞回在任何1-Wire速度模式下均有效。
- 3) 由上升沿保持关闭时间 t_{REH} 定义了一个时间窗口，在该时间窗口内即使毛刺低于 $V_{TH} - V_{HY}$ 也会被忽略(图12，示例B， $t_{GL} < t_{REH}$)。大的压降或穿过 V_{TH} 门限后延续时间超出 t_{REH} 窗口的毛刺则无法滤除，会被当作一个新时隙的开始(图12，示例C， $t_{GL} \geq t_{REH}$)。

只有在电气特性中指明参数 V_{HY} 和 t_{REH} 的器件使用了改进的1-Wire前端。

图12. 噪声抑制示意图



生成 CRC 码

DS28EC20有两种不同类型的CRC码。一种为8位，存储在64位ROM的最高字节中。主机可根据64位ROM码的前56位计算出该CRC码，并与存储在DS28EC20中的值比较，判断ROM数据是否接收无误。计算该CRC校验码的等效多项式为： $X^8 + X^5 + X^4 + 1$ 。接收到的8位CRC为原码(不取反)形式。该值在工厂计算并被光刻写入ROM中。

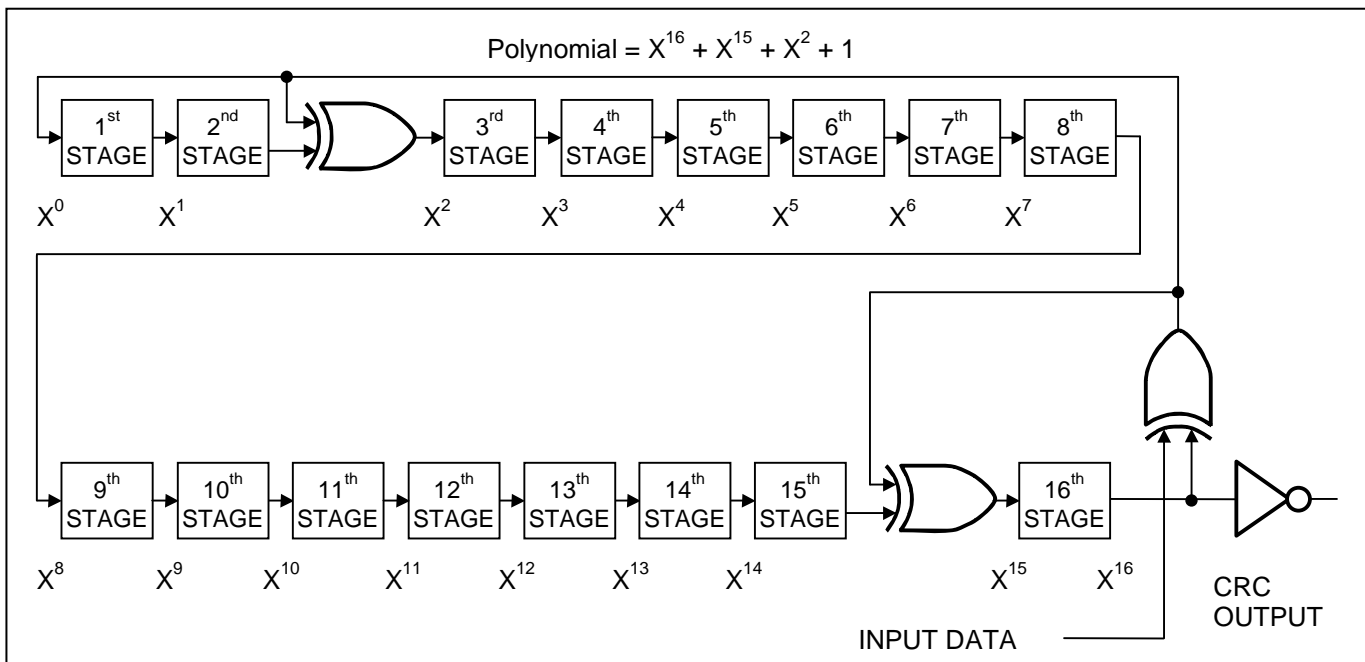
另一种CRC码为16位，采用标准的CRC16多项式函数 $X^{16} + X^{15} + X^2 + 1$ 产生。该CRC校验码用来对读写暂存器及Extended Read Memory命令时传输的数据进行快速校验。与8位CRC校验码不同，16位CRC校验码总是以反码的形式传输。DS28EC20芯片内部的CRC发生器(见图13)计算一个新的16位CRC校验码，如命令流程图(图7)所示。主机通过比较由从机读取的CRC校验码与利用接收数据计算出的CRC校验码，据此来决定是继续某一操作还是重新读取CRC码有误的数据部分。

在Write Scratchpad命令中，首先清空CRC发生器，然后移入命令代码，目标地址TA1和TA2，以及主机发送的所有数据字节。DS28EC20只有在暂存器结束偏移量等于11111b时才发送CRC校验码。数据可以从暂存器的任意一个位置开始。

在Read Scratchpad命令中，首先清空CRC发生器，然后移入命令代码，目标地址TA1和TA2、E/S字节和DS28EC20发送的目标地址的暂存器数据。DS28EC20只有在连续读取暂存器数据直到结尾时才发送CRC校验码，与实际的结束偏移量无关。

在初始的扩展读存储器流程中，首先清空CRC发送器，然后移入命令字节、两字节地址和数据字节，从而生成16位CRC值。在连续的扩展读存储器流程中，首先清空CRC发送器，然后移入数据字节，从而生成16位CRC值。有关生成CRC校验码的更多信息，请参考应用笔记27：[理解和运用Dallas Semiconductor iButton产品中的循环冗余校验\(CRC\)](http://www.maxim-ic.com.cn/AN27) (www.maxim-ic.com.cn/AN27)。

图 13. CRC-16 硬件说明及多项式



命令细节 1-Wire 通信协议——符号表

符号	说明
RST	由主机产生的 1-Wire 复位脉冲。
PD	由从机产生的 1-Wire 应答脉冲。
Select	满足 ROM 功能协议的命令和数据。
WS	“Write Scratchpad” 命令。
RS	“Read Scratchpad” 命令。
CPS	“Copy Scratchpad” 命令。
RM	“Read Memory” 命令。
ERM	“Extended Read Memory” 命令。
TA	目标地址 TA1、TA2。
TA-E/S	目标地址 TA1、TA2 以及 E/S 字节。
<data to EOS>	对于指定目标地址，传送到达暂存器末端所需的足够字节。
<data to EOM>	传送到达存储器末端所需的足够字节。
<data to EOP>	对于指定目标地址，传送到达页面末端所需的足够字节。
CRC16\	传送反码的 CRC16 校验码。
FF loop	主机读取 FF 字节的不确定循环。
AA loop	主机读取 AA 字节的不确定循环。
Programming	数据写入 EEPROM；在此期间 1-Wire 总线上不允许有任何活动。

命令细节 1-Wire 通信协议——颜色编码

主机至从机	从机至主机	编程
-------	-------	----

写暂存器(不能失败)

RST	PD	Select	WS	TA	<Data to EOS>	CRC16\	FF Loop
-----	----	--------	----	----	---------------	--------	---------

读暂存器

RST	PD	Select	RS	TA-E/S	<Data to EOS>	CRC16\	FF Loop
-----	----	--------	----	--------	---------------	--------	---------

复制暂存器(成功)

RST	PD	Select	CPS	TA-E/S	Programming	AA Loop
-----	----	--------	-----	--------	-------------	---------

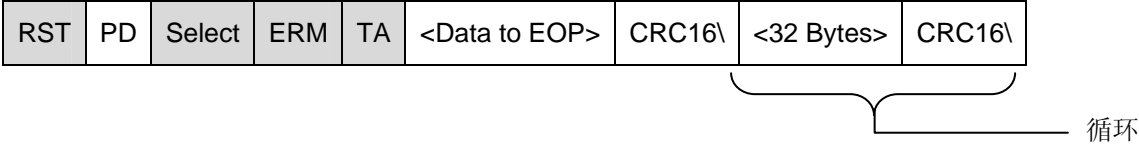
复制暂存器(BS = 1 或 PF = 1 或复制保护)

RST	PD	Select	CPS	TA-E/S	FF Loop
-----	----	--------	-----	--------	---------

读存储器(不能失败)



扩展读存储器(不能失败)



封装信息

如需最新的封装外形信息，请访问www.maxim-ic.com.cn/DallasPackInfo。

Maxim北京办事处

北京8328信箱邮政编码100083
 免费电话：800 810 0310
 电话：010-6211 5199
 传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路适用负责，也不提供专利许可。Maxim保留在任何时间、没有任何通知的前提下修改产品资料 and 规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2007 Maxim Integrated Products
Maxim 标识是 Maxim Integrated Products, Inc.的注册商标。