

### 说明

DS28C00 以极低成本提供一个电子注册号，具有唯一的识别码，可通过工业标准的 I<sup>2</sup>C 和 SMBus 总线接口访问。注册号是由工厂光刻的 64 位 ROM 码，其中包括 48 位序列号、8 位 CRC 和 8 位家族码 (70h)。在 SMBus 模式下，DS28C00 在检测到总线故障时复位总线。

### 应用

印刷电路板序列号  
 配件及外设识别  
 设备注册与许可管理  
 网络节点标识

### 特性

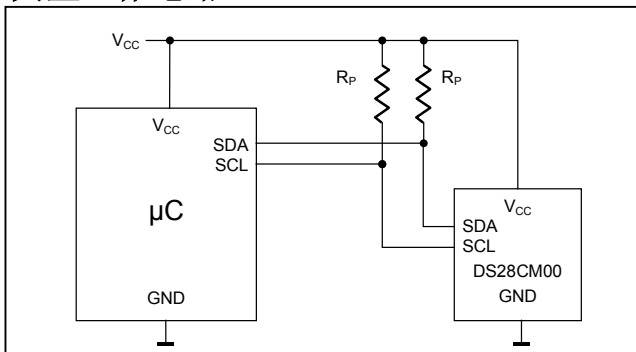
- 唯一的、工厂光刻并经过验证的 64 位注册号 (8 位家族码 + 48 位序列号 + 8 位 CRC)
- SMBus 兼容的 I<sup>2</sup>C 串行接口
- 支持 100kHz 和 400kHz 通信速度
- 接口引脚具有 5V 容限
- 工作范围：1.8V ±10% 至 5V ±5%，-40°C 至 +85°C
- 5 引脚 SOT23 封装

### 订购信息

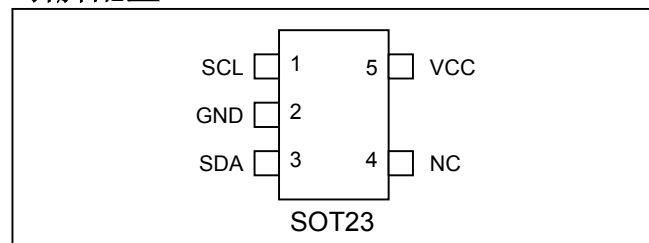
PART	TEMP RANGE	PIN-PACKAGE
DS28C00R-A00+T	-40°C to +85°C	SOT23-5 Tape-and-Reel

+表示无铅封装。

### 典型工作电路



### 引脚配置



注：该器件的一些修订资料可能与已经发布的勘误表有所不同。任何器件有可能通过不同的销售途径同时提供多个版本。器件勘误表的信息可以从网站：[www.maxim-ic.com.cn/errata](http://www.maxim-ic.com.cn/errata) 下载。

**ABSOLUTE MAXIMUM RATINGS**

Voltage Range on Any Pin Relative to Ground  
 Maximum Current Into Any Pin  
 Operating Temperature Range  
 Junction Temperature  
 Storage Temperature Range  
 Soldering Temperature

-0.5V, +6V  
 ±20mA  
 -40°C to +85°C  
 +150°C  
 -55°C to +125°C  
 See IPC/JEDEC J-STD-020

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device.

**ELECTRICAL CHARACTERISTICS**

(-40°C to +85°C, see Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	$V_{CC}$		1.62		5.25	V
Standby Current	$I_{CCS}$	Bus idle, $V_{CC} = 5.25V$			3	$\mu A$
Operating Current	$I_{CCA}$	Bus active at 400kHz, $V_{CC} = 5.25V$			200	$\mu A$
<b>SCL, SDA Pins (Note 2) See Figure 5</b>						
LOW Level Input Voltage	$V_{IL}$	$V_{CC} \geq 2.0V$	-0.3		$0.3 \times V_{CC}$	V
		$V_{CC} < 2.0V$	-0.3		$0.25 \times V_{CC}$	
HIGH Level Input Voltage (Note 3)	$V_{IH}$	$V_{CC} \geq 2.0V$	$0.7 \times V_{CC}$		$V_{CCmax} + 0.3V$	V
		$V_{CC} < 2.0V$	$0.8 \times V_{CC}$		$V_{CCmax} + 0.3V$	
Hysteresis of Schmitt Trigger Inputs (Note 4)	$V_{hys}$	$V_{CC} \geq 2.0V$	$0.05 \times V_{CC}$			V
		$V_{CC} < 2.0V$	$0.1 \times V_{CC}$			
LOW Level Output Voltage at 4mA Sink Current	$V_{OL}$				0.4	V
Output Fall Time from $V_{Ihmin}$ to $V_{ILmax}$ with a Bus Capacitance from 10pF to 400pF (Notes 4, 5)	$t_{of}$	$V_{CC} \geq 2.0V$	20 + 0.1Cb		250	ns
		$V_{CC} < 2.0V$	20 + 0.1Cb		450	
Pulse Width of Spikes that are Suppressed by the Input Filter	$t_{SP}$	SDA and SCL pins only (Note 4)			50	ns
Input Current with an Input Voltage Between $0.1V_{CC}$ and $0.9V_{CCmax}$	$I_i$	(Note 6)	-10		10	$\mu A$
Input Capacitance	$C_i$	(Note 4)			10	pF
SCL Clock Frequency (Note 7)	$f_{SCL}$	$V_{CC} \geq 2.0V$			400	kHz
		$V_{CC} < 2.0V$			344	
Bus Time-out	$t_{TIMEOUT}$	(Note 7)	25		75	ms
Hold Time (Repeated) START Condition. After this Period, the First Clock Pulse is Generated.	$t_{HD:STA}$	(Note 8)	0.6			$\mu s$
LOW Period of the SCL Clock (Note 8)	$t_{LOW}$	$V_{CC} \geq 2.7V$	1.3			$\mu s$
		$V_{CC} \geq 2.0V$	1.5			
		$V_{CC} < 2.0V$	2.3			
HIGH Period of the SCL Clock	$t_{HIGH}$	(Note 8)	0.6			$\mu s$
Setup Time for a Repeated START Condition	$t_{SU:STA}$	(Note 8)	0.6			$\mu s$

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Hold Time (Notes 9, 10)	$t_{HD:DAT}$	$V_{CC} \geq 2.7V$	0.3		0.9	$\mu s$
		$V_{CC} \geq 2.0V$	0.3		1.1	
		$V_{CC} < 2.0V$	0.3		1.7	
Data Setup Time	$t_{SU:DAT}$	(Notes 8, 11)	100			ns
Setup Time for STOP Condition	$t_{SU:STO}$	(Note 8)	0.6			$\mu s$
Bus Free Time Between a STOP and START Condition	$t_{BUF}$	(Note 8)	1.3			$\mu s$
Capacitive Load for Each Bus Line	$C_B$	(Notes 4, 8)			400	pF

注 1: -40°C 下的技术参数仅通过设计、特征参数保证，没有经过生产测试。

注 2: 所有参数值都以  $V_{IHmin}$  和  $V_{ILmax}$  为参考。

注 3: 最大参数值仅通过设计保证，未经生产测试。

注 4: 未经生产测试，仅通过设计和特征参数保证。

注 5:  $C_B$  = 一条总线上的总电容，单位为 pF。如果与 HS 模式器件配合使用，依据 I<sup>2</sup>C 总线标准 v2.1 可以允许更快的下降时间。

注 6:  $V_{CC}$  关闭时，DS28CM00 不会阻塞 SDA 和 SCL 线路。

注 7: 总线超时特性限制了最小 SCL 时钟频率。如果 CM 位为 1，且在此时段内 SCL 的逻辑电平保持不变，或 SDA 保持为低电平，DS28CM00 表现为收到了 STOP 条件。

注 8: 系统要求。

注 9: DS28CM00 给 SDA 信号提供至少 300ns 的保持时间(以 SCL 信号的  $V_{IHmin}$  为参考)，以过渡到 SCL 下降沿的未定义区域。

注 10: 如果不延长 SCL 信号的低电平时间( $t_{LOW}$ )，至少要满足最大  $t_{HD:DAT}$ 。

注 11: 快速模式 I<sup>2</sup>C 总线器件可以用于标准模式 I<sup>2</sup>C 总线系统，但是必须满足  $t_{SU:DAT} \geq 250ns$  的要求。如果器件不延长 SCL 信号的低电平时间，则自动满足这一条件，此时必须在 SCL 被释放前输出下一个数据位到 SDA:  $t_{max} + t_{SU:DAT} = 1000 + 250 = 1250ns$  (依据标准模式 I<sup>2</sup>C 总线标准)。

## 引脚说明

引脚	名称	功能
1	SCL	串行接口时钟输入，必需通过上拉电阻接至 $V_{CC}$ 。在 1.62V 至 5.25V 整个 $V_{CC}$ 范围内具有 5V 输入容限。
2	GND	器件地。
3	SDA	串行接口的双向数据线，必需通过上拉电阻接至 $V_{CC}$ 。在 1.62V 至 5.25V 整个 $V_{CC}$ 范围内具有 5V 输入容限。
4	N.C.	没有连接。
5	$V_{CC}$	电源输入。

## 概述

DS28CM00 包含一个串行接口，通过该串口访问唯一的 64 位注册号和控制寄存器，如图 1 所示。器件通过其 SMBus 兼容的串行接口通信，符合 I<sup>2</sup>C 总线标准模式和快速模式规格。由于 DS28CM00 的网络地址是固定的，总线上可以准确地调用每个器件。注册号和控制寄存器按顺序排列在 9 个字节内 (图 2)。

图 1. 原理框图

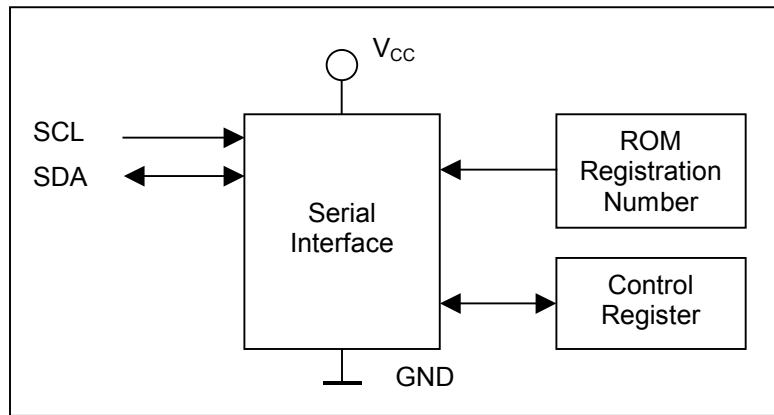


图 2. 存储器图

ADDRESS	TYPE	ACCESS	DESCRIPTION
00h	ROM	Read	Device Family Code (70h)
01h	ROM	Read	Serial Number, bits 0 to 7
02h	ROM	Read	Serial Number, bits 8 to 15
03h	ROM	Read	Serial Number, bits 16 to 23
04h	ROM	Read	Serial Number, bits 24 to 31
05h	ROM	Read	Serial Number, bits 32 to 39
06h	ROM	Read	Serial Number, bits 40 to 47
07h	ROM	Read	CRC of Family Code and 48-bit Serial Number
08h	SRAM	R/W	Control Register

### 唯一的注册号

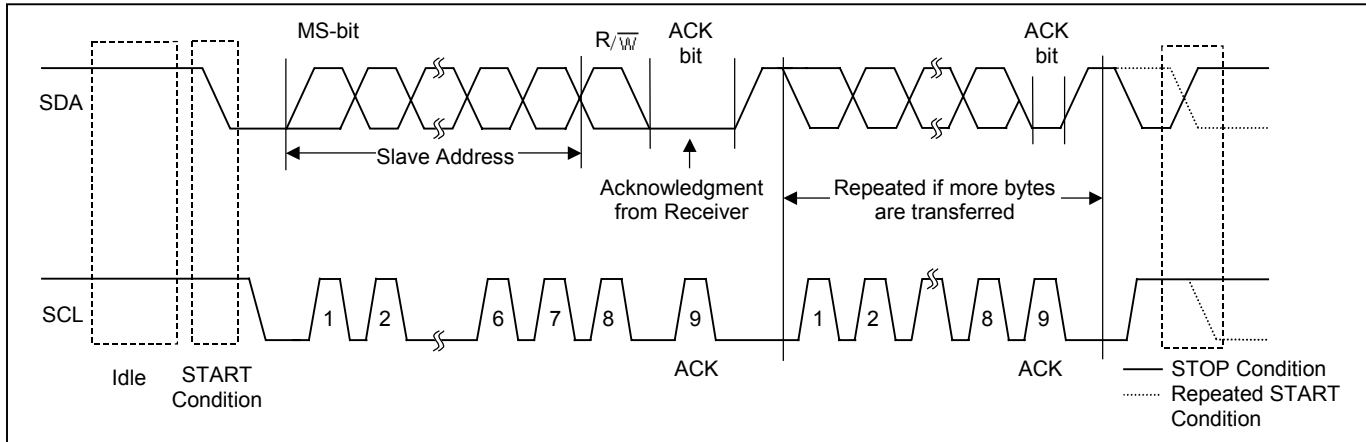
每片DS28CM00 具有唯一的 64 位注册号，注册号从家族码 (地址 00h) 开始，后面是 48 位序列号 (低字节在靠后的地址)，最后是位于地址 07h、前面 56 位数字的CRC (冗余校验)。CRC码按照多项式： $X^8 + X^5 + X^4 + 1$  产生。关于CRC校验的详细信息，请查询[应用笔记27](#)。ROM注册码与器件的I<sup>2</sup>C从机地址无关。

### 控制寄存器

地址为 08h 的控制寄存器用于控制 I<sup>2</sup>C 模式与 SMBus 模式之间的切换，该寄存器中只有最低有效位 (CM 位) 具有实际功能，其它 7 位始终为 0，不能更改。CM 位置为 1 时 (上电默认值)，器件处于 SMBus 模式，总线超时检测功能使能。将 CM 位置 0，器件进入 I<sup>2</sup>C 模式，超时检测功能禁止。在 SMBus 模式下，如果 SCL 停留在高电平或低电，或者是 SDA 停留在低电平的持续时间达到  $t_{\text{TIMEOUT}}$  甚至更长，则判断为串行接口超时，内部产生复位。复位后，SDA 数据线置为输入状态，保证器件作好准备识别通信的开始条件。

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
08h	0	0	0	0	0	0	0	CM



图 4. I<sup>2</sup>C/SMBus 协议**总线空闲或不忙**

SDA 和 SCL 都无效，处于逻辑高电平状态。

**START 条件**

要与从机通信，主机必须产生一个 START 条件。START 条件定义为 SCL 为高电平时，SDA 由高电平跳变到低电平。

**STOP 条件**

为了终止与从机的通信，主机必须产生一个 STOP 条件。STOP 条件定义为 SCL 为高电平时，SDA 从低电平跳变到高电平。

**重复 START 条件**

重复 START 条件通常用来在读访问时指定一个数据源或堵数据的地址。数据传输结束后，主机可立即发送重复 START 条件启动一次新的数据传输。重复 START 条件的产生方式与普通 START 条件相同，只是在 STOP 条件后产生，此时总线并不处于空闲状态。

**数据有效**

除了 START 和 STOP 条件，只有当 SCL 为低电平时，SDA 的数据状态才允许改变。在整个 SCL 的高电平期间和必要的建立、保持时间 (SCL 下降沿之后的  $t_{HD:DAT}$ ，SCL 上升沿之前的  $t_{SU:DAT}$ ，参见图 5) 内，SDA 的数据必须保持稳定有效，每位数据需一个时钟脉冲。数据在 SCL 脉冲上升沿移入接收器。

写操作完成后，主机必须释放 SDA 数据线，以便在下一个 SCL 上升沿到来 (启动读操作) 之前有充足的建立时间 (最小  $t_{SU:DAT} + t_R$ ，见图 5)。从机在 SCL 脉冲的下降沿移出 SDA 数据位，且数据位在当前 SCL 脉冲的上升沿保持有效。主机产生所有的 SCL 时钟脉冲，包括那些需要从从机读取数据的时钟脉冲。

**应答**

通常，被选中的接收器件每收到一个字节必须产生一个应答信号。主机必须生成与该应答位相关的时钟脉冲。应答器件在此时钟脉冲期间把 SDA 拉至低电平，并在应答时钟为高电平以及所要求的建立、保持时间 (SCL 下降沿之后的  $t_{HD:DAT}$ ，SCL 上升沿之前的  $t_{SU:DAT}$ ) 内，始终保持 SDA 为稳定的低电平。

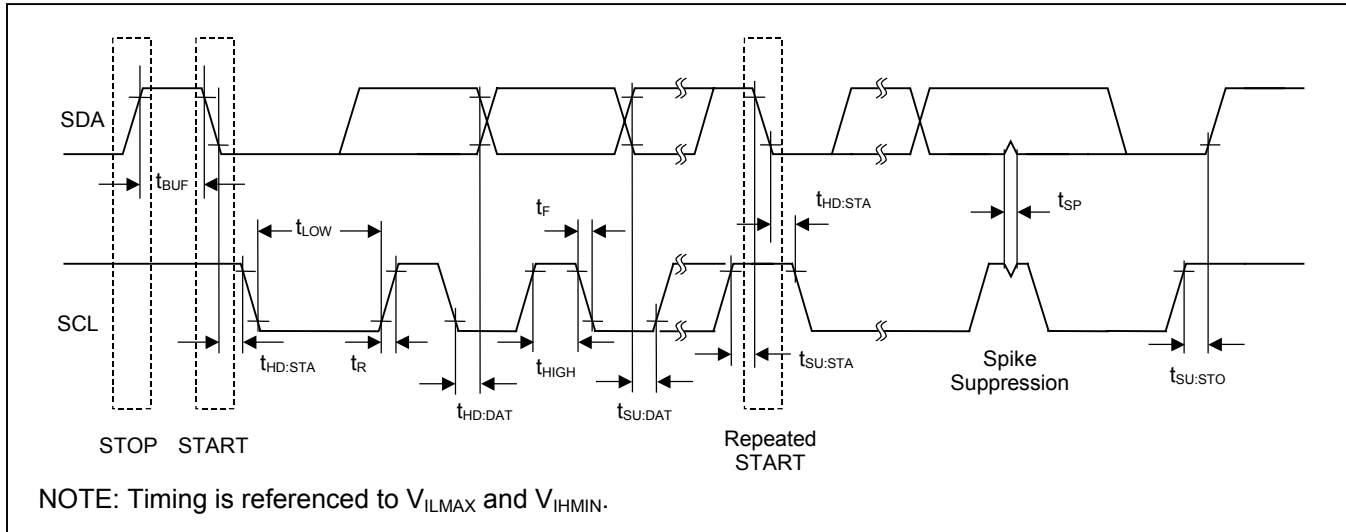
### 从机无应答

从机器件在忙状态时无法接收或发送数据。作为一个 SMBus 兼容器件，DS28CM00 应该始终应答其从机地址。但在有些情况下从机会拒绝数据访问，例如发生无效的存储器地址或访问模式（比如，试图写入 ROM 存储器）。这种情况下，器件将不应答任何它所拒绝的访问字节，只是将 SDA 置为高电平。从机没有应答时，主机应该产生重复 START 条件或 STOP 条件，以启动一次新的数据传输。

### 主机无应答

接收数据时，主机必须把数据终止指令发送给从机。为达到这一目的，主机不应答它从从机接收到的最后一个字节。应答时，从机释放 SDA，使主机产生 STOP 条件。

图 5. I<sup>2</sup>C/SMBus 时序图



### 读、写操作

DS28CM00 如同一个 9 字节存储器的 I<sup>2</sup>C 存储器件 (图 2)。存储器由 8 字节 ROM 和一个字节的 SRAM 组成，如：控制寄存器。不能修改 ROM 数据。

写 DS28CM00 时，主机以写模式访问器件，必须将方向位设置为 0 发送从机地址。写模式下发送的下一个字节是用来设置地址指针的地址字节，确定一个位置。DS28CM00 应答介于 00h 与 08h 之间的任何地址。对 ROM 的写操作将被忽略，这些地址将不应答数据接收。但是，地址指针将在完成每一个完整的数据传输后递增，并在一个完整的数据字节写入 08h 后返回到 00h。

从 DS28CM00 读取数据时，主机必须以读模式访问器件，必须在方向位设置为 1 时发送从机地址。地址指针确定主机开始读操作的位置。如上所述，在以写模式访问 DS28CM00 时确定地址指针。地址指针在上电后的默认值为 00h。从器件进行读操作时，每读取一个数据字节地址递增一次。达到存储器的最后位置时(地址 08h)，地址指针返回到 00h。读取任意地址的数据时，主机必须以写模式访问 DS28CM00，指定一个新的存储器地址。如果器件在 SMBus 模式下由于总线超时复位通信接口，则地址指针保持不变。

I<sup>2</sup>C 通信 — 图例

符号	说明
S	START 条件
AD,0	选择 DS28CM00 进行写操作
AD,1	选择 DS28CM00 进行读操作
Sr	重复 START 条件
P	STOP 条件

符号	说明
A	应答
A\	无应答
<byte>	传输一个字节
VMA	有效存储器地址 (00h 至 08h)
IMA	无效存储器地址

## 命令指定通信方式 — 代码

主机至从机	从机至主机
-------	-------

## 通信实例

## 写控制寄存器 (地址 08)

S	AD,0	A	08h	A	<byte>	A	P
---	------	---	-----	---	--------	---	---

## 写 ROM 地址 (地址 08 除外)

S	AD,0	A	VMA	A	<byte>	A\	P
---	------	---	-----	---	--------	----	---

↑ 不接受数据

## 写入一个无效地址 (&gt;08)

S	AD,0	A	IMA	A\	P
---	------	---	-----	----	---

↑ 不接受地址

## 读

S	AD,0	A	VMA	A	Sr	AD,1	A	<byte>	A	<byte>	A\	P
---	------	---	-----	---	----	------	---	--------	---	--------	----	---

↑ 设置地址指针

1 个或多个  
字节

最后一个字节

## 应用信息

## SDA 与 SCL 上拉电阻

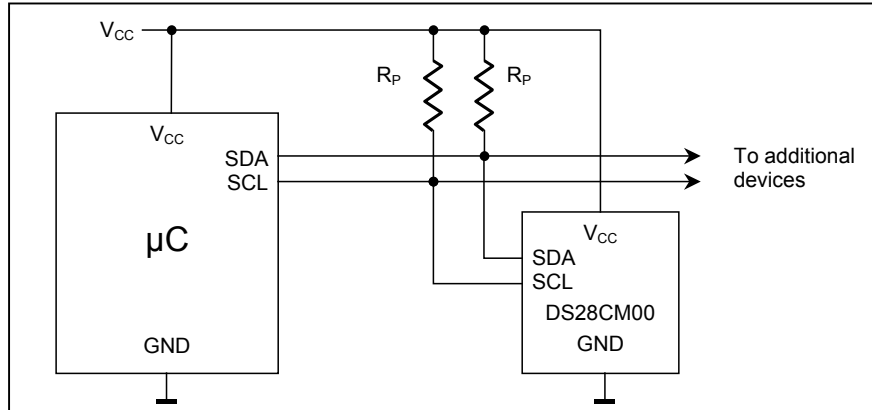
DS28CM00 的 SDA 为开漏输出，需要一个上拉电阻 (图 6) 实现高电平逻辑。由于 DS28CM00 仅将 SCL 作为输入 (无时钟扩展)，因此主机可通过一个带有上拉电阻的开漏输出/集电极开路输出或推挽输出驱动 SCL。

上拉电阻 R<sub>P</sub>

依据 I<sup>2</sup>C 标准，V<sub>OL</sub> 为 0.4V 时从机必须至少源出 3mA 电流。SMBus 标准要求 0.4V 时具有 4mA 的源出电流能力。在整个工作电压范围内，DS28CM00 在 V<sub>OL</sub> 为 0.4V 时源出至少 4mA 电流。此直流特性决定了上拉电阻的最小值： $R_{P\text{MIN}} = (V_{CC} - 0.4V)/4mA$ 。最大工作电压为 5.25V 时，上拉电阻的最小值为 1.2kΩ。图 12 中的“Minimum R<sub>P</sub>”曲线体现了最小上拉电阻随工作 (上拉) 电压的变化情况。



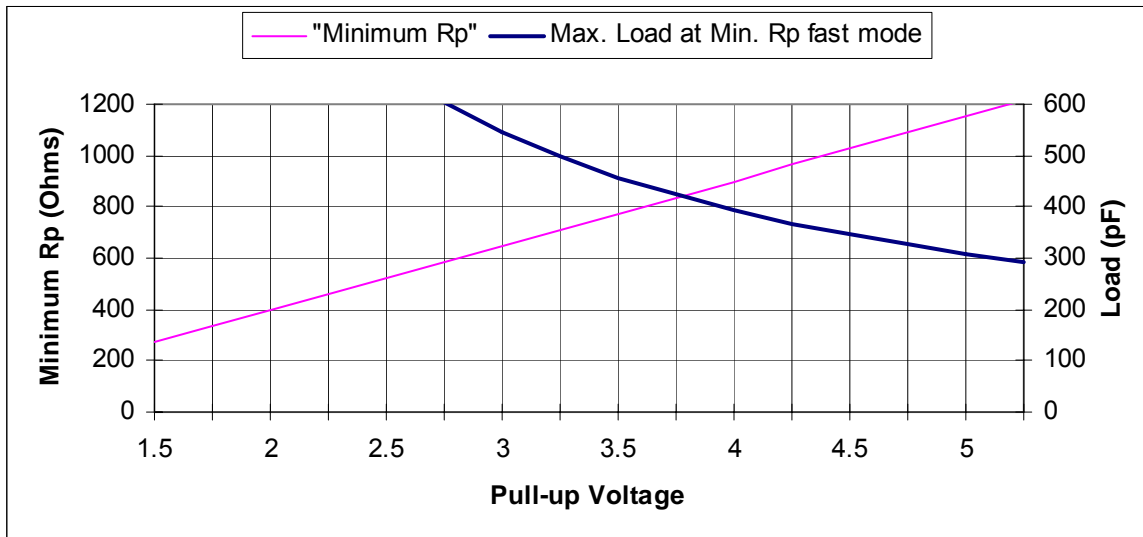
图 6. 应用电路



对于 I<sup>2</sup>C 系统，从上拉电压的 30% 至 70% 的过渡时间定义为上升时间或下降时间。最大总线电容  $C_B$  为 400pF。最大上升时间不能超过 300ns。假设上升时间取最大值，对于任何给定的  $C_B$ ，最大电阻值为： $R_{P_{MAX}} = 300ns / (C_B \cdot \ln(7/3))$ 。总线电容为 400pF 时，最大上拉电阻为 885Ω。

由于上拉电阻为 885Ω，因此需要满足上升时间指标以及 400pF 的总线电容。885Ω 上拉电阻比在 5.25V 下要求的  $R_{P_{MIN}}$  要低，因此必须找出另一种方法。首先计算在任何给定工作电压下的最小上拉电阻 (通过“Minimum  $R_p$ ”曲线)，然后计算产生 300ns 的上升时间各自对应的总线电容，生成如图 7 所示的“Max. Load...”曲线。

只有当上拉电压为 4V 或更低时，才允许 400pF 的最大总线电容。总线电容减小为 300pF 时能够适合整个工作电压范围。各种电压下对应的上拉电阻值见“Minimum  $R_p$ ”曲线。

图 7. 高速 I<sup>2</sup>C 模式下的上拉电阻选择

## 封装信息

(本数据资料提供的封装信息可能不是最近的规格，如需最新的封装信息请访问：[www.maxim-ic.com.cn/DallasPackInfo](http://www.maxim-ic.com.cn/DallasPackInfo)。)

Maxim/Dallas Semiconductor 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

**Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products, Inc. All rights reserved.

Maxim 标志是 Maxim Integrated Products, Inc. 的注册商标。Dallas 标志是 Dallas Semiconductor Corp. 的注册商标。