

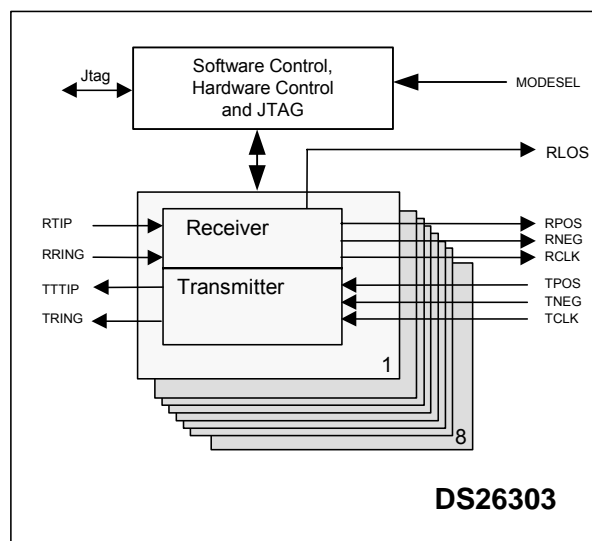
### 概述

DS26303是支持3.3V供电E1/T1/J1系统的8通道短程线路接口单元(LIU)。通过内部端接或外部端接支持各种应用，只需一套少量的外部元件即可支持E1/T1/J1工作。利用非介入监视、最佳阻抗模式和1:1或1+1增强备份支持冗余操作。内置频率合成器从一个主时钟输入产生不同频率的E1/T1/J1时钟。该芯片还提供两路参考时钟输出。

### 应用

- T1数字交叉连接
- ATM与帧中继设备
- 无线基站
- ISDN一次群接口
- E1/T1/J1多路复用器和信道集
- E1/T1/J1 LAN/WAN路由器

### 功能框图



### 关键特性

- 8通道完备的E1、T1或J1短程线路接口单元
- 独立选择E1、T1或J1工作模式
- 内置由软件选择的发送、接收侧的端接
- 晶体无抖动衰减
- 可选择单极性摆幅和双极性摆幅模式，以及AMI或HDB3/B8ZS线路编解码
- AIS检测与发生器
- 数字/模拟信号丢失检测，符合T1.231、G.775和ETSI 300 233标准
- T1/J1或E1模式的外部主时钟可以是2.048MHz或1.544MHz的倍频；该时钟由内部自适应调整，用于T1或E1模式。
- 内置的BERT检测器，用于诊断功能
- 8位并行接口支持Intel、Motorola模式或4线串口
- 硬件模式接口支持
- 发送短路保护
- G.772非介入监视
- 符合最新T1/E1标准 - ANSI T1.102、AT&T Pub 62411、T1.231、T1.403、ITU G.703、G.742、G.775、G.823、ETSI 300 166和ETSI 300 233
- 单电源3.3V供电，具有5V I/O容限
- 符合IEEE 1149.1的JTAG边界扫描
- 采用144引脚的eLQFP封装

### 订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS26303L-XXX	0°C to +70°C	144 eLQFP
DS26303L-XXX+	0°C to +70°C	144 eLQFP
DS26303LN-XXX	-40°C to +85°C	144 eLQFP
DS26303LN-XXX+	-40°C to +85°C	144 eLQFP

注意：XXX为075时，表示的是在E1模式下，该器件的阻抗默认为72Ω。当XXX为120时，表示的是器件的阻抗默认为120Ω。

+ 表示无铅/RoHS兼容器件。

注：该器件的一些修订可能与已经发表的勘误表规格不同，通过不同的销售途径有可能同时获得不同修订版的器件。查询器件的勘误表信息，请点击：[www.maxim-ic.com.cn/errata](http://www.maxim-ic.com.cn/errata)。

## 目录

<b>1</b>	<b>详细说明 .....</b>	<b>6</b>
<b>2</b>	<b>电信规范支持 .....</b>	<b>7</b>
<b>3</b>	<b>结构框图 .....</b>	<b>9</b>
<b>4</b>	<b>引脚说明 .....</b>	<b>11</b>
4.1	硬件和主机端口操作 .....	20
4.1.1	硬件模式 .....	20
4.1.2	串口操作 .....	21
4.1.3	并口操作 .....	22
4.1.4	中断处理 .....	22
<b>5</b>	<b>寄存器 .....</b>	<b>24</b>
5.1	寄存器说明 .....	29
5.1.1	主寄存器 .....	29
5.1.2	第二寄存器 .....	37
5.1.3	独立LIU寄存器 .....	38
5.1.4	BERT寄存器 .....	45
<b>6</b>	<b>功能说明 .....</b>	<b>52</b>
6.1	上电和复位 .....	52
6.2	主时钟 .....	52
6.3	发送器 .....	53
6.3.1	发送线路模板 .....	54
6.3.2	LIU发送前端 .....	56
6.3.3	双极性摆幅模式 .....	57
6.3.4	单极性摆幅模式 .....	57
6.3.5	零抑制—B8ZS或者HDB3 .....	57
6.3.6	发送关断 .....	57
6.3.7	发送全 1 .....	57
6.3.8	驱动故障监控 .....	57
6.4	接收器 .....	57
6.4.1	峰值探测器和限幅器 .....	57
6.4.2	时钟和数据恢复 .....	58
6.4.3	丢失信号 .....	58
6.4.4	AIS .....	59
6.4.5	双极性违规(BPV)和多零检测器 .....	60
6.4.6	LIU接收器前端 .....	60
6.5	无过冲保护切换(HPS) .....	60
6.6	抖动衰减器 .....	62
6.7	G.772 监控 .....	63
6.8	环回 .....	63
6.8.1	模拟环回 .....	63
6.8.2	数字环回 .....	63
6.8.3	远程环回 .....	64
6.9	BERT .....	65
6.9.1	配置和监控 .....	65
6.9.2	接收模板检测 .....	66
6.9.3	发送模板产生 .....	67
<b>7</b>	<b>JTAG边界扫描结构和测试访问端口 .....</b>	<b>69</b>

7.1	TAP控制器状态机	70
7.2	指令寄存器	73
7.3	测试寄存器	74
7.3.1	边界扫描寄存器	74
7.3.2	旁路寄存器	74
7.3.3	标识寄存器	74
8	工作参数	75
9	热特性	76
10	交流特性	77
10.1	线接口特性	77
10.2	并行主机接口时序特性	78
10.3	串行端口	90
10.4	系统时序	91
10.5	JTAG时序	93
11	封装信息	94
11.1	144 引脚ELQFP封装图(56-G6037-002) (1/2)	94
11.2	144 引脚ELQFP封装图(2/2)	95
12	文档修订历史	96

## 图表

图 3-1. 结构框图.....	9
图 3-2. 接收逻辑电路.....	10
图 3-3. 发送逻辑电路.....	10
图 4-1. 144 引脚eLQFP引脚排布.....	19
图 4-2. 串口写操作.....	21
图 4-3. CLKE = 0 时串口读操作.....	21
图 4-4. CLKE = 1 时串口读操作.....	22
图 4-5. 中断处理流程图.....	23
图 6-1. 预标定PLL和时钟发生器.....	52
图 6-2. T1 发送脉冲模板.....	54
图 6-3. E1 发送脉冲模板.....	55
图 6-4. LIU前端.....	56
图 6-5. HPS逻辑.....	61
图 6-6. HPS结构框图.....	61
图 6-7. 抖动衰减.....	62
图 6-8. 模拟环回.....	63
图 6-9. 数字环回.....	64
图 6-10. 远程环回.....	64
图 6-11. PRBS同步状态图.....	66
图 6-12. 重复模板同步状态图.....	67
图 7-1. JTAG功能框图.....	69
图 7-2. TAP控制器状态图.....	72
图 10-1. Intel Nonmuxed读周期.....	79
图 10-2. Intel Mux读周期.....	80
图 10-3. Intel Nonmux写周期.....	82
图 10-4. Intel Mux写周期.....	83
图 10-5. Motorola Nonmux读周期.....	85
图 10-6. Motorola Mux读周期.....	86
图 10-7. Motorola Nonmux写周期.....	88
图 10-8. Motorola Mux写周期.....	89
图 10-9. 串行总线写操作时序.....	90
图 10-10. 串行总线读操作时序, CLKE = 0.....	90
图 10-11. 串行总线读操作时序, CLKE = 1.....	90
图 10-12. 发送系统时序.....	91
图 10-13. 接收系统时序.....	92
图 10-14. JTAG时序.....	93

## 表格

表 2-1. 与T1 相关的电信规范 .....	7
表 2-2. 与E1 相关的电信规范 .....	8
表 4-1. 引脚说明 .....	11
表 4-2. 硬件模式配置范例 .....	20
表 4-3. 并口模式选择和引脚功能 .....	22
表 5-1. 主寄存器组 .....	24
表 5-2. 第二寄存器组 .....	25
表 5-3. 独立LIU寄存器组 .....	25
表 5-4. BERT寄存器组 .....	26
表 5-5. 主寄存器组位图 .....	27
表 5-6. 第二寄存器组位图 .....	27
表 5-7. 独立LIU寄存器组位图 .....	27
表 5-8. BERT寄存器位图 .....	28
表 5-9. G.772 监控 .....	32
表 5-10. TST模板选择发送器寄存器 .....	34
表 5-11. 模板选择 .....	35
表 5-12. 地址指针区域选择 .....	36
表 5-13. MCLK选择 .....	40
表 5-14. PLL时钟选择 .....	43
表 5-15. 时钟A选择 .....	43
表 6-1. DS26303 发送器支持的电信规范 .....	53
表 6-2. DS26303 发送器控制的相关寄存器 .....	53
表 6-3. DS26303 模板选择 .....	54
表 6-4. LIU前端取值 .....	56
表 6-5. T1.231、G.775 和ETSI 300 233 规范的信号丢失标准 .....	58
表 6-6. T1.231、G.775 和ETSI 300 233 规范的AIS标准 .....	59
表 6-7. AIS检测和复位标准 .....	59
表 6-8. 与AIS检测相关的寄存器 .....	59
表 6-9. BPV、码违规和多零错误报告 .....	60
表 6-10. 伪随机模板产生 .....	65
表 6-11. 重复模板产生 .....	65
表 7-1. IEEE 1149.1 体系指令代码 .....	73
表 7-2. ID编码结构 .....	74
表 7-3. 器件ID编码 .....	74
表 8-1. 推荐的直流工作条件 .....	75
表 8-2. 电容 .....	75
表 8-3. 直流特性 .....	75
表 9-1. 热特性 .....	76
表 10-1. 发送器特性 .....	77
表 10-2. 接收器特性 .....	77
表 10-3. Intel读模式特性 .....	78
表 10-4. Intel写周期特性 .....	81
表 10-5. Motorola读周期特性 .....	84
表 10-6. Motorola写周期特性 .....	87
表 10-7. 串行端口时序特性 .....	90
表 10-8. 发送系统时序特性 .....	91
表 10-9. 接收系统时序特性 .....	92
表 10-10. JTAG时序特性 .....	93

## 1 详细说明

DS26303是T1 (1.544Mbps)和E1 (2.048Mbps)单芯片8通道短程线路接口单元。在单个eLQFP封装内提供8个独立的接收器和发送器。LIU可分别选择设置为T1、J1或E1工作。LIU需要一个主参考时钟，即MCLK。MCLK可以是1.544MHz或2.048MHz，或者是其倍频，每一频率均适合内部T1、J1或E1模式。发射和接收通道的内部阻抗匹配减少了外部元件数量。发射波形符合G.703和T1.102规范。DS26303提供软件选择的内部发射终端匹配，支持100Ω T1双绞线、110Ω J1双绞线、120Ω E1双绞线和75Ω E1同轴应用。发送器可快速处理高阻，能够独立关断。

在T1模式和E1模式下，接收器最大可提供15dB接收信号衰减。DS26303能够配置成7通道LIU，1通道用于非介入监控功能，符合G.772标准。接收器和发送器可设置为单极性摆幅或双极性摆幅模式。在单极性摆幅模式下可选择AMI或HDB3/B8ZS编码和解码。可在每一LIU接收或发射方向放置128位晶振无抖动衰减。抖动衰减器符合ETSI CTR12/13 ITU G.736、G.742、G.823和AT&T Pub 62411规范。

DS26303探测并产生的AIS符合T1.231、G.775和ETSI 300 233。信号丢失探测符合T1.231、G.775和ETSI 300 233。DS26303在每一LIU上均可进行数字、模拟、远程和双路环回控制。数字引脚提供JTAG边界扫描功能。

DS26303可以采用8位复用或非复用Intel或Motorola端口，4线串行端口或者工作模式受限的硬件模式进行配置。

E1线路的模拟AMI/HDB3波形或者T1线路的AMI/B8ZS波形耦合变送至DS26303的RTIP和RRING引脚。用户可选择75Ω、100Ω、110Ω或120Ω的内部端接。器件从模拟信号中恢复时钟和数据，通过一个可选抖动衰减器后，接收到的线路时钟输出至RCLK，数据输出至RPOS和RNEG。

在T1和E1模式下，DS26303接收器能够从经过15dB衰减的发送信号中恢复数据和时钟。接收器1可监控接收器2至8或发送器2至8的性能。

DS26303含有8路相同的发送器。数字发送数据输入至以TCLK为基准的TPOS/TNEG。这些引脚的数据可以是单极性摆幅或双极性摆幅。整形电路处理这些数据，经线路驱动输出至TTIP和TRING，符合T1/J1的ANSI T1.102或者E1的G.703模板。

DS26303通过耦合变压器从TTIP和TRING引脚驱动E1或T1线路。DS26303的Tx和Rx通道分别支持1:2和2:1的变压器。

## 2 电信规范支持

DS26303 LIU符合所有最新电信规范。以下表格列出了T1和E1规范，以及DS26303的相关章节。

表 2-1. 与 T1 相关的电信规范

<b>ANSI T1.102–Digital Hierarchy Electrical Interface</b>
AMI Coding
B8ZS Substitution Definition
DS1 Electrical Interface. Line rate $\pm 32$ ppm; Pulse Amplitude between 2.4V to 3.6V peak; Power level between 12.6dBm to 17.9dBm. The T1 pulse mask is provided that we comply. DSX-1 for cross connects the return loss is greater than 26dB. The DSX-1 cable is restricted up to 655 feet.
This specification also provides cable characteristics of DSX-Cross Connect cable—22 AVG cable of 1000 feet.
<b>ANSI T1.231–Digital Hierarchy–Layer 1 in Service Performance Monitoring</b>
BPV Error Definition, Excessive Zero Definition, LOS description, AIS definition
<b>ANSI T1.403–Network and Customer Installation Interface–DS1 Electrical Interface</b>
Description of the Measurement of the T1 Characteristics—100 $\Omega$ , pulse shape and template according to T1.102; power level 12.4dBm to 19.7dBm when all ones are transmitted.
<i>LBO for the Customer Interface (CI) is specified as 0dB, 7.5dB, and 15dB. Line rate is <math>\pm 32</math>ppm. Pulse Amplitude is 2.4V to 3.6V.</i>
AIS generation as unframed all ones is defined.
<i>The total cable attenuation is defined as 22dB. The DS26303 functions up to 36dB cable loss.</i>
<b>Note that the pulse mask defined by T1.403 and T1.102 are different—specifically at Times 0.61, -0.27, -34, and 0.77. The DS26303 is compliant to both templates.</b>
<b>Pub 62411</b>
This specification has tighter jitter tolerance and transfer characteristics than other specifications. The jitter transfer characteristics are tighter than G.736 and jitter tolerance is tighter the G.823.

表 2-2. 与 E1 相关的电信规范

<b>ITU G.703 Physical/Electrical Characteristics of G.703 Hierarchical Digital Interfaces</b>
Defines the 2048kbps bit rate: $2048 \pm 50$ ppm. The transmission media are $75\Omega$ coax or $120\Omega$ twisted pair; peak-to-peak space voltage is $\pm 0.237$ V; nominal pulse width is 244ns.
Return loss: 51Hz to 102Hz is 6dB, 102Hz to 3072Hz is 8dB, 2048Hz to 3072Hz is 14dB
Nominal peak voltage is 2.37V for coax and 3V for twisted pair.
The pulse mask for E1 is defined in G.703.
<b>ITU G.736 Characteristics of Synchronous Digital Multiplex Equipment Operating at 2048kbps</b>
The peak-to-peak jitter at 2048kbps must be less than 0.05UI at 20Hz to 100Hz.
Jitter transfer between 2.048 synchronization signal and 2.048 transmission signal is provided.
<b>ITU G.742 Second-Order Digital Multiplex Equipment Operating at 8448kbps</b>
The DS26303 jitter attenuator is compliant with jitter transfer curve for sinusoidal jitter input.
<b>ITU G.772</b>
This specification provides the method for using receiver for transceiver 0 as a monitor for the rest of the seven transmitter/receiver combinations.
<b>ITU G.775</b>
An LOS detection criterion is defined.
<b>ITU G.823–The control of jitter and wander within digital networks that are based on 2.048kbps Hierarchy</b>
G.823 provides the jitter amplitude tolerance at different frequencies, specifically 20Hz, 2.4kHz, 18kHz, and 100kHz.
<b>ETSI 300 166</b>
This specification provides transmit return loss of 6dB for a range of 0.25fb to 0.05fb, and 8dB for a range of 0.05fb to 1.5fb where fb equals 2.048kHz for 2.048kbps interface.
<b>ETSI 300 233</b>
This specification provides LOS and AIS signal criteria for E1 mode.
<b>Pub 62411</b>
This specification has tighter jitter tolerance and transfer characteristics than other specifications. The jitter transfer characteristics are tighter than G.736 and jitter tolerance is tighter than G.823.



### 3 结构框图

图 3-1. 结构框图

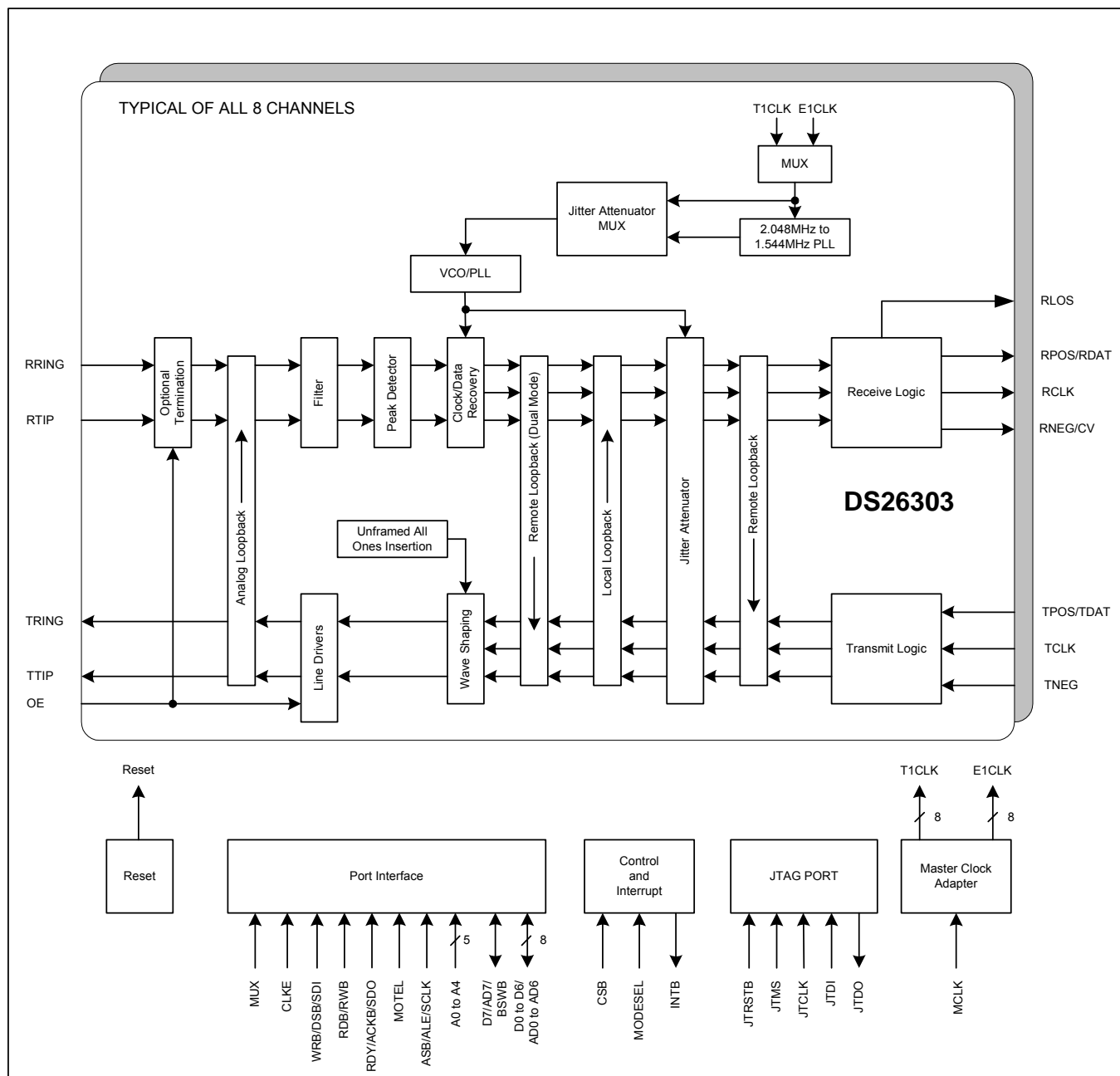


图 3-2. 接收逻辑电路

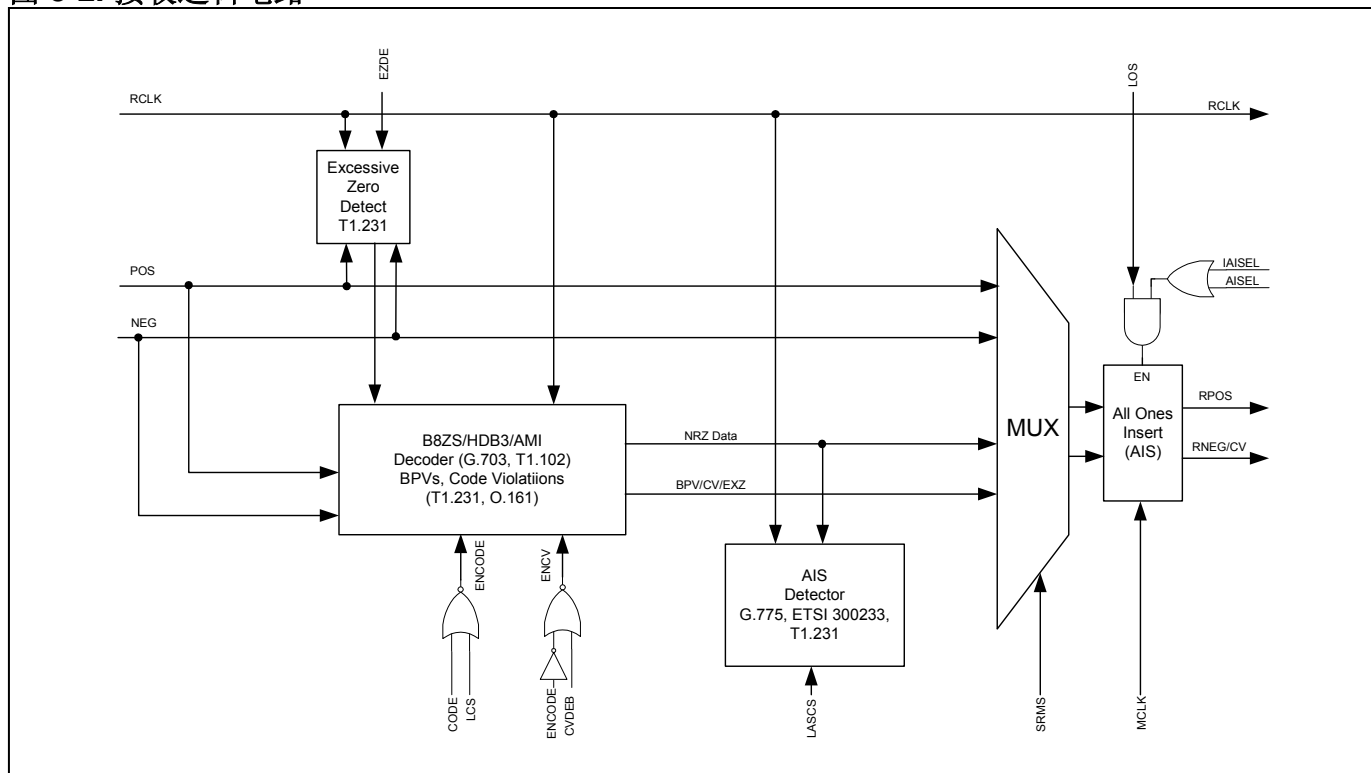
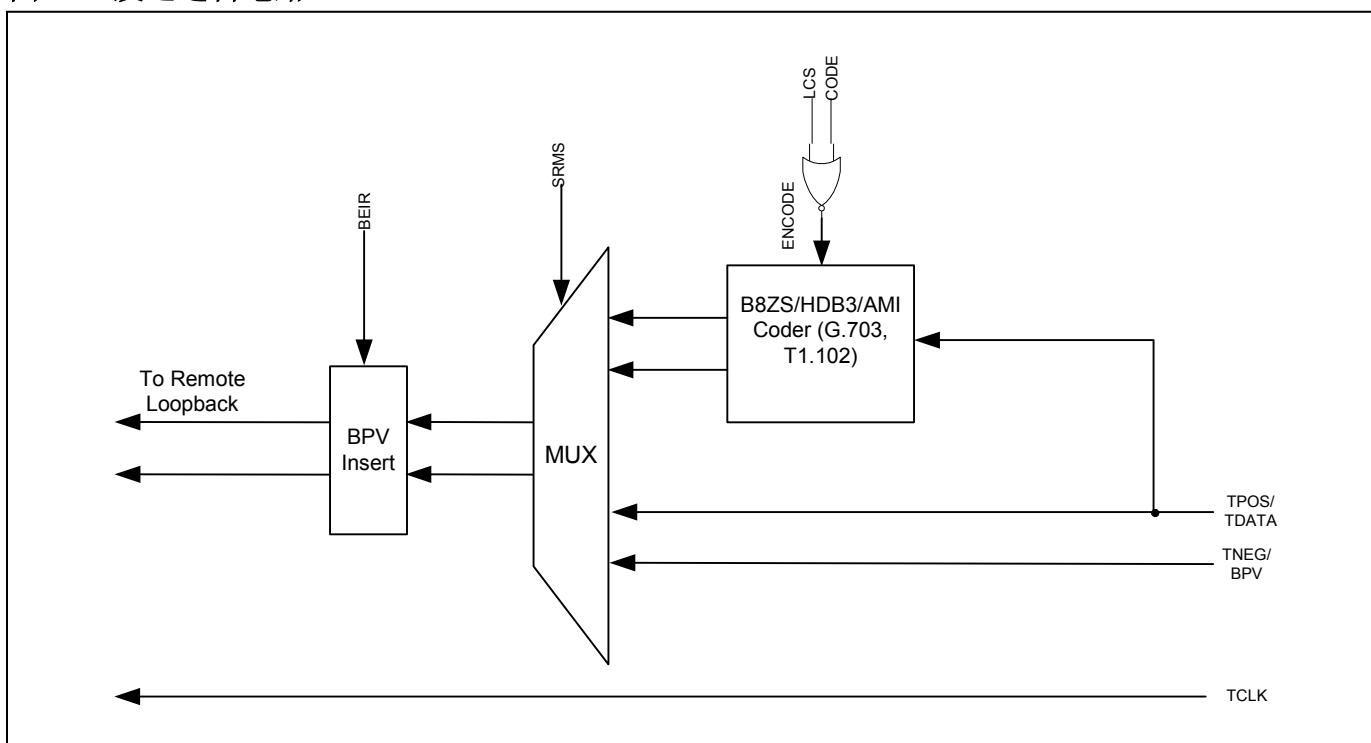


图 3-3. 发送逻辑电路



## 4 引脚说明

表 4-1. 引脚说明

名称	引脚	类型	功能
<b>模拟发送和接收</b>			
TTIP1	45	模拟输出	<b>通道1–8发送双极性tip。</b> 这些引脚是差分线路驱动器输出。如果OE为低电平，这些引脚可以置为高阻。如果相应的TCLKn保持低电平的时间达到64个MCLK (其中n表示8通道发送器的1-8通道)，则将相应的发送器置为关断模式。当OEB.OEB位置为“1”时，相应的引脚变为高阻。TTIPn和TRINGn差分输出可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。
TTIP2	52		
TTIP3	57		
TTIP4	64		
TTIP5	117		
TTIP6	124		
TTIP7	129		
TTIP8	136		
TRING1	46	模拟输出	<b>通道1–8发送双极性ring。</b> 这些引脚是差分线路驱动器ring输出。如果OE为低电平，这些引脚可以置为高阻抗。如果相应的TCLKn保持低电平的时间达到64个MCLK (其中n表示8通道发送器的1-8通道)，则将相应的发送器置为关断模式。当OEB.OEB位置为“1”，相应的引脚变为高阻。TTIPn和TRINGn差分输出可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。
TRING2	51		
TRING3	58		
TRING4	63		
TRING5	118		
TRING6	123		
TRING7	130		
TRING8	135		
RTIP1	48	模拟输入	<b>通道1–8接收双极性tip。</b> 差分接收器的模拟输入。数据和时钟恢复后，分别在RPOS/RNEG和RCLK引脚输出。RTIPn和RRINGn差分输入可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。
RTIP2	55		
RTIP3	60		
RTIP4	67		
RTIP5	120		
RTIP6	127		
RTIP7	132		
RTIP8	139		
RRING1	49	模拟输入	<b>通道1–8接收双极性ring。</b> 差分接收器的接收模拟输入。数据和时钟恢复后，分别在RPOS/RNEG和RCLK引脚输出。RTIPn和RRINGn的差分输入可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。
RRING2	54		
RRING3	61		
RRING4	66		
RRING5	121		
RRING6	126		
RRING7	133		
RRING8	138		

名称	引脚	类型	功能															
<b>数字 Tx/Rx</b>																		
TPOS1/TDATA1	37	I	<b>通道1–8发送正极性数据输入/通道1–8发送数据输入</b> <i>TPOS[1:8]</i> : 当DS26303配置为双极性摆幅模式时, TPOS <sub>n</sub> 数据输入在线路上输出为正极性脉冲 (TIP和RING)。 <i>TDATA[1:8]</i> : 当器件配置为单极性摆幅模式时, NRZ数据输入至TDATA <sub>n</sub> 。数据在输出至线路之前, 编码为HDB3/B8ZS或者AMI格式。															
TPOS2/TDATA2	30																	
TPOS3/TDATA3	80																	
TPOS4/TDATA4	73																	
TPOS5/TDATA5	108																	
TPOS6/TDATA6	101																	
TPOS7/TDATA7	8																	
TPOS8/TDATA8	1																	
TNEG1	38	I	<b>通道1–8发送负极性数据</b> 。当DS26303配置为双极性摆幅模式时, TNEG <sub>n</sub> 数据输入在线路上输出为负极性脉冲, 如下所示: <table border="1" style="margin: 10px 0;"> <thead> <tr> <th>TPOS<sub>n</sub></th> <th>TNEG<sub>n</sub></th> <th>输出脉冲</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>空</td> </tr> <tr> <td>0</td> <td>1</td> <td>负极性</td> </tr> <tr> <td>1</td> <td>0</td> <td>正极性</td> </tr> <tr> <td>1</td> <td>1</td> <td>空</td> </tr> </tbody> </table> 当TNEG <sub>n</sub> 被拉高的时间超过16个TCLK时钟周期, 则选择单摆幅I/O。	TPOS <sub>n</sub>	TNEG <sub>n</sub>	输出脉冲	0	0	空	0	1	负极性	1	0	正极性	1	1	空
TPOS <sub>n</sub>	TNEG <sub>n</sub>			输出脉冲														
0	0			空														
0	1			负极性														
1	0			正极性														
1	1			空														
TNEG2	31																	
TNEG3	79																	
TNEG4	72																	
TNEG5	109																	
TNEG6	102																	
TNEG7	7																	
TNEG8	144																	
TCLK1	36	I	<b>通道1–8发送时钟</b> 。T1模式下发送时钟必须是1.544MHz, E1模式下发送时钟必须是2.048MHz。TCLK <sub>n</sub> 是TPOS/TNEG或TDAT的采样时钟, 下降沿采样, TCLK可以反相。 如果TCLK <sub>n</sub> 保持高电平超过16个MCLK, 则向相应的发送通道线路侧发送全1 (TAO)。当TCLK <sub>n</sub> 再次启动时, 相应的发送通道开始正常工作。 如果TCLK <sub>n</sub> 保持低电平超过64个MCLK, 线路侧相应的发送通道关断, 进入高阻态。当TCLK <sub>n</sub> 再次启动时, 相应的发送通道开启, 退出高阻抗状态。															
TCLK2	29																	
TCLK3	81																	
TCLK4	74																	
TCLK5	107																	
TCLK6	100																	
TCLK7	9																	
TCLK8	2																	
RPOS1/RDATA1	40	O, 三态	<b>通道1–8接收正极性数据输出/通道1–8接收数据输出</b> <i>RPOS[1:8]</i> : 在双极性摆幅模式下, NRZ数据输出表明在RTIP/RRING上出现正极性脉冲。如果某个接收器处于关断模式, 相应的RPOS引脚为高阻态。 <i>RDATA[1:8]</i> : 在单极性摆幅模式下, NRZ数据由该引脚送出。 注意: 在LOS状态下, RPOS/RDATA输出保持有效。															
RPOS2/RDATA2	33																	
RPOS3/RDATA3	77																	
RPOS4/RDATA4	70																	
RPOS5/RDATA5	111																	
RPOS6/RDATA6	104																	
RPOS7/RDATA7	5																	
RPOS8/RDATA8	142																	
RNEG1/CV1	41	O, 三态	<b>通道1–8接收负极性数据输出/通道1–8编码违规</b> <i>RNEG[1:8]</i> : 在双极性摆幅模式下, NRZ数据输出表明在RTIP/RRING上出现负极性脉冲。如果某个接收器处于关断模式, 相应的RNEG引脚为高阻态。 <i>CV[1:8]</i> : 在单极性摆幅模式下, 驱动CV <sub>n</sub> 至高持续一个时钟周期, 报告双极性违规、编码违规和零过多。如果没有选择HDB3或者B8ZS, 该引脚指示只有BPV。															
RNEG2/CV2	34																	
RNEG3/CV3	76																	
RNEG4/CV4	69																	
RNEG5/CV5	112																	
RNEG6/CV6	105																	

名称	引脚	类型	功能
RNEG7/CV7	4		注意: 在LOS状态下, 输出保持有效。
RNEG8/CV8	141		
RCLK1	39	O, 三态	<b>通道1–8接收时钟。</b> 接收数据RPOS/RNEG或RDAT在RCLK上升沿同步输出。RCLK输出可以反相。如果某个接收器处于关断模式, RCLK为高阻态。
RCLK2	32		
RCLK3	78		
RCLK4	71		
RCLK5	110		
RCLK6	103		
RCLK7	6		
RCLK8	143		
MCLK	10	I	<b>主时钟。</b> 这是一个自激振荡的独立时钟, 频率可以是E1模式2.048MHz $\pm$ 50ppm或者T1模式1.544MHz $\pm$ 50ppm的倍数。由MC的MPS0、MPS1、FREQS和PLLE位进行时钟选择。2.048MHz倍频可以内部应用于1.544MHz, 1.544MHz倍频可以内部应用于2.048MHz。硬件模式下, 内部自适应无效, 因此用户必须为E1模式提供2.048MHz $\pm$ 50ppm的时钟或者为T1模式提供1.544MHz $\pm$ 50ppm的时钟。
RLOS1/TECLK	42	O	<b>信号输出丢失/T1-E1时钟</b>  <i>RLOS1:</i> 在规定时间间隔内, 接收信号没有跳变时, 该输出变为高电平。在接收到的信号中有足够多的1时, 输出变为低电平。 <i>功能说明</i> 一节中说明了RLOS置位和解除置位的标准。可以配置RLOS输出, 使其符合T1.231、ITU G.775或ETSI 300 233的要求。在硬件模式下, ETSI 300 233 “RLOS 标准” 无效。  <i>TECLK:</i> 由寄存器MC使能后, 该输出成为T1或E1可编程时钟输出。关于T1或E1频率选择, 请参考寄存器CCR。这选项在硬件模式下无效。
RLOS2/ RXPROBEA1	35	I/O	<b>信号丢失输出/接收检测</b>  <i>RLOS[2:4]:</i> 参考RLOS1引脚说明。 <i>RXPROBE A1, B1, C1:</i> 仅用于测试。
RLOS3/ RXPROBEB1	75		
RLOS4/ RXPROBEC1	68		
RLOS5/ scan_do	113	O	<b>信号丢失输出/扫描数据输出</b>  <i>RLOS5:</i> 参考RLOS1引脚说明。 <i>scan_do:</i> 扫描期间数据输出。
RLOS6/ scan_di	106	I/O	<b>信号丢失输出/扫描数据输入</b>  <i>RLOS6:</i> 参考RLOS1引脚说明。 <i>scan_di:</i> 扫描期间数据输出。
RLOS7/ scan_clk	3	I/O	<b>信号丢失输出/扫描时钟</b>  <i>RLOS7:</i> 参考RLOS1引脚说明。 <i>scan_clk:</i> 扫描期间时钟输入。

名称	引脚	类型	功能
RLOS8/ scan_en	140	I/O	<p>信号丢失输出/扫描使能</p> <p><i>RLOS8</i>: 参考RLOS1引脚说明。</p> <p><i>scan_en</i>: 测试期间, 当引脚scan_mode为高时, 使能扫描。</p>
CLKA	93	O, 三态	<p><b>时钟A</b>。由寄存器MC使能后, 该输出成为可编程时钟输出。关于频率选择, 请参考CCR。该选项在硬件模式下无效。如果不用该选项, 则悬空该引脚。</p>
scan_mode	94	I (下拉至 V <sub>SS</sub> )	<p><b>扫描模式</b>。为高电平时, 选择扫描模式。如果不用扫描模式, 则将该引脚悬空或接地。</p>
<b>硬件和端口工作</b>			
MODESEL	11	I (上拉至 V <sub>DD</sub> /2)	<p><b>模式选择</b>。该引脚用于选择DS26303的控制模式。</p> <p>低电平 → 硬件模式 V<sub>DD</sub>/2 → 串行主机模式 高电平 → 并行主机模式</p> <p>注意: 如果悬空, 请勿将具有快速瞬变的信号走线靠近MODESEL排布。这样会最大程度的减少耦合电容。</p>
MUX/ TIMPRM	43	I	<p><b>复用/非复用选择引脚/ 发送阻抗/接收阻抗匹配</b></p> <p><i>MUX</i>: 在主机模式下, 该引脚用于选择地址和数据复用, 或者独立的地址和数据总线。当mux为高电平时, 采用复用地址和数据。</p> <p><i>TIMPRM</i>: 在硬件模式下, 该引脚为E1模式或T1/J1模式选择内部发送端接阻抗和接收阻抗匹配。</p> <p>E1模式为0 → 75Ω 或者T1模式为100Ω E1模式为1 → 120Ω 或者J1模式为110Ω</p> <p>注意: 如果器件编号尾缀为120, 则默认接低电平时为120Ω, 接高电平时为75Ω。(仅适用于E1模式)</p>
MOTEL/ CODE	88	I	<p><b>Motorola Intel 选择/编码</b></p> <p><i>MOTEL</i>: 并口主机模式下, 该引脚为低电平时, 选择Motorola模式; 为高电平时, 选择Intel模式。</p> <p><i>CODE</i>: 在硬件模式下, 当该引脚为高电平时, 对于所有的LIU选择AMI编码/解码。当该引脚为低电平时, 对于所有的LIU, 在T1模式下则选择B8ZS, 而在E1模式下则选择HDB3。</p>

名称	引脚	类型	功能
CSB/ JAS	87	I (在HW 模式 下, 上 拉至 V <sub>DD</sub> /2)	<p><b>片选按钮/抖动衰减选择</b></p> <p><b>CSB:</b> 访问寄存器期间, 该信号应为低电平。</p> <p><b>JAS:</b> 硬件模式下, 该引脚用于选择抖动衰减。</p> <p>低电平 → 抖动衰减用于发送通道。 VDDIO/2 → 不采用抖动衰减。 高电平 → 抖动衰减用于接收通道。</p> <p>注意: 悬空或者在处于硬件模式时, 请勿将带有快速瞬变的信号走线靠近JAS排布。这样会最大程度的减小耦合电容。</p>
SCLK/ALE/ ASB/TS2	86	I	<p><b>移位时钟/地址锁存使能/地址选通按钮/模板选择2</b></p> <p><b>SCLK:</b> 在串行主机模式下, 该引脚为串行时钟。SDI上的数据同步于SCLK的上升沿。如果CLKE为高电平, SDO上的数据同步于SCLK的上升沿。如果CLKE为低电平, SDO上的数据同步于SCLK的下降沿。</p> <p><b>ALE:</b> 在并行Intel复用模式下, 地址线在ALE的下降沿锁存。如果采用非复用模式, 则将ALE接高电平。</p> <p><b>ASB:</b> 在并行Motorola复用模式下, 地址在ASB的下降沿进行采样。如果采用非服用模式, 则将ASB接高电平。</p> <p><b>TS2:</b> 在硬件模式下, 该引脚信号对应表 5-11 中的最高位。</p>
RDB/RWB/TS1	85	I	<p><b>读操作按钮/读写按钮/模板选择1</b></p> <p><b>RDB:</b> Intel主机模式下, 读操作时, 该引脚必须为低电平。</p> <p><b>RWB:</b> 在Motorola模式下, 该引脚保持低电平进行写操作, 高电平为读操作。</p> <p><b>TS1:</b> 硬件模式下, 该引脚信号对应表 5-11 中的次高位。</p>
SDI/WRB/DSB/TS0	84	I	<p><b>串行数据输入/读操作按钮/数据选通按钮/模板选择0</b></p> <p><b>SDI:</b> 在串行主机模式下, 该引脚是串行输入SDI。它在SCLK的上升沿进行采样。</p> <p><b>WRB:</b> 在Intel主机模式下, 写操作期间, 该引脚低电平有效。数据或者地址(复用模式)在WRB上升沿采样。</p> <p><b>DSB:</b> 在并行Motorola模式下, 该引脚低电平有效。写操作期间, 数据或者地址在DSB的上升沿采样。读操作期间, 数据(D[7:0]或AD[7:0])在DSB上升沿被驱动。在非复用Motorola模式下, 地址总线(A[5:0])在DSB下降沿锁存。</p> <p><b>TS0:</b> 硬件模式下, 该引脚信号对应表 5-11 中的最低位。</p>

名称	引脚	类型	功能
SDO/RDY/ACKB/ RIMPOFF	83	I/O	<p><b>串行数据输出/准备就绪输出/确认按钮/接收阻抗关断</b></p> <p><b>SDO:</b> 在串行主机模式下, SDO数据由该引脚输出。如果进行串行写操作, 该引脚为高阻态。读操作期间, 当SDI处于命令/地址模式时, SDO为高阻态。如果CLKE是低电平, SDO在SCLK的上升沿输出。如果CLKE是高电平, 在下降沿输出。</p> <p><b>RDY:</b> 该引脚为低电平时, 报告主机周期还没完成, 必须插入等待状态; 为高电平时表明周期已经完成。</p> <p><b>ACKB:</b> 在Motorola并行模式下, 该引脚的低电平表明主机可以进行数据读取, 或写数据周期已经完成。</p> <p><b>RIMPOFF:</b> 在硬件模式下, 当该引脚为高电平时, RTIP和RING引脚的内部阻抗关断。</p>
$\overline{\text{INTB}}$	82	O, 开漏	<p><b>低电平有效中断按钮。</b> 当任意寄存器的使能中断发生中断时, 该中断信号变为低电平。没有发生中断时, 该引脚可以设置为高电平或者非高电平。没有使能中断源时, 其复位默认状态为非高电平。当软件复位时, 所有中断源被禁用, 必须通过设置才能开中断。</p>
D7/AD7/BSWP/LP8	28	I/O (在 HW模式 下, 上 拉至 $V_{DD}/2$ )	<p><b>数据总线7-0/地址/数据总线7-0/位交换/ 环回选择7-0</b></p> <p><b>D[7:0]:</b> 在非复用主机模式下, 这些引脚是双向数据总线。</p> <p><b>AD[7:0]:</b> 在复用主机模式下, 这些引脚是双向地址/数据总线。<b>注意:</b> AD7和AD6不承载地址信息, 在串行主机模式下, AD6-AD0应接地。</p> <p><b>BSWP:</b> 在串行主机模式下, 该引脚为低电平时, 定义串行数据位置为LSB在前, 高电平时MSB在前。</p> <p><b>LP[8:1]</b> 在硬件模式下, 这些引脚将相应的LIU设置为环回模式, 如下所示:</p> <p>低电平 → 远程环回  <math>V_{DDIO}/2</math> → 无环回            高电平 → 模拟环回</p> <p><b>注意:</b> 当悬空或者处于硬件模式时, 请勿将带有快速瞬变的信号走线靠近LP1-LP8排布。这样会最大程度的减小耦合电容。</p>
D6/AD6/LP7	27		
D5/AD5/LP6	26		
D4/AD4/LP5	25		
D3/AD3/LP4	24		
D2/AD2/LP3	23		
D1/AD1/LP2	22		
D0/AD0/LP1	21		



名称	引脚	类型	功能
A4/RIMPMSB	12	I	<b>地址总线4-0/G.772监控/Rx阻抗模式选择</b> <b>A[4:0]:</b> 在并行主机模式下, 这5个引脚为地址引脚。在串行主机模式和复用主机模式下, 这些引脚接地。 <b>RIMPMSB:</b> 在硬件模式下, 当该引脚为低电平时, 选择内部阻抗模式, 因此RTIP和RING无需外部阻抗元件。当该引脚为高电平时, 则选择外部阻抗模式, 因此RTIP和RING需要外部阻抗。 <b>GMC[3:0]:</b> 在硬件模式下, 这些引脚的信号用于选择非介入监控的发送器或者接收器。接收器1用于监控RTIP2-RTIP8/RRING2-RRING8一个接收器或TTIP2-TTIP8/TRING2-TRING8一个发送器的2至8通道。这些引脚对应表 5-9中的各个位。
A3/GMC3	13		
A2/GMC2	14		
A1/GMC1	15		
A0/GMC0	16		
OE	114	I	<b>输出使能。</b> 该引脚如果为低电平, 所有的发送器输出 (TTIP和TRING)为高阻态。此外, 如果寄存器 <b>GMR.RHPMC</b> 置位, 客户可以通过相同引脚来同时关断接收器的所有阻抗匹配。
CLKE	115	I	<b>时钟沿。</b> 当CLKE为高电平, SDO在SCLK下降沿输出。当CLKE为低电平, 则SDO在SCLK上升沿输出。当CLKE为高电平时, 所有通道的RCLK全部反相。使RPOS/RNEG与RCLK下降沿对齐, 同时使寄存器 <b>RCLKI</b> 的设置无效。为低电平时, 则RPOS/RNEG与寄存器 <b>RCLKI</b> 的设置对齐。
<b>JTAG</b>			
JTRSTB	95	I, 上拉	<b>JTAG测试端口复位。</b> 如果该引脚为低电平, 则复位JTAG端口。如果不使用该引脚, 可将其悬空。
JTMS	96	I, 上拉	<b>JTAG测试模式选择。</b> 该引脚同步于JTCLK上升沿, 用于控制选择JTAG的扫描和测试机器控制。
JTCLK	97	I	<b>JTAG测试时钟。</b> 数据JTDI和JTMS同步于JTCLK的上升沿, TDO在JTCLK的下降沿同步输出。
JTDO	98	O, 高阻	<b>JTAG测试数据输出。</b> 这是JTAG端口的串行输出。数据在JTCLK的下降沿同步输出。
JTDI	99	I, 上拉	<b>测试数据输入。</b> 该引脚输入是JTAG测试的串行数据。JTDI数据同步于JTCLK的上升沿。该引脚可以不连接。
<b>电源</b>			
DVDD	19	—	<b>3.3V数字电源。</b>
DVSS	20	—	<b>数字地。</b>
VDDIO	17, 92	—	<b>3.3V I/O电源。</b>
VSSIO	18, 91	—	<b>I/O地。</b>

名称	引脚	类型	功能
TVDD1	44	—	发送器 <b>3.3V</b> 电源。所有TVDD引脚必须连接到 <b>3.3V</b> 的TVDD。
TVDD2	53		
TVDD3	56		
TVDD4	65		
TVDD5	116		
TVDD6	125		
TVDD7	128		
TVDD8	137		
TVSS1	47	—	发送器模拟地。
TVSS2	50		
TVSS3	59		
TVSS4	62		
TVSS5	119		
TVSS6	122		
TVSS7	131		
TVSS8	134		
AVDD	90	—	<b>3.3V</b> 模拟核电源。
AVSS	89	—	模拟核地。

图 4-1. 144 引脚 eLQFP 引脚排布

NAME	PIN	NAME	PIN	NAME	PIN	NAME	PIN
TPOS8/TDATA8	1	TPOS1/TDATA1	37	TPOS4/TDATA4	73	TNEG5	109
TCLK8	2	TNEG1	38	TCLK4	74	RCLK5	110
RLOS7	3	RCLK1	39	RLOS3/RXPROBEB1	75	RPOS5/RDATA5	111
RNEG7/CV7	4	RPOS1/RDATA1	40	RNEG3/CV3	76	RNEG5/CV5	112
RPOS7/RDATA7	5	RNEG1/CV1	41	RPOS3/RDATA3	77	RLOS5	113
RCLK7	6	RLOS1/TECLK	42	RCLK3	78	OE	114
TNEG7	7	MUX/TIMPRM	43	TNEG3	79	CLKE	115
TPOS7/TDATA7	8	TVDD1	44	TPOS3/TDATA3	80	TVDD5	116
TCLK7	9	TTIP1	45	TCLK3	81	TTIP5	117
MCLK	10	TRING1	46	INTB	82	TRING5	118
MODESEL	11	TVSS1	47	SD0/RDY/ACKB/ RIMOFF	83	TVSS5	119
A4/RIMPMSB	12	RTIP1	48	SDI/WRB/DSB/TS0	84	RTIP5	120
A3/GMC3	13	RRING1	49	RDB/RWB/TS1	85	RRING5	121
A2/GMC2	14	TVSS2	50	SCLK/ALE/ASB/TS2	86	TVSS6	122
A1/GMC1	15	TRING2	51	CSB/JAS	87	TRING6	123
A0/GMC0	16	TTIP2	52	MOTEL/CODE	88	TTIP6	124
VDDIO	17	TVDD2	53	AVSS	89	TVDD6	125
VSSIO	18	RRING2	54	AVDD	90	RRING6	126
DVDD	19	RTIP2	55	VSSIO	91	RTIP6	127
DVSS	20	TVDD3	56	VDDIO	92	TVDD7	128
D0/AD0/LP1	21	TTIP3	57	CLKA	93	TTIP7	129
D1/AD1/LP2	22	TRING3	58	scan_mode	94	TRING7	130
D2/AD2/LP3	23	TVSS3	59	JTRSTB	95	TVSS7	131
D3/AD3/LP4	24	RTIP3	60	JTMS	96	RTIP7	132
D4/AD4/LP5	25	RRING3	61	JTCLK	97	RRING7	133
D5/AD5/LP6	26	TVSS4	62	JTDO	98	TVSS8	134
D6/AD6/LP7	27	TRING4	63	JTDI	99	TRING8	135
D7/AD7/BSWP/LP8	28	TTIP4	64	TCLK6	100	TTIP8	136
TCLK2	29	TVDD4	65	TPOS6/TDATA6	101	TVDD8	137
TPOS2/TDATA2	30	RRING4	66	TNEG6	102	RRING8	138
TNEG2	31	RTIP4	67	RCLK6	103	RTIP8	139
RCLK2	32	RLOS4/RXPROBEC1	68	RPOS6/RDATA6	104	RLOS8	140
RPOS2/RDATA2	33	RNEG4/CV4	69	RNEG6/CV6	105	RNEG8/CV8	141
RNEG2/CV2	34	RPOS4/RDATA4	70	RLOS6	106	RPOS8/RDATA8	142
RLOS2/RXPROBEA1	35	RCLK4	71	TCLK5	107	RCLK8	143
TCLK1	36	TNEG4	72	TPOS5/TDATA5	108	TNEG8	144

## 4.1 硬件和主机端口操作

### 4.1.1 硬件模式

DS26303支持硬件配置模式，允许用户通过设置器件引脚的电平来配置器件。该模式无需微处理器即可实现DS26303的配置。在硬件模式下，并不支持所有的器件功能。欲了解硬件模式下的可用选项，请参见表 4-1的引脚说明。

下列表格给出了硬件模式下，通过引脚设定可实现的两种基本配置实例。

表 4-2. 硬件模式配置范例

PIN NAME, HARDWARE MODE	STANDARD MODE CONFIGURATION		NOTES
	T1	E1	
TTIP[8:1]	Output	Output	—
TRING[8:1]	Output	Output	—
RTIP[8:1]	Input	Input	—
RRING[8:1]	Input	Input	—
TPOS[8:1]	Input	Input	—
TNEG[8:1]	Input	Input	—
TCLK[8:1]	Input: 1.544MHz	Input: 2.048MHz	—
RPOS[8:1]	Output	Output	—
RNEG[8:1]	Output	Output	—
RCLK[8:1]	Output: 1.544MHz	Output: 2.048MHz	—
MCLK	Input: 1.544MHz	Input: 2.048MHz	Used as recovery clock.
RLOS[8:1]	Output	Output	Meets T1.231 and ITU G.775.
MODESEL	0	0	Low for hardware mode.
TIMPRM	0	0 (Part number ends in -75)	100Ω for T1 mode/75Ω E1 mode.
CODE	1	1	AMI endocoding/decoding.
JAS	N.C.: Pulled to VDDIO/2	N.C.: Pulled to VDDIO/2	Jitter attenuator is not used.
TS[2:0]	111	000	Set template T1 (655ft)-100Ω/E1-75Ω.
RIMPOFF	0	0	Receive impedance should default to on.
$\overline{\text{INTB}}$	N.C.	N.C.	Not used in hardware mode.
LP[8:1]	N.C.: Pulled to VDDIO/2	N.C.: Pulled to VDDIO/2	Internally pulled to VDDIO/2.
RIMPMS	0	0	Internal impedance mode selected.
GMC[3:0]	0000	0000	No monitoring enabled.
OE	1	1	TTIP and TRING are outputs.
CLKE	0	0	RPOS <sub>n</sub> /RNEG <sub>n</sub> are clocked on rising edge.
JTRSTB	Input, Pulled Up	Input, Pulled Up	JTAG.
JTMS	Input	Input	
JTCLK	Input	Input	
JTDO	Output, High-Z	Output, High-Z	
JTDI	Input, Pulled Up	Input, Pulled Up	
RSTB	Input, Pullup	Input, Pullup	Reset.
CLKA	N.C.	N.C.	Not available in hardware node.
scan_mode	0	0	Pull low or ground. Used only in factory test.

## 4.1.2 串口操作

设置MODESEL = VDDIO/2使能DS26303的串行总线接口。端口读/写时序与系统发送和接收时序无关，支持主机异步读或写操作。参见第10.3节的串口交流时序。当BSWP引脚设置为低电平时，所有串口读写为LSB在前，当BSWP引脚设置为高电平时，所有串口读写为MSB在前。图4-2至图4-4所示为LSB在前的工作情况。

该端口兼容Motorola处理器定义的SPI接口。具体实例是Motorola的MMC2107。

内部寄存器读或写操作需要在传送寄存器数据之前，写入一个地址/命令字节。地址/命令字节的最低有效位(LSB)规定访问操作是读(1)还是写(0)。后面5位定义寄存器地址(A1至A5) (忽略A6和A7)。

驱动CSB输入至低电平，初始化所有的数据传送。当CLKE为低电平时，在SCLK上升沿输出SDO数据，当CLKE为高电平时，在SCLK下降沿输出数据。数据保持至下一上升沿或下降沿。如果CSB输入跳变至高电平，则终止所有的数据传送。当CSB高电平时，禁止端口控制逻辑，SDO进入三态。SDI总是在SCLK的上升沿进行采样。

图 4-2. 串口写操作

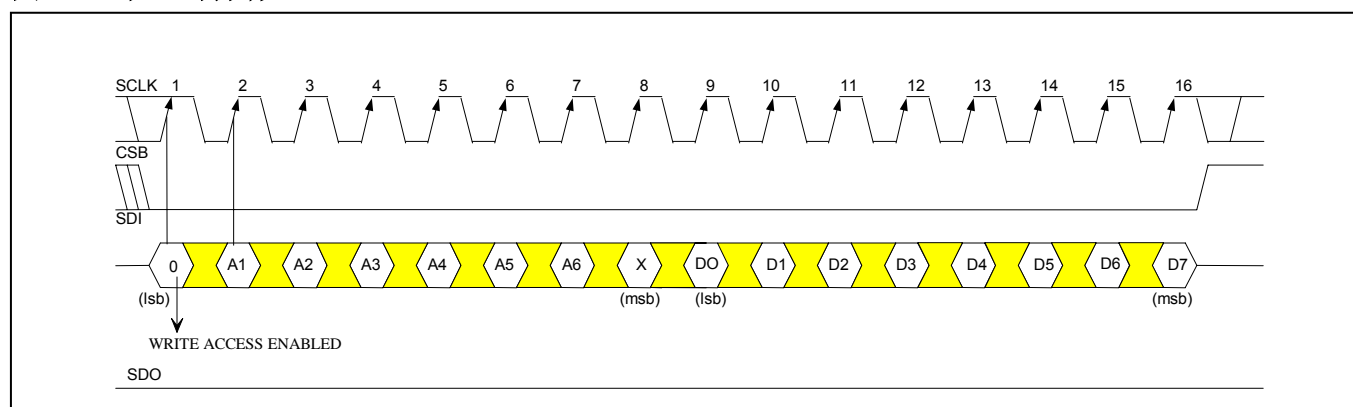


图 4-3. CLKE = 0 时串口读操作

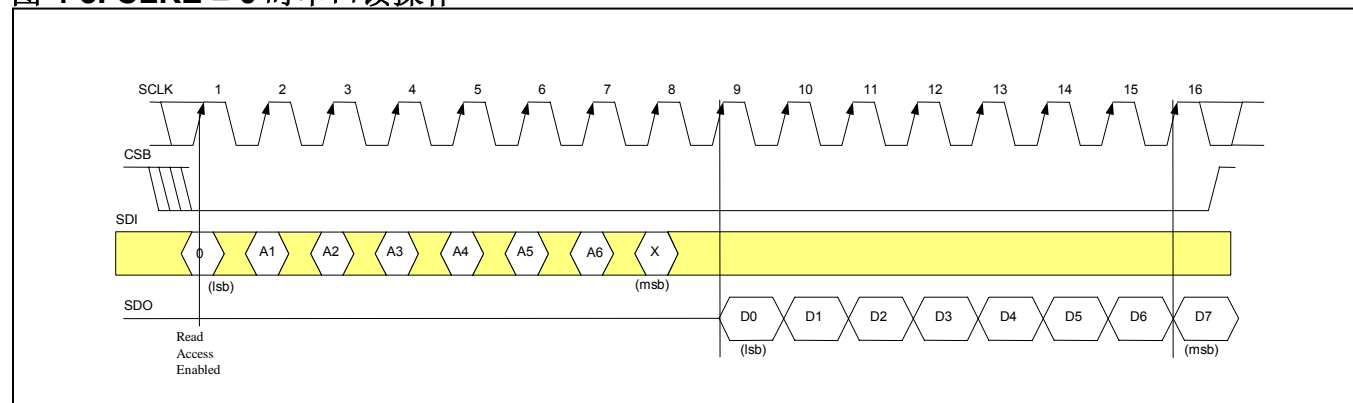
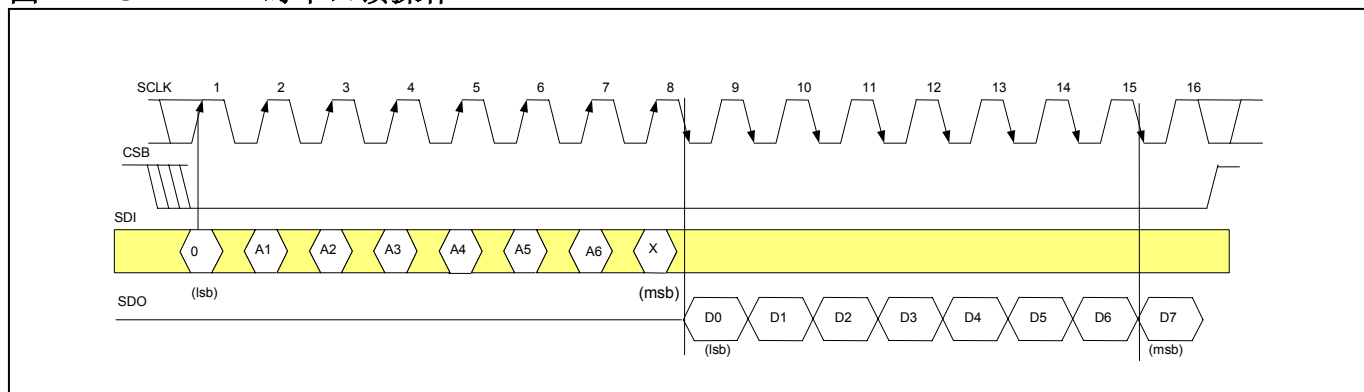


图 4-4. CLKE = 1 时串口读操作



### 4.1.3 并口操作

使用DS26303的并行接口时，用户可以选择复用总线工作，或者非复用总线工作。非复用总线工作时，**ALE**引脚上拉至高电平。DS26303可工作在Intel或者Motorola总线时序配置下，由**MOTEL**引脚进行选择。该引脚高电平时选择Intel模式。并行端口模式仅在**MODESEL**引脚高电平时有效。下表列出了并行端口模式下所有的引脚及其功能。参见第10节的时序图，了解详细情况。

表 4-3. 并口模式选择和引脚功能

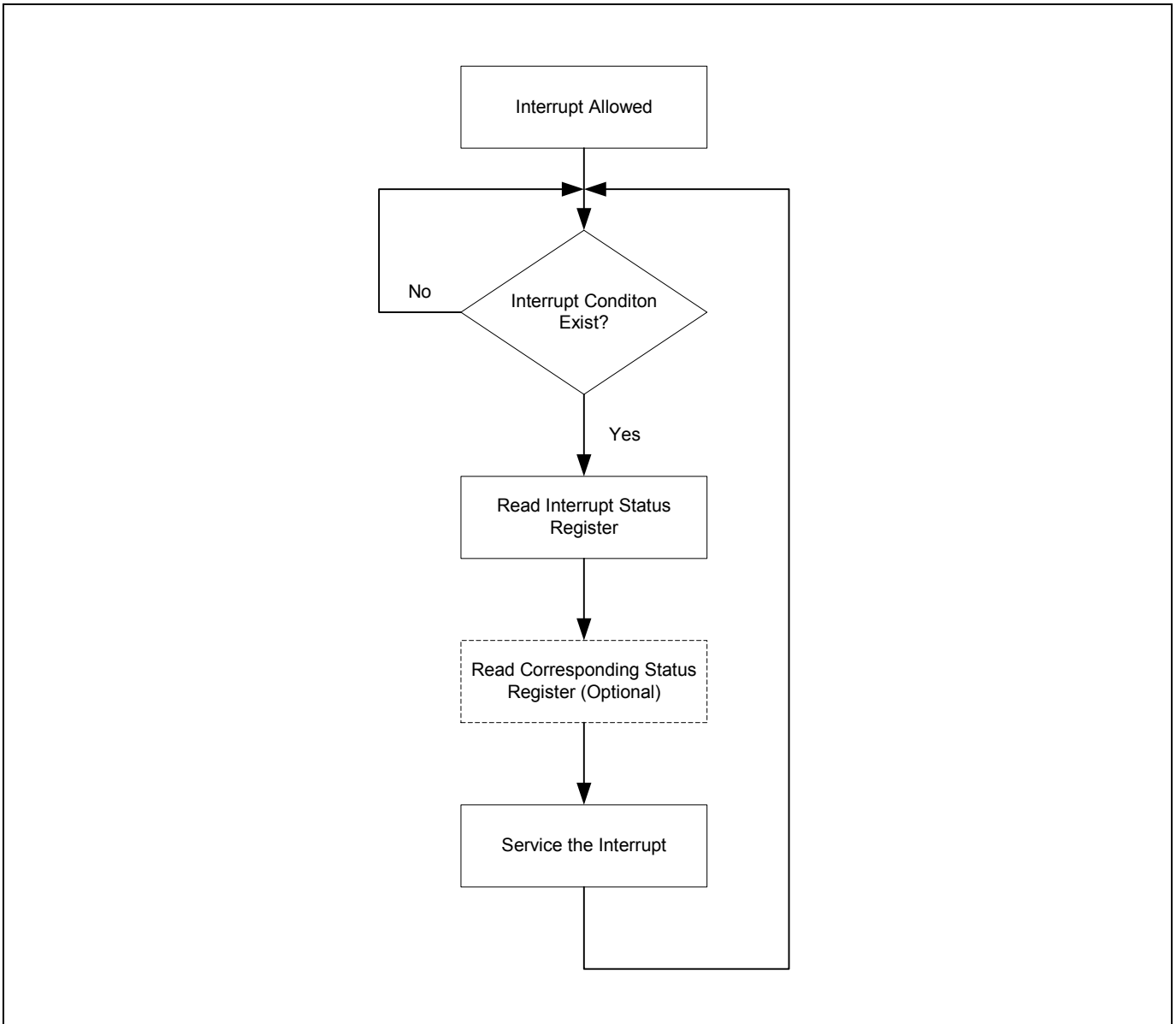
MODESEL, MOTEL, MUX	PARALLEL HOST INTERFACE	ADDRESS, DATA, AND CONTROL
100	Nonmultiplexed Motorola	CSB, ACKB, DSB, RWB, ASB, A[4:0], D [7:0], $\overline{\text{INTB}}$
110	Nonmultiplexed Intel	CSB, RDY, WRB, RDB, ALE, A[4:0], D [7:0], $\overline{\text{INTB}}$
101	Multiplexed Motorola	CSB, ACKB, DSB, RWB, ASB, AD[7:0], $\overline{\text{INTB}}$
111	Multiplexed Intel	CSB, RDY, WRB, RDB, ALE, AD[7:0], $\overline{\text{INTB}}$

### 4.1.4 中断处理

有4组事件会触发中断，中断功能如下：

- 中断事件状态改变时，如果相应的中断使能寄存器使能事件， $\overline{\text{INTB}}$ 引脚将变为低电平。采用一个10kΩ电阻将 $\overline{\text{INTB}}$ 外部上拉至高电平，进行线“或”操作。如果不需要线“或”操作，则通过寄存器[GISC.INTM](#)，将 $\overline{\text{INTB}}$ 引脚置为高电平。
- 中断发生时，主机处理器必须读取中断状态寄存器，以确定中断源。读操作也会清除中断状态寄存器，清除 $\overline{\text{INTB}}$ 引脚的输出。通过寄存器[GISC.CWE](#)，将中断状态寄存器配置为读清零位。当执行读清零时， $\overline{\text{INTB}}$ 清零。
- 随后，主机读取相应的状态寄存器，检查事件的实时状态。

图 4-5. 中断处理流程图



## 5 寄存器

5个地址位用于控制寄存器设置。在并行非复用模式下使用AD[4:0]。在复用模式下使用AD[4:0]，串行模式下使用AD[5:1]。地址00h至1Fh的寄存器空间包含了对通道1至8的控制。[ADDP](#) (1F)寄存器用作指针，用于访问不同的寄存器区。将寄存器设置为AAh，可访问寄存器第二区域；设置为01h，可访问寄存器的独立LIU区域；设置为02h，访问寄存器的BERT区域。复位该寄存器至00h，访问寄存器的主区域。

表 5-1. 主寄存器组

NAME	SYMBOL	ADDRESS			RW
		HEX	PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Identification	ID	00	xxx00000	xx00000	R
Analog Loopback Configuration	ALBC	01	xxx00001	xx00001	RW
Remote Loopback Configuration	RLBC	02	xxx00010	xx00010	RW
Transmit All-Ones Enable	TAOE	03	xxx00011	xx00011	RW
LOS Status	LOSS	04	xxx00100	xx00100	R
Driver Fault Monitor Status	DFMS	05	xxx00101	xx00101	R
LOS Interrupt Enable	LOSIE	06	xxx00110	xx00110	RW
Driver Fault Monitor Interrupt Enable	DFMIE	07	xxx00111	xx00111	RW
LOS Interrupt Status	LOSI	08	xxx01000	xx01000	R
Driver Fault Monitor Interrupt Status	DFMIS	09	xxx01001	xx01001	R
Software Reset	SWR	0A	xxx01010	xx01010	W
G.772 Monitor Configuration	GMC	0B	xxx01011	xx01011	RW
Digital Loopback Configuration	DLBC	0C	xxx01100	xx01100	RW
LOS/AIS Criteria Selection	LASCS	0D	xxx01101	xx01101	RW
Automatic Transmit All-Ones Select	ATAOS	0E	xxx01110	xx01110	RW
Global Configuration	GC	0F	xxx01111	xx01111	RW
Template Select Transceiver Register	TST	10	xxx10000	xx10000	RW
Template Select	TS	11	xxx10001	xx10001	RW
Output-Enable Bar	OEB	12	xxx10010	xx10010	RW
Alarm Indication Signal	AIS	13	xxx10011	xx10011	R
AIS Interrupt Enable	AISIE	14	xxx10100	xx10100	RW
AIS Interrupt Status	AISIS	15	xxx10101	xx10101	R
Reserved	—	16-1E	xxx10110– xxx11110	xx10110– xx11110	—
Address Pointer for Secondary Register Set	ADDP	1F	xxx11111	xx11111	RW



表 5-2. 第二寄存器组

NAME	SYMBOL	ADDRESS			RW
		HEX	PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Single Rail-Mode Select	SRMS	00	xxx00000	xx00000	RW
Line Code Selection	LCS	01	xxx00001	xx00001	RW
Not Used	—	02	xxx00010	xx00010	—
Receive Power-Down Enable	RPDE	03	xxx00011	xx00011	RW
Transmit Power-Down Enable	TPDE	04	xxx00100	xx00100	RW
Excessive Zero Detect Enable	EZDE	05	xxx00101	xx00101	RW
Code Violation Detect Enable Bar	CVDEB	06	xxx00110	xx00110	RW
Not Used	—	07-1E	xxx00111- xxx11110	xx00111- xx11110	—
Address Pointer for Secondary Register Set	ADDP	1F	xxx11111	xx11111	RW

表 5-3. 独立 LIU 寄存器组

NAME	SYMBOL	ADDRESS			RW
		HEX	PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Individual JA Enable	IJAE	00	xxx00000	xx00000	RW
Individual JA Position Select	IJAPS	01	xxx00001	xx00001	RW
Individual JA FIFO Depth Select	IJAFDS	02	xxx00010	xx00010	RW
Individual JA FIFO Limit Trip	IJAFLT	03	xxx00011	xx00011	R
Individual Short Circuit Protection Disable	ISCPD	04	xxx00100	xx00100	RW
Individual AIS Select	IAISEL	05	xxx00101	xx00101	RW
Master Clock Select	MC	06	xxx00110	xx00110	RW
Global Management Register	GMR	07	xxx00111	xx00111	RW
Reserved	Reserved	08-0B	xxx01000- xxx01011	xx01000- xx01011	RW
Reserved	Reserved	0C-0F	xxx01100- xxx01111	xx01100- xx01111	R
Bit Error Rate Tester Control Register	BTCR	10	xxx10000	xx10000	RW
Line Violation Detect Status	LVDS	12	xxx10010	xx10010	R
Receive Clock Invert	RCLKI	13	xxx10011	xx10011	RW
Transmit Clock Invert	TCLKI	14	xxx10100	xx10100	RW
Clock Control Register	CCR	15	xxx10101	xx10101	RW
RCLK Disable Upon LOS Register	RDULR	16	xxx10110	xx10110	RW
Global Interrupt Status Control	GISC	1E	xxx11110	xx11110	RW
Address Pointer for Secondary Register Set	ADDP	1F	xxx11111	xx11111	RW

表 5-4. BERT 寄存器组

NAME	SYMBOL	ADDRESS			RW
		HEX	PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
BERT Control Register	BCR	00	xxx00000	xx00000	RW
Reserved	—	01	xxx00001	xx00001	
BERT Pattern Configuration 1	BPCR1	02	xxx00010	xx00010	RW
BERT Pattern Configuration 2	BPCR2	03	xxx00011	xx00011	RW
BERT Seed/Pattern 1	BSPR1	04	xxx00100	xx00100	RW
BERT Seed/Pattern 2	BSPR2	05	xxx00101	xx00101	RW
BERT Seed/Pattern 3	BSPR3	06	xxx00110	xx00110	RW
BERT Seed/Pattern 4	BSPR4	07	xxx00111	xx00111	RW
Transmit Error Insertion Control	TEICR	08	xxx01000	xx01000	RW
Reserved	—	09-0A	xxx01001- xx01010	—	—
BERT Status Register	BSR	0C	xxx01100	xx01100	R
Reserved		0D	xxx01101	xx01101	
BERT Status Register Latched	BSRL	0E	xxx10011	xx10011	RW
BERT Status Register Interrupt Enable	BSRIE	10	xxx10000	xx10000	RW
Reserved	—	11-13	xxx10001- xxx10011	xx10001- xx10011	—
Receive Bit Error Count Register 1	RBECR1	14	xxx10100	xx10100	R
Receive Bit Error Count Register 2	RBECR2	15	xxx10101	xx10101	R
Receive Bit Error Count Register 3	RBECR3	16	xxx10110	xx10110	R
Receive Bit Error Count Register 4	RBECR4	17	xxx10111	xx10111	R
Receive Bit Count Register 1	RBCR1	18	xxx11000	xx11000	R
Receive Bit Count Register 2	RBCR2	19	xxx11001	xx11001	R
Receive Bit Count Register 3	RBCR3	1A	xxx11010	xx11010	R
Receive Bit Count Register 4	RBCR4	1B	xxx11011	xx11011	R
Reserved	—	1C-1E	xxx11100- xxx11110	xx11100- xx11110	—
Address Pointer for Secondary Register Set	ADDP	1F	xxx11111	xx11111	RW

表 5-5. 主寄存器组位图

REGISTER	ADDRESS	TYPE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ID	00	R	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
ALBC	01	RW	ALBC8	ALBC7	ALBC6	ALBC5	ALBC4	ALBC3	ALBC2	ALBC1
RLBC	02	RW	RLBC8	RLBC7	RLBC6	RLBC5	RLBC4	RLBC3	RLBC2	RLBC1
TAOE	03	RW	TAOE8	TAOE7	TAOE6	TAOE5	TAOE4	TAOE3	TAOE2	TAOE1
LOSS	04	RW	LOSS8	LOSS7	LOSS6	LOSS5	LOSS4	LOSS3	LOSS2	LOSS1
DFMS	05	RW	DFMS8	DFMS7	DFMS6	DFMS5	DFMS4	DFMS3	DFMS2	DFMS1
LOSIE	06	RW	LOSIE8	LOSIE7	LOSIE6	LOSIE5	LOSIE4	LOSIE3	LOSIE2	LOSIE1
DFMIE	07	RW	DFMIE8	DFMIE7	DFMIE6	DFMIE5	DFMIE4	DFMIE3	DFMIE2	DFMIE1
LOSI8	08	R	LOSI8	LOSI7	LOSI6	LOSI5	LOSI4	LOSI3	LOSI2	LOSI1
DFMIS	09	R	DFMIS8	DFMIS7	DFMIS6	DFMIS5	DFMIS4	DFMIS3	DFMIS2	DFMIS1
SWR	0A	W	SWR8	SWR7	SWR6	SWR5	SWR4	SWR3	SWR2	SWR1
GMC	0B	RW	—	—	—	—	GMC4	GMC3	GMC2	GMC1
DLBC	0C	RW	DLBC8	DLBC7	DLBC6	DLBC5	DLBC4	DLBC3	DLBC2	DLBC1
LASCS	0D	RW	LASCS8	LASCS7	LASCS6	LASCS5	LASCS4	LASCS3	LASCS2	LASCS1
ATAOS	0E	RW	ATAOS8	ATAOS7	ATAOS6	ATAOS5	ATAOS4	ATAOS3	ATAOS2	ATAOS1
GC	0F	RW	RIMPMS	AISEL	SCPD	CODE	JADS	—	JAPS	JAE
TST	10	RW	—	—	—	—	—	TST2	TST1	TST0
TS	11	RW	RIMPOFF	TIMPOFF	T1MODE	TIMPRM1	TIMPRM	TS2	TS1	TS0
OEB	12	RW	OEB8	OEB7	OEB6	OEB5	OEB4	OEB3	OEB2	OEB1
AIS	13	R	AIS8	AIS7	AIS6	AIS5	AIS4	AIS3	AIS2	AIS1
AISIE	14	RW	AISIE8	AISIE7	AISIE6	AISIE5	AISIE4	AISIE3	AISIE2	AISIE1
AISI	15	R	AISI8	AISI7	AISI6	AISI5	AISI4	AISI3	AISI2	AISI1
Not Used	16-1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 5-6. 第二寄存器组位图

REGISTER	ADDRESS	TYPE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SRS	00	RW	SRMS8	SRMS7	SRMS6	SRMS5	SRMS4	SRMS3	SRMS2	SRMS1
LCS	01	RW	LCS8	LCS7	LCS6	LCS5	LCS4	LCS3	LCS2	LCS1
Not Used	02	RW	—	—	—	—	—	—	—	—
RPDE	03	RW	RPDE8	RPDE7	RPDE6	RPDE5	RPDE4	RPDE3	RPDE2	RPDE1
TPDE	04	RW	TPDE8	TPDE7	TPDE6	TPDE5	TPDE4	TPDE3	TPDE2	TPDE1
EZDE	05	RW	EZDE8	EZDE7	EZDE6	EZDE5	EZDE4	EZDE3	EZDE2	EZDE1
CVDEB	06	RW	CVDEB8	CVDEB7	CVDEB6	CVDEB5	CVDEB4	CVDEB3	CVDEB2	CVDEB1
Not Used	07-1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 5-7. 独立 LIU 寄存器组位图

REGISTER	ADDRESS	TYPE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IJAE	00	RW	IJAE8	IJAE7	IJAE6	IJAE5	IJAE4	IJAE3	IJAE2	IJAE1
IJAPS	01	RW	IJAPS8	IJAPS7	IJAPS6	IJAPS5	IJAPS4	IJAPS3	IJAPS2	IJAPS1
IJAFDS	02	RW	IJAFDS8	IJAFDS7	IJAFDS6	IJAFDS5	IJAFDS4	IJAFDS3	IJAFDS2	IJAFDS1
IJAFLT	03	R	IJAFLT8	IJAFLT7	IJAFLT6	IJAFLT5	IJAFLT4	IJAFLT3	IJAFLT2	IJAFLT1
ISCPD	04	RW	ISCPD8	ISCPD7	ISCPD6	ISCPD5	ISCPD4	ISCPD3	ISCPD2	ISCPD1
IAISEL	05	RW	IAISEL8	IAISEL7	IAISEL6	IAISEL5	IAISEL4	IAISEL3	IAISEL2	IAISEL1
MC	06	RW	—	PCLKI	TECLKE	CLKAE	MPS1	MPS0	FREQS	PLLE
GMR	07	RW	—	—	—	—	—	—	—	RHPMC
Reserved	08	RW	—	—	—	—	—	—	—	—
Reserved	09	RW	—	—	—	—	—	—	—	—
Reserved	0A	RW	—	—	—	—	—	—	—	—
Reserved	0B	RW	—	—	—	—	—	—	—	—
Reserved	0C	R	—	—	—	—	—	—	—	—
Reserved	0D	R	—	—	—	—	—	—	—	—
Reserved	0E	R	—	—	—	—	—	—	—	—
Reserved	0F	R	—	—	—	—	—	—	—	—
BTCR	10	RW	BTS2	BTS1	BTS0	—	—	—	—	BERTE
BEIR	11	RW	BEIR8	BEIR7	BEIR6	BEIR5	BEIR4	BEIR3	BEIR2	BEIR1
LVDS	12	R	LVDS8	LVDS7	LVDS6	LVDS5	LVDS4	LVDS3	LVDS2	LVDS1
RCLKI	13	RW	RCLKI8	RCLKI7	RCLKI6	RCLKI5	RCLKI4	RCLKI3	RCLKI2	RCLKI1
TCLKI	14	RW	TCLKI8	TCLKI7	TCLKI6	TCLKI5	TCLKI4	TCLKI3	TCLKI2	TCLKI1
CCR	15	RW	PCLKS2	PCLKS1	PCLKS0	TECLKS	CLKA3	CLKA2	CLKA1	CLKA0
RDULR	16	RW	RDULR8	RDULR7	RDULR6	RDULR5	RDULR4	RDULR3	RDULR2	RDULR1
GISC	1E	RW	—	—	—	—	—	—	INTM	CWE
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 5-8. BERT 寄存器位图

REGISTER	ADDRESS	TYPE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
BCR	00	RW	PMUM	LPMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
Not Used	01	—	—	—	—	—	—	—	—	—
BPCR1	02	RW	—	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
BPCR2	03	—	—	—	—	PTF4	PTF3	PTF2	PTF1	PTF0
BSPR1	04	RW	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
BSPR2	05	—	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
BSPR3	06	RW	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
BSPR4	07	—	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
TEICR	08	RW	—	—	TEIR2	TEIR1	TEIR0	BEI	TSEI	MEIMS
Not Used	09–0B	—	—	—	—	—	—	—	—	—
BSR	0C	R/W	—	—	—	—	PMS	—	<u>BEC</u>	<u>OOS</u>
Not Used	0D	—	—	—	—	—	—	—	—	—
BSRL	0E	RL/W	—	—	—	—	PMSL	<u>BEL</u>	<u>BECL</u>	<u>OOSL</u>
Not Used	0F	—	—	—	—	—	—	—	—	—
BSRIE	10	RW	—	—	—	—	PMSIE	BEIE	BECIE	OOSIE
Not Used	11–13	—	—	—	—	—	—	—	—	—
RBECR1	14	R	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
RBECR2	15	R	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
RBECR3	16	R	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
Not Used	17	—	—	—	—	—	—	—	—	—
RBCR1	18	R	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
RBCR2	19	R	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
RBCR3	1A	R	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
RBCR4	1B	R	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
Not Used	1C–1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

注: 下划线标注为只读。

## 5.1 寄存器说明

本节对寄存器的每一位进行详细说明。斜体变量“*n*”用于对任意寄存器的说明，表示1、2、3、4、5、6、7和8。

### 5.1.1 主寄存器

寄存器名称: **ID**  
 寄存器说明: **ID 寄存器**  
 寄存器地址: **00h**

位#	7	6	5	4	3	2	1	0
名称	<u>ID7</u>	<u>ID6</u>	<u>ID5</u>	<u>ID4</u>	<u>ID3</u>	<u>ID2</u>	<u>ID1</u>	<u>ID0</u>

**第7位: 器件编码ID第7位(ID7)**. 对于75Ω阻抗的器件, 该位为0, 而对于120Ω的器件, 该位则为1。

**第6位至第3位: 器件编码ID第6位至第3位(ID6至ID3)**. 这些位表示器件所含有的端口数量。

**第2位至第0位: 器件编码ID第2位至第0位(ID2至ID0)**. 这些位表示器件型号的版本。请联系工厂, 了解详细情况。

寄存器名称: **ALBC**  
 寄存器说明: **模拟环回控制**  
 寄存器地址: **01h**

位#	7	6	5	4	3	2	1	0
名称	ALBC8	ALBC7	ALBC6	ALBC5	ALBC4	ALBC3	ALBC2	ALBC1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道*n*模拟环回控制位(ALBC*n*)**. 置位时, LIUn置于模拟环回。TTIP和TRING环回至RTIP和RRING。忽略RTIP和RRING的数据。LOS检测继续保持工作。如果发送器或接收器的抖动衰减器使能, 则抖动衰减器保持工作。

寄存器名称: **RLBC**  
 寄存器说明: **远程环回控制**  
 寄存器地址: **02h**

位#	7	6	5	4	3	2	1	0
名称	RLBC8	RLBC7	RLBC6	RLBC5	RLBC4	RLBC3	RLBC2	RLBC1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道*n*远程环回控制位(RLBC*n*)**. 置位时, 使能LIUn的远端环回。模拟接收信号通过接收数字, 环回至发送器。忽略TPOS和TNEG数据。如果使能了抖动衰减器, 则使用抖动衰减器。

寄存器名称: **TAOE**  
 寄存器说明: **发送全 1 使能**  
 寄存器地址: **03h**

位#	7	6	5	4	3	2	1	0
名称	TAOE8	TAOE7	TAOE6	TAOE5	TAOE4	TAOE3	TAOE2	TAOE1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 发送全1使能(TAOE $n$ )**。置位时, 将TTIP和TRING的连续全1数据流送至通道 $n$ 。MCLK用作发送全1信号的参考时钟。忽略到达TPOS和TNEG的信号。

寄存器名称: **LOSS**  
 寄存器说明: **信号丢失状态**  
 寄存器地址: **04h**

位#	7	6	5	4	3	2	1	0
名称	<u>LOS8</u>	<u>LOS7</u>	<u>LOS6</u>	<u>LOS5</u>	<u>LOS4</u>	<u>LOS3</u>	<u>LOS2</u>	<u>LOS1</u>
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 丢失信号状态 (LOS $n$ )**。置位时, 表明在LIU $n$ 上检测到LOS状态。LOS标准和条件在[6.4.3: 丢失信号](#)部分中进行了说明。

寄存器名称: **DFMS**  
 寄存器说明: **驱动器故障监视状态**  
 寄存器地址: **05h**

位#	7	6	5	4	3	2	1	0
名称	<u>DFMS8</u>	<u>DFMS7</u>	<u>DFMS6</u>	<u>DFMS5</u>	<u>DFMS4</u>	<u>DFMS3</u>	<u>DFMS2</u>	<u>DFMS1</u>
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 驱动器故障监视状态(DFMS $n$ )**。置位时, 表示在LIU $n$ 的发送驱动器出现了短路。

寄存器名称: **LOSIE**  
 寄存器说明: **信号丢失中断使能**  
 寄存器地址: **06h**

位#	7	6	5	4	3	2	1	0
名称	LOSIE8	LOSIE7	LOSIE6	LOSIE5	LOSIE4	LOSIE3	LOSIE2	LOSIE1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 信号丢失中断使能(LOSIE $n$ )**。置位时, LIU $n$ 的LOS状态变化会产生一次中断。

寄存器名称: **DFMIE**  
 寄存器说明: **驱动器故障监视中断使能**  
 寄存器地址: **07h**

位#	7	6	5	4	3	2	1	0
名称	DFMIE8	DFMIE7	DFMIE6	DFMIE5	DFMIE4	DFMIE3	DFMIE2	DFMIE1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 驱动器故障监视中断使能(DFMIE $n$ )**。置位时, DFM的状态变化会产生一次监视器 $n$ 的中断。

寄存器名称: **LOSI**  
 寄存器说明: **信号丢失中断状态**  
 寄存器地址: **08h**

位#	7	6	5	4	3	2	1	0
名称	<u>LOSI8</u>	<u>LOSI7</u>	<u>LOSI6</u>	<u>LOSI5</u>	<u>LOSI4</u>	<u>LOSI3</u>	<u>LOSI2</u>	<u>LOSI1</u>
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 信号丢失中断(LOSI $n$ )**。置位时, 检测到LIUn中, LOS状态出现“0至1”或“1至0”的变化。寄存器LOSIIE(06h)使能LIUn位。该位锁存后, 在读操作时清零。

寄存器名称: **DFMIS**  
 寄存器说明: **驱动器故障监视中断状态**  
 寄存器地址: **09h**

位#	7	6	5	4	3	2	1	0
名称	<u>DFMIS8</u>	<u>DFMIS7</u>	<u>DFMIS6</u>	<u>DFMIS5</u>	<u>DFMIS4</u>	<u>DFMIS3</u>	<u>DFMIS2</u>	<u>DFMIS1</u>
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 驱动器故障状态寄存器(DFMIS $n$ )**。置位时, 检测到LIUn中, DFM状态出现“0至1”或“1至0”的变化。寄存器DFMIE(07h)使能LIUn位。该位锁存后, 在读操作时清零。

寄存器名称: **SWR**  
 寄存器说明: **软件复位**  
 寄存器地址: **0Ah**

位#	7	6	5	4	3	2	1	0
名称	SWR8	SWR7	SWR6	SWR5	SWR4	SWR3	SWR2	SWR1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 软件复位(SWR)**。对该寄存器进行任何写操作, 将至少产生1 $\mu$ s的复位, 复位DS26303。所有寄存器将恢复至默认值。读操作总是返回全0。

寄存器名称: **GMC**  
 寄存器说明: **G.772 监控**  
 寄存器地址: **0Bh**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	GMC3	GMC2	GMC1	GMC0
默认值	0	0	0	0	0	0	0	0

**第3位至第0位: G.772 监控(GMC)**。这些位选择非介入监控的发送器或接收器。接收器1用于监控RTIP2–RTIP8/RRING2–RRING8一个接收器或TTIP2–TTIP8/TRING2–TRING8一个发送器的2至8通道。参见表 5-9。

**表 5-9. G.772 监控**

GMC3	GMC2	GMC1	GMC0	SELECTION
0	0	0	0	No Monitoring
0	0	0	1	Receiver 2
0	0	1	0	Receiver 3
0	0	1	1	Receiver 4
0	1	0	0	Receiver 5
0	1	0	1	Receiver 6
0	1	1	0	Receiver 7
0	1	1	1	Receiver 8
1	0	0	0	No Monitoring
1	0	0	1	Transmitter 2
1	0	1	0	Transmitter 3
1	0	1	1	Transmitter 4
1	1	0	0	Transmitter 5
1	1	0	1	Transmitter 6
1	1	1	0	Transmitter 7
1	1	1	1	Transmitter 8

寄存器: **DLBC**  
 寄存器说明: **数字环回控制**  
 寄存器地址: **0Ch**

位#	7	6	5	4	3	2	1	0
名称	DLBC8	DLBC7	DLBC6	DLBC5	DLBC4	DLBC3	DLBC2	DLBC1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道n数字环回控制(DLBCn)**。置位时, LIUn置于数字环回。对TPOS/TNEG的数据进行编码, 环回至解码器, 在RPOS/RNEG上输出。可选择抖动衰减器用于发送或接收通道。

寄存器名称: **LASCS**  
 寄存器说明: **LOS/AIS 标准选择**  
 寄存器地址: **0Dh**

位#	7	6	5	4	3	2	1	0
名称	LASCS8	LASCS7	LASCS6	LASCS5	LASCS4	LASCS3	LASCS2	LASCS1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道n LOS/AIS标准选择(LASCSn)**。该位用于LIUn的LOS/AIS选择标准。在E1模式下, 如果置位, 使用ETSI 300 233模式。如果复位, 使用G.775标准。在T1/J1模式下, 选择T1.231标准。



寄存器名称: **ATAOS**  
 寄存器说明: **自动发送全1选择**  
 寄存器地址: **0Eh**

位#	7	6	5	4	3	2	1	0
名称	ATAOS8	ATAOS7	ATAOS6	ATAOS5	ATAOS4	ATAOS3	ATAOS2	ATAOS1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 自动发送全1选择(ATAOS $n$ )**。置位时, 如果检测到LIU $n$ 出现信号丢失, 则发送全1信号。“全1信号”使用MCLK作为参考时钟。

寄存器名称: **GC**  
 寄存器说明: **全局配置**  
 寄存器地址: **0Fh**

位#	7	6	5	4	3	2	1	0
名称	RIMPMS	AISEL	SCPD	CODE	JADS	—	JAPS	JAE
默认值	0	0	0	0	0	0	0	0

**位7: 接收阻抗模式选择(RIMPMS)**。置位时, 选择内部阻抗模式, RTIP和RING无需外部阻抗元件。选择该模式时, 应将封装底部的管芯焊盘接地, 便于散热。复位时, 选择外部阻抗模式, 因此RTIP和RING需要外部阻抗。注意, 即使在外部阻抗模式下, 针对T1 (100 $\Omega$ ), J1 (110 $\Omega$ )和E1 (75 $\Omega$ )三种模式的操作, 外部阻抗仍然根据模板选择内部调节, 因此外部只需要一个电阻。在E1 (120 $\Omega$ )模式下, 外部阻抗无需任何内部调整。

**第6位: 丢失期间AIS使能(AISEL)**。置位时, 检测到某通道出现LOS后, 向系统侧发送一个AIS, 每个LIU寄存器 [IAISEL](#) 的设置将被忽略。如果复位, [IAISEL](#) 寄存器将进行控制。

**第5位: 短路保护禁止(SCPD)**。置位时, 所有发送器的短路保护功能被禁止, 每个LIU寄存器 [ISCPD](#) 的设置将被忽略。如果复位, [ISCPD](#) 寄存器将进行控制。

**第4位: 编码**。置位时, 选择AMI编码器/解码器, [LCS](#) 寄存器设置将被忽略。如果复位, [LCS](#) 寄存器将进行控制。

**第3位: 抖动衰减器深度选择(JADS)**。置位时, 抖动衰减器FIFO深度是128位, [IJAFDS](#) 寄存器设置将被忽略。如果复位, [IJAFDS](#) 寄存器将进行控制。

**第1位: 抖动衰减器位置选择(JAPS)**。当JAPS置为高电平时, JA将处于接收通道; 设置为默认值或者低电平时, 处于发送通道。通过设置寄存器 [IJAPS](#), 可改变每一LIU的这些设置。注意, 当JAE置位时, 将忽略寄存器 [IJAPS](#) 的设置。

**第0位: 抖动衰减器使能(JAE)**。置位时, 使能JA。如果该寄存器置位, 将忽略 [IJAE](#) 寄存器的设置。如果复位, [IJAE](#) 寄存器将进行控制。

寄存器名称: **TST**  
 寄存器说明: **模板选择发送寄存器**  
 寄存器地址: **10h**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	—	TST2	TST1	TST0
默认值	0	0	0	0	0	0	0	0

**第2位至第0位: TST模板选择收发器[2:0] (TST[2:0])**。LIU 1-8使用发送模板选择寄存器(hex 11)时, TST[2:0]用于选择收发器。参见[表 5-10](#)。

**表 5-10. TST 模板选择发送器寄存器**

TST[2:0]	CHANNEL	TST[2:0]	CHANNEL
000	1	100	5
001	2	101	6
010	3	110	7
011	4	111	8

寄存器名称: **TS**  
 寄存器说明: **模板选择寄存器**  
 寄存器地址: **11h**

位#	7	6	5	4	3	2	1	0
名称	RIMPOFF	TIMPOFF	—	—	TIMPRM	TS2	TS1	TS0
默认值	0	0	—	—	0	0	0	0

**第7位: 接收阻抗匹配关闭(RIMPOFF)**。置位时, 接收阻抗匹配关闭。

**第6位: 发送阻抗匹配关闭(TIMPOFF)**。置位时, 所有内部发送端匹配阻抗关闭。

**第5位和第4位: 保留。**

**第3位: 发送阻抗接收匹配(TIMPRM)**。该位选择E1模式和T1/J1模式的内部发送匹配阻抗和接收阻抗匹配。注意: 如果器件尾缀带-120, 则默认值为120Ω, 置位时设置为75Ω (仅适用于E1模式)。

DEVICE	BIT SETTING	E1 MODE (Ω)	T1 MODE (Ω)
DS26303L-120	0	120	100
DS26303L-120	1	75	110
DS26303L-75	0	75	100
DS26303L-75	1	120	110

**第2位至第0位: 模板选择[2:0] (TS[2:0])**。TS[2:0]用于选择E1或者T1/J1模式、模板, 并对各种电缆长度进行设置。发送器阻抗匹配和接收器阻抗匹配由TIMPRM规定。参见[表 5-11](#)的TS[2:0]位选择。

表 5-11. 模板选择

TS[2:0]	LINE LENGTH	CABLE LOSS (dB)	IMPEDANCE ( $\Omega$ ) <sup>1</sup>	OPERATION MODE
011	0–133ft. ABAM	0.6	100/110	T1/J1
100	133–266ft. ABAM	1.2	100/110	T1
101	266–399ft. ABAM	1.8	100/110	T1
110	399–533ft. ABAM	2.4	100/110	T1
111	533–655ft. ABAM	3.0	100/110	T1
000	G.703 coaxial and twisted pair cable		75/120	E1
001 and 010	Reserved		—	—

<sup>1</sup>关于发送阻抗和接收匹配选择, 请参考SWM里的TIMPRM位或HWM里的TIMPRM位。

寄存器名称: **OEB**  
 寄存器说明: **输出使能标志**  
 寄存器地址: **12h**

位#	7	6	5	4	3	2	1	0
名称	OEB8	OEB7	OEB6	OEB5	OEB4	OEB3	OEB2	OEB1
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 输出使能标志(OEB $n$ )**. 置位时, LIUn发送器输出高阻抗。注意, OE引脚为低电平时, 该设置无效。

寄存器名称: **AIS**  
 寄存器说明: **报警指示信号状态**  
 寄存器地址: **13h**

位#	7	6	5	4	3	2	1	0
名称	<u>AIS8</u>	<u>AIS7</u>	<u>AIS6</u>	<u>AIS5</u>	<u>AIS4</u>	<u>AIS3</u>	<u>AIS2</u>	<u>AIS1</u>
默认值	0	0	0	0	0	0	0	0

**第7位至第0位: 通道 $n$ 报警指示信号(AIS $n$ )**. LIUn探测到AIS后, 该位置1。在6.4.4: AIS一节中详细说明了AIS选择标准。通过对LASCs (0D)寄存器进行设置选择AIS标准。































































































































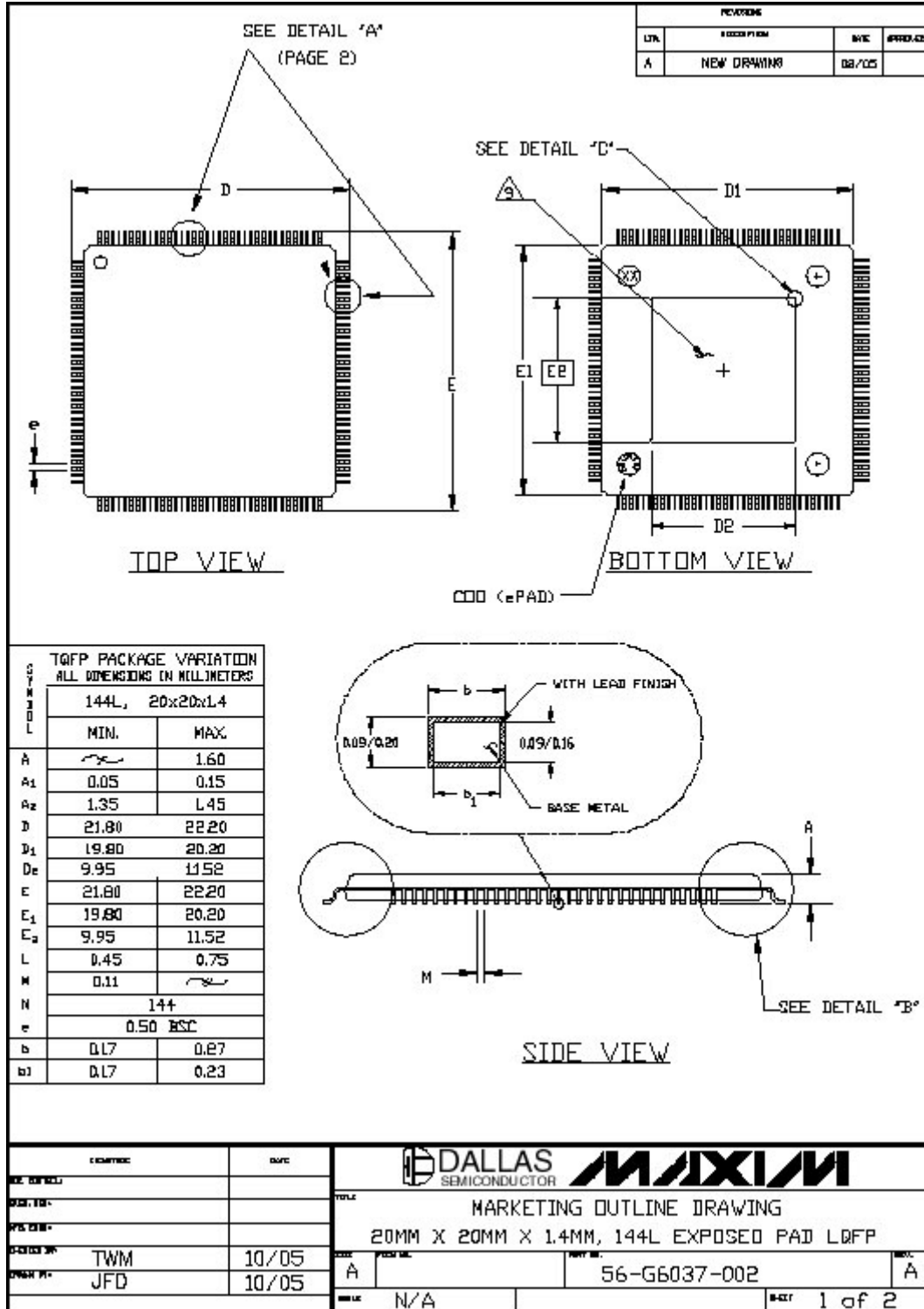




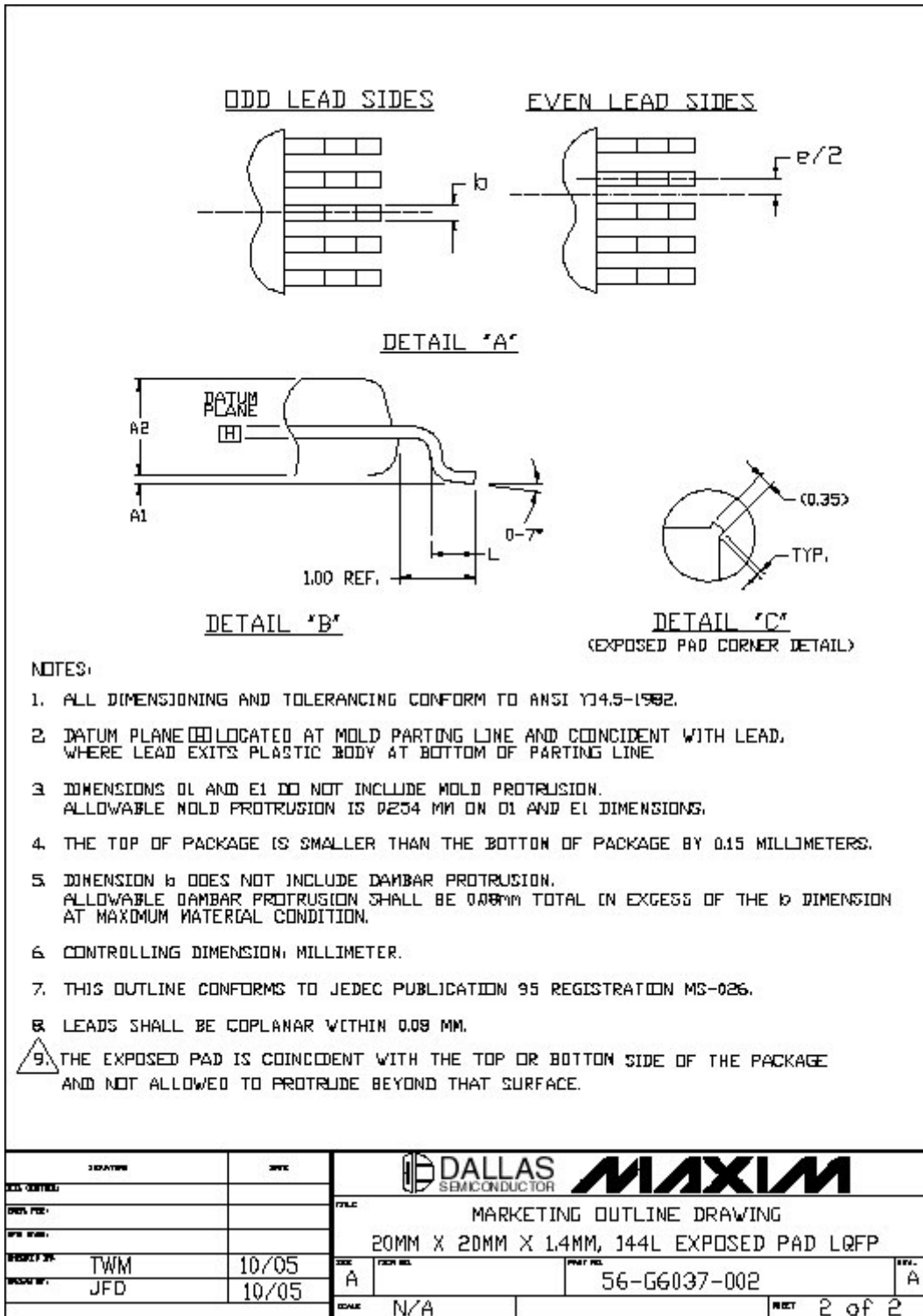
## 11 封装信息

(本数据资料的封装信息可能不是最新规格，所提供的封装编号可以链接到最新的封装图。)

### 11.1 144 引脚eLQFP封装图(56-G6037-002) (1/2)



11.2 144 引脚 eLQFP 封装图(2/2)



## 12 文档修订历史

版本	说明
072205	新品发布。
060606	删除160焊球PBGA封装的相关内容。 删除特殊测试功能和金属线选择部分。(之前的第6.10节和第6.10.1节) 更新第11节的封装图。
082306	修改了原稿的一些错漏。