

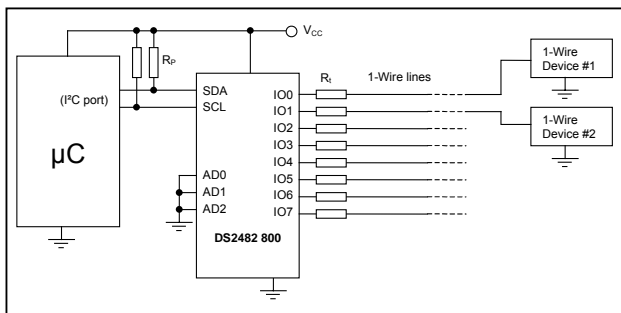
概述

DS2482-800 是 I²C*线至 1-Wire®的桥接器件,可直接与标准(100kHz 最大值)或快速(400kHz 最大值)的 I²C 主机连接,完成 I²C 主机和任意下游 1-Wire 从器件之间的双向协议转换。相对于任何 1-Wire 从器件来说,DS2482-800 是一个 1-Wire 主机。经过工厂校准的内部定时器将系统主处理器从产生严格定时的 1-Wire 波形中解脱出来,且同时支持标准和高速的 1-Wire 通信速率。为了优化 1-Wire 波形的产生,DS2482-800 在 1-Wire 的上升沿和下降沿进行了摆率控制,且该器件具有一个可编程的特性,以屏蔽某些 1-Wire 从器件产生的快速应答脉冲沿。可编程的强上拉特性支持通过 1-Wire 向 1-Wire 从器件供电,诸如 EEPROM 和传感器。DS2482-800 将这些特性整合在一起,并提供 8 个独立的 1-Wire I/O 通道。I²C 从器件地址分配是由 3 个二进制地址输入控制的,以解决系统中其它 I²C 从器件的可能出现的地址冲突问题。

应用

- 无线基站
- 中心局交换机
- PBX
- 机架服务器
- 医学临床诊断设备

典型应用电路图



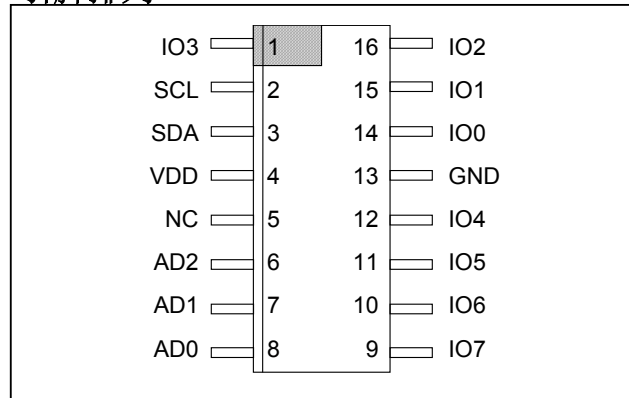
特性

- I²C 主机接口,支持 100kHz 和 400kHz 的 I²C 通信速率
- 带有可选的有源或无源 1-Wire 上拉的 1-Wire 主机 I/O
- 提供复位/在线应答、8 位、1 位和 3 位 1-Wire I/O 时序
- 独立工作的 8 个 1-Wire I/O 通道
- 标准和高速的 1-Wire 通信速率
- 1-Wire 边沿控制摆率
- 可选的 1-Wire 从器件应答脉冲下降沿屏蔽,以控制 1-Wire 总线上的快速边沿
- 为 EEPROM、温度传感器和其它具有瞬时大电流模式的 1-Wire 从器件提供低阻抗 1-Wire 强上拉。
- 三个地址引脚用于 I²C 地址分配
- 宽工作范围: 2.9V 至 5.5V, -40°C 至 +85°C
- 16 引脚 SO 封装(150mil)

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS2482S-800	-40 to +85°C	16 SO (150mil)
DS2482S-800/T&R	-40 to +85°C	16 SO (150mil)

引脚排列



*购买 Maxim Integrated Products, Inc. 或其从属授权关联公司的 I²C 产品,即得到了 Philips I²C 的专利许可、将这些产品用于符合 Philips 定义的 I²C 标准规范的系统。

1-Wire 是 Dallas Semiconductor 的注册商标。

注: 可能对该芯片已经进行了若干完善,参数指标已经和已出版的勘误表有所出入。通过各种销售渠道获悉各种芯片所做的修订。芯片勘误表请点击: <http://www.maxim-ic.com.cn/errata>。

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Pin Relative to Ground	-0.5V, +6V
Maximum Current Into Any Pin	±20mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020A

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device.

ELECTRICAL CHARACTERISTICS

($V_{CC} = 2.9V$ to $5.5V$, $T_A = -40^\circ C$ to $+85^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}	3.3V	2.9	3.3	3.7	V
		5V	4.5	5.0	5.5	
Operating Current	I_{CC}	(Note 1)			0.75	mA
1-Wire Input High	V_{IH1}	3.3V (Notes 2, 3)	1.9			V
		5V (Notes 2, 3)	3.4			
1-Wire Input Low	V_{IL1}	3.3V (Notes 2, 3)			0.75	V
		5V (Notes 2, 3)			1.0	
1-Wire Weak Pullup Resistor	R_{WPU}	(Note 4)	800		1675	Ω
1-Wire Output Low	V_{OL1}	At 4mA load			0.4	V
Active Pullup On Time	t_{APUOT}	Standard (Notes 4, 16)	2.3	2.5	2.7	μs
		Overdrive (Notes 4, 16)	0.4	0.5	0.6	
Strong Pullup Voltage Drop	ΔV_{STRPU}	$V_{CC} \geq 3.2V$, 1.5mA load			0.3	V
		$V_{CC} \geq 5.2V$, 3mA load			0.5	
3.3V Pulldown Slew Rate (Note 6)	PD_{SRC}	Standard ($3.3V \pm 10\%$)	1		4.2	V/ μs
		Overdrive ($3.3V \pm 10\%$)	5		22.1	
5V Pulldown Slew Rate (Note 6)	PD_{SRC}	Standard ($5.0V \pm 10\%$)	2		6.5	V/ μs
		Overdrive ($5.0V \pm 10\%$)	10		40	
3.3V Pullup Slew Rate (Note 6)	PU_{SRC}	Standard ($3.3V \pm 10\%$)	0.8		4	V/ μs
		Overdrive ($3.3V \pm 10\%$)	2.7		20	
5V Pullup Slew Rate (Note 6)	PU_{SRC}	Standard ($5.0V \pm 10\%$)	1.3		6	V/ μs
		Overdrive ($5.0V \pm 10\%$)	3.4		31	
Power-On Reset Trip Point	V_{POR}				2.2	V
1-Wire TIMING (Note 16) See Figures 3, 5, 6, and 7						
Write 1/Read Low Time	t_{W1L}	Standard	7.6	8	8.4	μs
		Overdrive	0.9	1	1.1	
Read Sample Time	t_{MSR}	Standard	13.3	14	15	μs
		Overdrive	1.4	1.5	1.8	
1-Wire Time Slot	t_{slot}	Standard	65.8	69.3	72.8	μs
		Overdrive	9.9	10.5	11.0	
Fall Time High-to-Low at Standard Speed (Note 6)	t_{F1}	3.3V to 0V (Note 5)	0.54		3.0	μs
		5.0V to 0V (Note 5)	0.55		2.2	
3.3V to 0V (Note 5)		0.10		0.59		
5.0V to 0V (Note 5)		0.09		0.44		
Fall Time High-to-Low at Overdrive Speed (Note 6)						

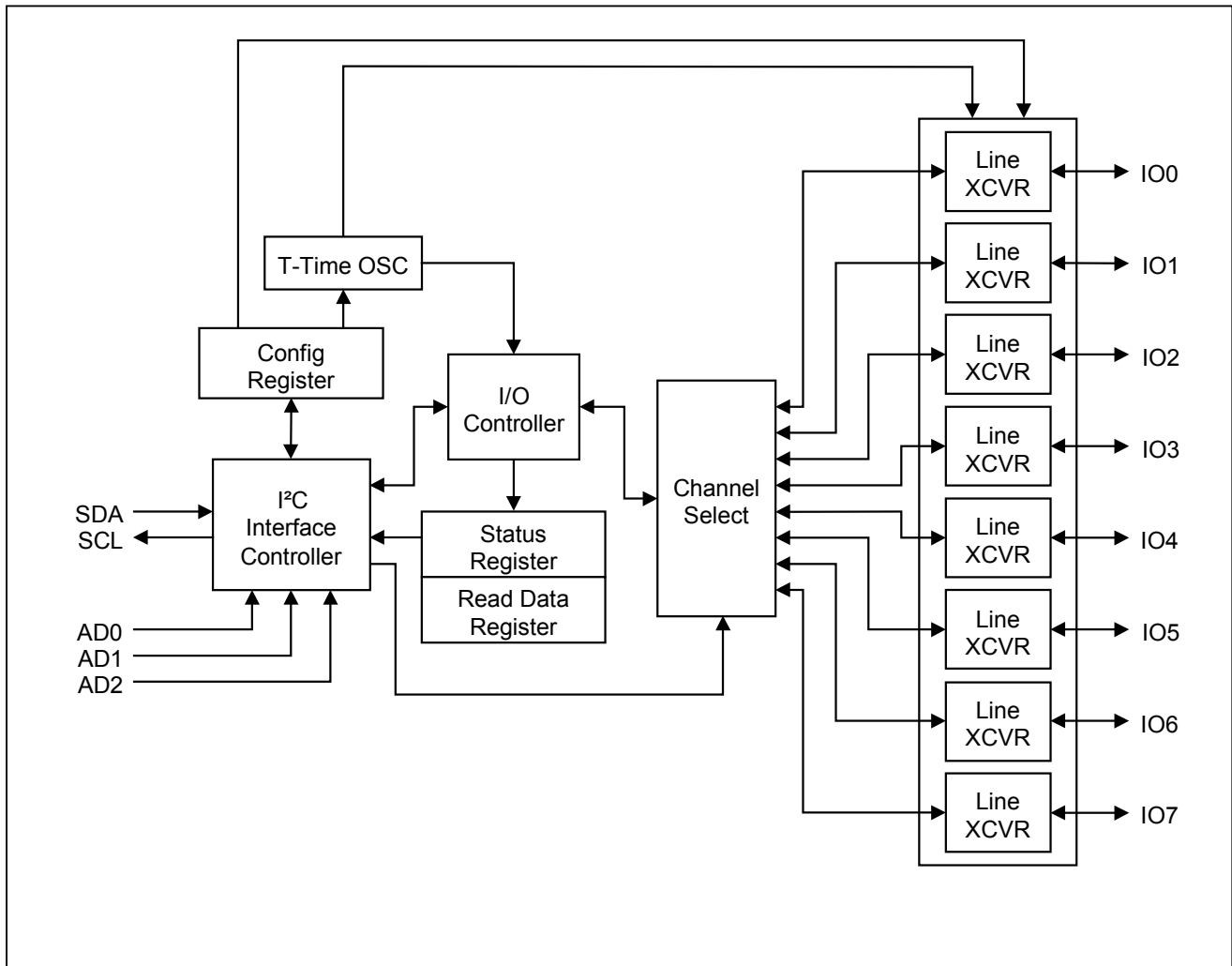
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Write 0 Low Time	t_{W0L}	Standard	60	64	68	μs
		Overdrive	7.1	7.5	7.9	
Write 0 Recovery Time	t_{RECO}	Standard	5.0	5.3	5.6	μs
		Overdrive	2.8	3.0	3.2	
Reset Low Time	t_{RSTL}	Standard	570	600	630	μs
		Overdrive	68.4	72	75.6	
Presence-Detect Sample Time	t_{MSP}	Standard	66.5	70	73.5	μs
		Overdrive	7.1	7.5	7.9	
Sampling for Short and Interrupt	t_{SI}	Standard	7.6	8	8.4	μs
		Overdrive	0.7	0.75	0.8	
Reset High Time	t_{RSTH}	Standard	554.8	584	613.2	μs
		Overdrive	70.3	74	77.7	
Presence Pulse Mask Start	t_{ppm1}	(Note 7)	9.5	10	10.5	μs
Presence Pulse Mask Stop	t_{ppm2}	(Note 7)	57	60	63	μs
I²C-Pins (Note 8) See Figure 10						
LOW Level Input Voltage	V_{IL}	$V_{CC} = 2.9\text{V to }3.7\text{V}$	-0.5	$0.25 \times V_{CC}$	V	
		$V_{CC} = 4.5\text{V to }5.5\text{V}$		$0.22 \times V_{CC}$		
HIGH Level Input Voltage	V_{IH}		$0.7 \times V_{CC}$	$V_{CC} + 0.5\text{V}$	V	
Hysteresis of Schmitt Trigger Inputs	V_{hys}		$0.05 \times V_{CC}$		V	
LOW Level Output Voltage at 3mA Sink Current	V_{OL}			0.4	V	
Output Fall Time from V_{Ihmin} to V_{ILmax} with a Bus Capacitance from 10pF to 400pF	t_{of}		60	250	ns	
Pulse Width of Spikes that are Suppressed by the Input Filter	t_{SP}	SDA and SCL pins only		50	ns	
Input Current Each I/O Pin with an Input Voltage Between $0.1V_{CCmax}$ and $0.9V_{CCmax}$	I_i	(Notes 9, 10)	-10	10	μA	
Input Capacitance	C_i	(Note 9)		10	pF	
SCL Clock Frequency	f_{SCL}		0	400	kHz	
Hold Time (Repeated) START Condition. After this Period, the First Clock Pulse is Generated.	$t_{HD:STA}$		0.6		μs	
LOW Period of the SCL Clock	t_{LOW}		1.3		μs	
HIGH Period of the SCL Clock	t_{HIGH}		0.6		μs	
Setup Time for a Repeated START Condition	$t_{SU:STA}$		0.6		μs	
Data Hold Time	$t_{HD:DAT}$	(Notes 11, 12)		0.9	μs	
Data Setup Time	$t_{SU:DAT}$	(Note 13)	250		ns	
Setup Time for STOP Condition	$t_{SU:STO}$		0.6		μs	
Bus Free Time Between a STOP and START Condition	t_{BUF}		1.3		μs	
Capacitive Load for Each Bus Line	C_b	(Note 14)		400	pF	
Oscillator Warm-Up Time	t_{OSCWUP}	(Note 15)		100	μs	

- Note 1:** Operating current with 1-Wire write byte sequence followed by continuous Read of Status Register at 400KHz in Overdrive.
- Note 2:** With standard speed the total capacitive load of the 1-Wire bus should not exceed 1nF, otherwise the passive pullup on threshold V_{IL1} may not be reached in the available time. With Overdrive speed the capacitive load on the 1-Wire bus must not exceed 300pF.
- Note 3:** Active pullup guaranteed to turn on between V_{IL1MAX} and V_{IH1MIN} .
- Note 4:** Active or resistive pullup choice is configurable.
- Note 5:** Fall time high to low (t_{F1}) is derived from PD_{SRC} , referenced from $0.9 \times V_{CC}$ to $0.1 \times V_{CC}$.
- Note 6:** These values apply at full load, i. e., 1nF at standard speed and 0.3nF at Overdrive speed. For reduced load, the pulldown slew rate is slightly faster.
- Note 7:** Presence pulse masking only applies to standard speed.
- Note 8:** All I²C timing values are referred to V_{IHmin} and V_{ILmax} levels.
- Note 9:** Applies to SDA, SCL, and AD0, AD1, AD2.
- Note 10:** I/O pins of the DS2482 do not obstruct the SDA and SCL lines if V_{CC} is switched off.
- Note 11:** The DS2482 provides a hold time of at least 300ns for the SDA signal (referred to the V_{IHmin} of the SCL signal) to bridge the undefined region of the falling edge of SCL.
- Note 12:** The maximum $t_{HD:DAT}$ has only to be met if the device does not stretch the LOW period (t_{LOW}) of the SCL signal.
- Note 13:** A Fast-mode I²C-bus device can be used in a standard-mode I²C-bus system, but the requirement $t_{SU:DAT} \geq 250ns$ must then be met. This is automatically the case if the device does not stretch the LOW period of the SCL signal. If such a device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line $t_{rmax} + t_{SU:DAT} = 1000 + 250 = 1250ns$ (according to the standard-mode I²C-bus specification) before the SCL line is released.
- Note 14:** C_B = total capacitance of one bus line in pF. If mixed with HS-mode devices, faster fall-times according to I²C-Bus Specification v2.1 are allowed.
- Note 15:** I²C communication should not take place for the max t_{OSCWUP} time following a power-on reset.
- Note 16:** Except for t_{F1} , all 1-Wire timing specifications and t_{APUOT} are derived from the same timing circuit. Therefore, if one of these parameters is found to be off the typical value, it is safe to assume that all of these parameters deviate from their typical value in the same direction and by the same degree.

引脚说明

引脚	名称	功能描述
1	IO3	1-Wire 总线#3 的 IO 驱动器
2	SCL	I ² C 串行时钟输入, 必须通过上拉电阻连接至 VCC
3	SDA	I ² C 串行数据输入/输出, 必须通过上拉电阻连接至 I ² C VCC
4	VCC	电源电压输入端
5	NC	悬空
6	AD2	I ² C 地址输入端; 必须连接至 VCC 或 GND。这些输入确定该器件的 I ² C 地址。参见图 9。
7	AD1	
8	AD0	
9	IO7	1-Wire 总线#7 通道的 IO 驱动器
10	IO6	1-Wire 总线#6 通道的 IO 驱动器
11	IO5	1-Wire 总线#5 通道的 IO 驱动器
12	IO4	1-Wire 总线#4 通道的 IO 驱动器
13	GND	参考地
14	IO0	1-Wire 总线#0 通道的 IO 驱动器
15	IO1	1-Wire 总线#1 通道的 IO 驱动器
16	IO2	1-Wire 总线#2 通道的 IO 驱动器

图1. 结构框图



详细描述

DS2482-800 是自定时 8 通道 1-Wire 控制器，支持高级的 1-Wire 波形特性，包括标准和高速的速率、有源上拉、电源供电的强上拉和应答脉冲屏蔽。一旦提供了命令和数据，DS2482 的 I/O 控制器可实现严格定时的 1-Wire 通信功能，诸如复位/应答脉冲检测周期，读字节、写字节、单个读写位和三位一组的 ROM 搜索，而无需主机处理器参与。主机通过状态寄存器获得反馈（1-Wire 功能完成状态、应答脉冲、1-Wire 短路，选择的搜索路径），或通过数据寄存器读取数据。DS2482 可以通过 I²C 数据寄存器实现在标准模式或高速模式下与主机处理器的通信。三个地址引脚（1 通道版本器件具有 2 个地址引脚）的逻辑状态位确定 DS2482 的 I²C 从地址，允许最多 8 个器件工作在同一总线上，而无需网络集线器。

器件寄存器

DS2482 有四个 I²C 主机读取的寄存器：通道选择寄存器、配置寄存器、状态寄存器和读数据寄存器。通过读指针对这些寄存器进行寻址。读指针的位置，也就是主机在随后的读访问中读取的寄存器是通过最后对 DS2482 执行的指令来定义的。主机读和写访问通道选择和配置寄存器来选择多个 1-Wire 通道的一个，并使能某些 1-Wire 特性。

通道选择寄存器

通道选择寄存器规定了具体所选择的通道，和随后的 1-Wire 通信命令的对象。DS2482-800 支持 8 个 1-Wire 通信通道 IO0 至 IO7。任何时候在这些通道中仅有一个通道是有效或被选通。一旦选择了某个 1-Wire 通道，将一直保持该通道，直到通过**通道选择命令**选择另一个通道，或器件被复位为止。器件复位后（重新上电或通过 Device Reset 命令初始化），将默认选择 IO0 通道。

配置寄存器

DS2482 具有四个通过配置寄存器进行使能或选择的 1-Wire 特性。这些特性为：

- 有源上拉 (APU)
- 应答脉冲屏蔽 (PPM)
- 强上拉 (SPU)
- 1-Wire 速率 (1WS)

能以任何组合来选择这些特性。这些特性适用于所有的 1-Wire 通道。APU、PPM 和 1WS 能够保持其设定状态，而 SPU 会在强上拉结束后返回至无效状态。

配置寄存器位分配格式

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
$\overline{1WS}$	\overline{SPU}	\overline{PPM}	\overline{APU}	1WS	SPU	PPM	APU

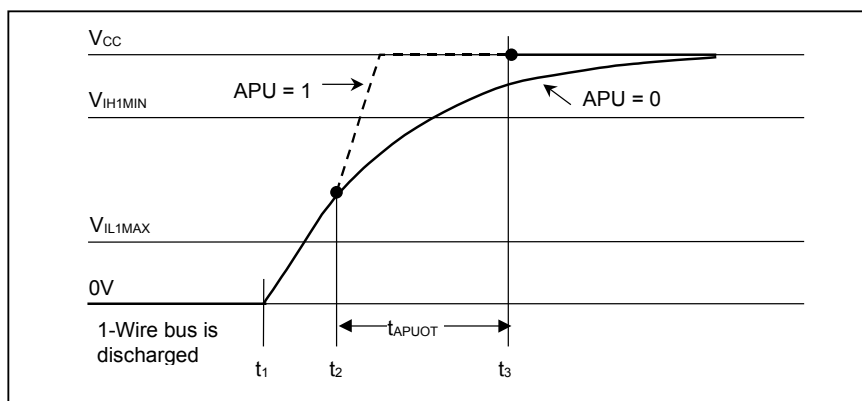
器件复位（重新上电或由 Device Reset 命令初始化）后，配置寄存器为 00h。当对配置寄存器进行写操作时，只有高四位（位 7 至位 4）是低四位（位 3 至位 0）的反码时，才接受新的配置数据。当对配置寄存器进行读操作时，高四位保持为 0h。

有源上拉 (APU)

APU 位控制是由有源上拉（摆率受控的晶体管）还是由无源上拉（ R_{WPU} 电阻）驱动 1-Wire 总线从低电平至高电平。当 $APU = 0$ 时，禁止有源上拉（电阻模式）。如果 1-Wire 总线足够长（30 米或更长）或者有多个的（20 个或多个）器件连接到 1-Wire 总线上，应该选择有源上拉。有源上拉并不作用于应答脉冲的上升沿或在 1-Wire 总线上出现短路后的恢复。

控制上升沿的电路（图 2）工作过程如下：在 t_1 时刻，下拉（从 DS2482 或 1-Wire 从器件）结束。从这一时刻开始，1-Wire 总线通过 DS2482 内部的电阻 R_{WPU} 被拉高。上拉斜率由 V_{CC} 和 1-Wire 总线上的容性负载决定。如果有源上拉被禁止 ($APU = 0$)，电阻上拉继续工作，如实线所示。在有源上拉使能 ($APU = 1$) 条件下，当电压在 t_2 时刻达到 V_{IL1MAX} 和 V_{IH1MIN} 之间时，DS2482 采用受控的摆率有源拉高 1-Wire 总线，如虚线所示。继续有源上拉，直到在 t_3 时刻达到 t_{APUOT} 延时终止。在此之后，一直保持电阻上拉。

图2. 上升沿上拉

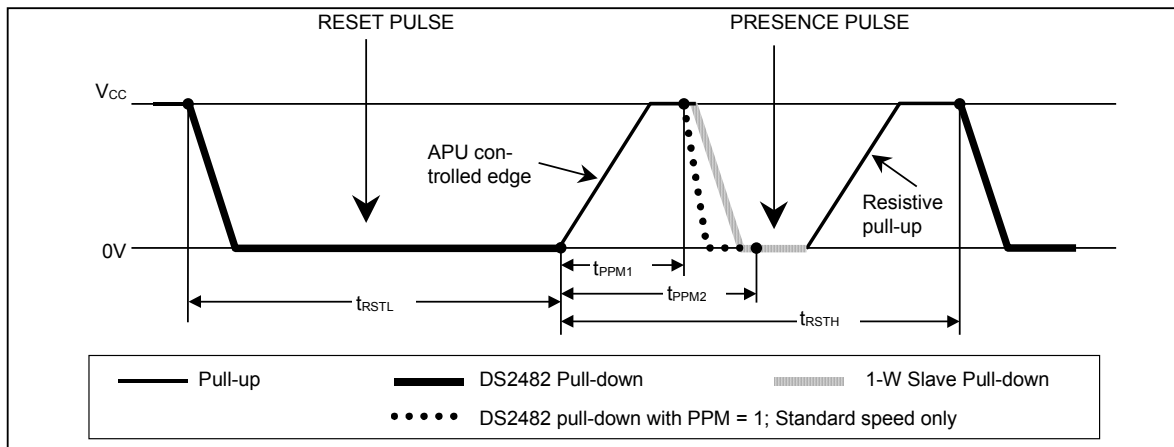


应答脉冲屏蔽 (PPM)

PPM 位是用来控制 DS2482 是否屏蔽应答脉冲的第一个边沿 (下降沿)。当 $PPM = 0$ 时, 屏蔽被禁止。应答脉冲屏蔽仅适用于标准的 1-Wire 速率 ($1WS = 0$) 中, 如果 $1WS = 1$ (高速模式), PPM 位无效。应答脉冲屏蔽可以改善大型 1-Wire 网络性能, 由于应答脉冲屏蔽可以阻止 1-Wire 从器件产生的应答脉冲的快速下降沿的网络传播和反射。反射能够在网络中引起干扰脉冲, 反过来可能导致从器件与 1-Wire 主机失去同步。

PPM 的时序参考如图 3 所示。如果使能 ($PPM = 1$), 在复位低电平, 时间 t_{RSTL} 终止后, DS2482 在 t_{PPM1} 时刻拉低 1-Wire 总线。在 t_{PPM2} 时刻, 下拉结束。如果存在 1-Wire, 从器件将继续拉低 1-Wire 总线。应答脉冲屏蔽下降沿是由摆率控制的。

图 3. 应答脉冲屏蔽

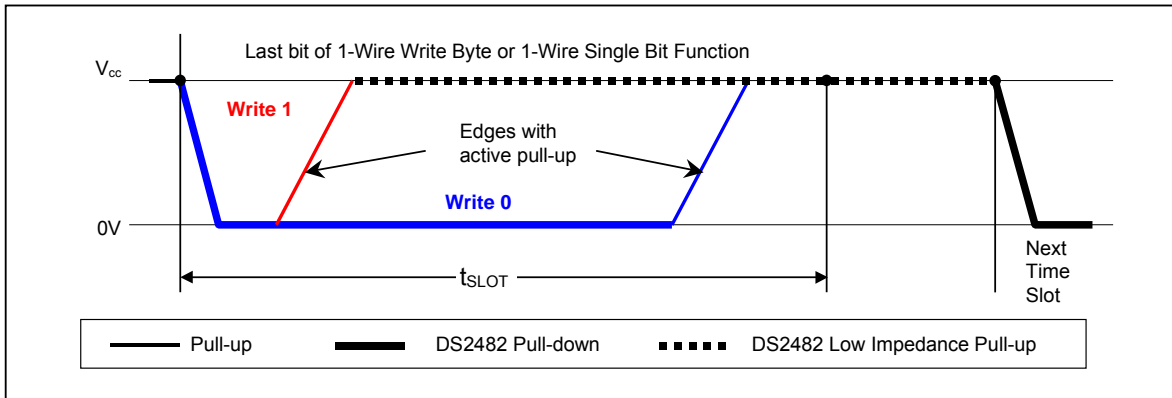


强上拉 (SPU) 命令

在 1-Wire Write Byte 命令的或 1-Wire Single Bit 命令的最后一位结束之后, SPU 位控制 DS2482 是否将 1-Wire 总线施加低阻抗上拉至 V_{CC} 。在对 1-Wire EEPROM 器件执行复制暂存器数据到主存储器功能或进行 SHA-1 算法时, 以及对寄生供电的温度传感器或模数转换器操作时, 通常需要强上拉特性。在对应的器件数据手册中规定了在哪些通信协议之后施加强上拉。对于那些将 1-Wire 器件置于要求额外电源状态的命令, 则必须在发出命令之前立即设置 DS2482 配置寄存器的 SPU 位。

如果 SPU 为 1, 无论是否设置了 APU 位, DS2482 将在强上拉开始的那个时隙的上升沿施加有源上拉。然而, 与设置 $APU = 1$ 来实现有源上拉相比, 在 t_{APUOT} 结束后, 低阻抗上拉将继续。如图 4 所示, 取而代之的是低阻抗上拉保持有效直到: a) 下一个 1-Wire 通信命令 (实例通常情况), b) 写入配置寄存器的 SPU 位为 0 (另一种方法), 或者 c) 发送 Device Reset 命令。另外, 上拉结束时, SPU 自动复位为 0。使用强上拉不会改变配置寄存器 APU 位的状态。

图 4. 低阻抗上拉时序



1-Wire Speed (1WS)

1WS 位决定 DS2482 产生的任意 1-Wire 通信的定时。所有的 1-Wire 从器件都支持标准速率(1WS = 0)，其中在 65 μ s 内完成单个位(图 4 中的 t_{SLOT})的传输。许多器件也能以较高的速率进行通信，称之为高速模式。为了从标准模式切换到高速模式，1-Wire 则需要接受 *Overdrive Skip ROM* 或 *Overdrive Match ROM* 命令，如在器件数据手册中说明的那样。1-Wire 器件接受速率改变命令代码后，速率变换操作立即开始。DS2482 必须参与这个速率变化以保持同步。在 1-Wire 字节命令后，立即将配置寄存器中 1WS 位写为 1，来实现 1-Wire 器件速率的改变。将配置寄存器中的 1WS 位写为 0，紧接着 1-Wire 复位命令，则将改变 DS2482 和选通 1-Wire 总线上的任何 1-Wire 器件返回至标准速率。

状态寄存器

只读状态寄存器用于 DS2482 向主处理器报告 1-Wire 总线、1-Wire 忙状态和其自身复位状态等数据位信息。所有的 1-Wire 通信命令和 *Device Reset* 命令都将读指针指向状态寄存器，以便主机处理器以最小的协议开销进行读取。仅在执行某些命令时，才更新状态寄存器中的内容。详细的内容请参见下面给出的各个状态位说明。

状态寄存器位分配格式

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
DIR	TSB	SBR	RST	LL	SD	PPD	1WB

1-Wire 忙 (1WB)

1WB 位告知主处理器 1-Wire 总线是否忙。在 1-Wire 通信时，1WB 为 1；一旦命令执行完毕，1WB 将返回其默认值 0。1WB 在何时改变状态以及保持为 1 状态的时间可详细参见 *功能命令* 部分。

应答脉冲检测 (PPD)

在每次 1-Wire *Reset* 命令之后将更新 PPD 位。如果在应答检测周期中，DS2482 在 t_{MSP} 时刻检测 1-Wire 器件的应答脉冲，PPD 位被设置为 1。如果在随后的 1-Wire *Reset* 命令中，没有应答脉冲或 1-Wire 总线被短路，该位则返回为默认值 0。

Short Detected (SD)

在每次 1-Wire *Reset* 命令之后将更新 SD 位。应答脉冲检测周期中，在 t_{SI} 时刻，如果 DS2482 在 1-Wire 总线上检测为逻辑 0，SD 位则被设置为 1。如果无短路存在，随后的 1-Wire *Reset* 命令可使该位返回至默认值 0。如果 SD 为 1 时，那么 PPD 则为 0。DS2482 无法区分短路和 DS1994 或 DS2404 发送的 1-Wire 中断信号。对于这个原因，如果在这个应用中采用 DS2404/DS1994，中断功能必须禁止。在相应的器件数据手册中介绍了发送中断信号。

Logic Level (LL)

LL 位指示在没有进行任何 1-Wire 通信的情况下，选通 1-Wire 总线的逻辑状态。每次读取状态寄存器，1-Wire 总线状态就被采样。当主机处理器以读模式寻址 DS2482 时（在应答周期内），将采样和更新 LL 位，前提是读指针指向状态寄存器。

Device Reset (RST)

如果 RST 位为 1，则 DS2482 执行了内部复位周期，可由上电复位引起也可从执行 Device Reset 命令开始。当 DS2482 执行 Write Configuration 命令，RST 位自动清除，以保存所期望 1-Wire 特性的选择。

Single Bit Result (SBR)

SBR 位告知 1-Wire Single Bit 命令在 t_{MSR} 时刻采样有源 1-Wire 总线的逻辑状态或 1-Wire Triplet 命令的第一位。SBR 的上电默认值为 0。如果 1-Wire Single Bit 命令发送 0 位，SBR 则应该为 0。在执行 1-Wire Triplet 命令时，SBR 为 0 还是 1，取决于所连接的 1-Wire 器件的响应。与此相同，1-Wire Single Bit 命令来发送 1 时，SBR 则应该为 1。

Triplet Second Bit (TSB)

TSB 位表示 1-Wire Triplet 命令的第二位在 t_{MSR} 时刻采样有源 1-Wire 总线的逻辑状态。TSB 的上电默认值为 0。仅在 1-Wire Triplet 命令时该位才更新，在其它命令时不起任何作用。

Branch Direction Taken (DIR)

无论何时执行 1-Wire Triplet 命令，该位将告知主机处理器 1-Wire Triplet 命令中的第三位所选择的搜索路径。DIR 的上电默认值为 0。仅在 1-Wire Triplet 命令时才更新该位，不受其他命令影响。其他信息请参见 1-Wire Triplet 命令描述和 Dallas 应用笔记 187，“1-Wire 搜索算法”。

功能命令

DS2482 接受 9 个功能命令，分为四个类型：器件控制、I²C 通信、1-Wire 设置和 1-Wire 通信。主机的反馈通道是由读指针控制，由每个功能命令自动设置，便于主机有效地访问相关的信息。主机处理器利用 I²C 接口以一个或两个字节的字符串发送这些命令和合适的参数。I²C 协议要求每个字节都被接收单元确认，以确定接受，或者字节没有被确认则指示为错误状态（无效命令代码或参数），或结束 I²C 通信。I²C 协议细节，包括认可方式，请参见该数据手册 I²C 接口部分的描述。

器件复位

命令代码	F0h
命令参数	无
说明	执行状态机器逻辑的全局复位，将选择 IO0 作为 1-Wire 通道。终止任何正在进行的 1-Wire 通信。
典型应用	在上电后器件初始化，或按照所期望的重新初始化（复位）。
限制	无（可在任意时间内执行）
错误响应	无
命令持续时间	最大时间为 525ns，从命令代码确认位的 SCL 下降沿开始计时
1-Wire 有效	最长需要 262.5ns，在命令代码确认位的 SCL 下降沿后。
读指针位置	状态寄存器（适用于忙轮询）
受影响的状态位	RST 置为 1，1WB, PPD, SD, SBR, TSB, DIR 设置为 0。
受影响的配置位	1WS, APU, PPM, SPU 置为 0。

设置读指针

命令代码	E1h
命令参数	地址指针代码
说明	设置读指针至指定寄存器。覆盖任何进程中 1-Wire 通信命令的读指针位置。
典型应用	准备读取 1-Wire Byte 命令的结果；随意的寄存读取器。
限制	无(可在任意时刻执行)
出错响应	如果指针代码无效，则指针代码不被接受，命令将忽略。
命令持续时间	无；在指针代码确认位的 SCL 上升沿，更新读指针。
1-Wire 有效性	不受影响
读指针位置	如指针代码所指定
受影响的状态位	无
受影响的配置位	无

有效指针代码

寄存器选择	代码
状态寄存器	F0h
读数据寄存器	E1h
通道选择寄存器	D2h
配置寄存器	C3h

写配置

命令代码	D2h
命令参数	配置字节
说明	写新配置字节。新的设置立即有效。 注意： 在写入配置寄存器，只有高四位（位 7 至位 4）是低 4 位（位 3 至 0）的反码时，才接受新数据。在读配置寄存器时，高四位一直为 0h。
典型应用	定义下一个 1-Wire 通信特性
限制	在 DS2482 处理这个命令之前，1-Wire 动作应该终止。
出错响应	如果在接收命令代码时 1WB = 1，则命令代码和参数不被确认，该命令将被忽略。
命令持续时间	无；在配置字节确认位的 SCL 上升沿，更新配置寄存器。
1-Wire 有效性	无
读指针位置	配置寄存器（以校验写操作）
受影响的状态位	RST 设置为 0
受影响的配置位	更新 1WS, SPU, PPM, APU 位

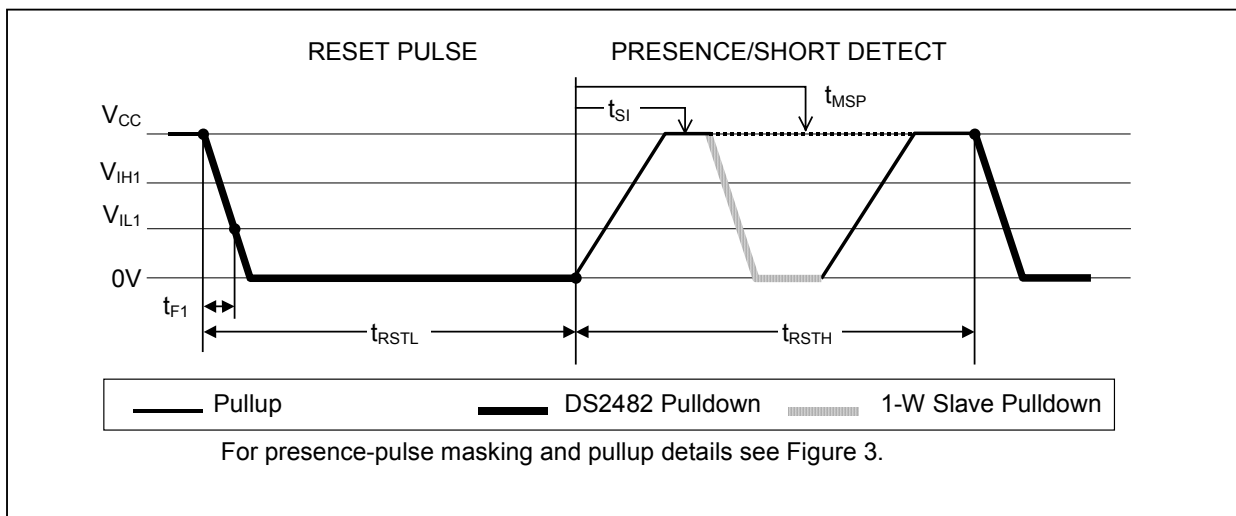
通道选择

命令代码	C3h
命令参数	选择代码
说明	设置随后的 1-Wire 通信命令的 IO 通道。 注意： 读返回的选择代码不同于写代码。相应数值请参见下表。
典型应用	选择一个不同于 IO0 的 1-Wire IO 通道；任意选择一个有效的 1-Wire IO 通道。
限制	在 DS2482 处理这个命令之前，1-Wire 动作终止。
出错响应	如果在接收命令代码时 1WB = 1，则命令代码和参数不被确认，该命令将被忽略。如果选择的代码无效，则选择代码不被确认，该命令忽略。
命令持续时间	无；在选择代码确认位的 SCL 上升沿，更新通道选择寄存器。
1-Wire 有效性	无
读指针位置	通道选择寄存器（以校验写操作）
受影响的状态位	无
受影响的配置位	无

有效通道选择代码

通道选择	代码 (写入)	代码 (读回)
通道 IO0 (默认值)	F0h	B8h
通道 IO1	E1h	B1h
通道 IO2	D2h	AAh
通道 IO3	C3h	A3h
通道 IO4	B4h	9Ch
通道 IO5	A5h	95h
通道 IO6	96h	8Eh
通道 IO7	87h	87h

图 5. 1-Wire 复位/应答检测周期



1-Wire 复位

命令代码	B4h
命令参数	无
说明	选择 IO 通道，产生 1-Wire 复位/应答检测周期（图 5）。在 t_{SI} 和 t_{MSP} 时刻采样 1-Wire 总线的状态，并通过状态寄存器 PPD 和 SD 位将结果告知主处理器。
典型应用	开始或结束任意 1-Wire 通信时序
限制	在 DS2482 处理这个命令之前，1-Wire 动作应该终止。
出错响应	如果在接收命令代码时 $1WB = 1$ ，则命令代码和参数不被确认，该命令将被忽略。
命令持续时间	$t_{RSTL} + t_{RSTH} +$ 最大时间 262.5ns，从命令代码的确认位的 SCL 下降沿开始计时
1-Wire 有效性	在命令代码的确认位的 SCL 下降沿之后，最长需要 262.5ns
读指针位置	状态寄存器（用于忙轮询操作）
受影响的状态位	$1WB$ ($t_{RSTL} + t_{RSTH}$ ， $1WB$ 设置为 1)； $t_{RSTL} + t_{MSP}$ 时，更新 PPD； 在 $t_{RSTL} + t_{SI}$ 时，更新 SD。
受影响的配置位	更新 $1WS$, PPM, APU 位

1-Wire 位

命令代码	87h
命令参数	位字节
说明	产生带有 1 位值‘V’的单个 1-Wire 时隙，与选通的 1-Wire IO 通道的位字节规定相同。0b 的‘V’值产生一个写 0 时隙（图 6），1b 的值产生一个写 1 时隙，其功能与读数据时隙相同（图 7）。在任意两种状态中，在 t_{MSR} 时刻采样 1-Wire 总线上的逻辑电平，并更新 SBR。
典型应用	当必须进行单个位通信时，以便在 1-Wire IO 通道上执行单个位的写或读操作
限制	在 DS2482 处理这个命令之前，应该终止 1-Wire 动作。
出错响应	如果在接收命令代码时 $1WB = 1$ ，则命令代码和参数不被确认，该命令将被忽略。
命令持续时间	$t_{SLOT} +$ 最大 262.5ns，从位字节的第一位（MS 位）的 SCL 下降沿开始计时。
1-Wire 有效性	在位字节的 MS 位的 SCL 下降沿之后，最长需要 262.5ns
读指针位置	状态寄存器（忙轮询和读数据）
受影响的状态位	$1WB$ (t_{SLOT} ，设置为 1) 在 t_{MSR} 时，更新 SBR DIR（可以改变其状态）
受影响的配置位	使用 $1WS$, APU, SPU 位

位字节的位分配格式

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
V	x	x	x	x	x	x	x

x = 无关

图 6. 写 0 时隙

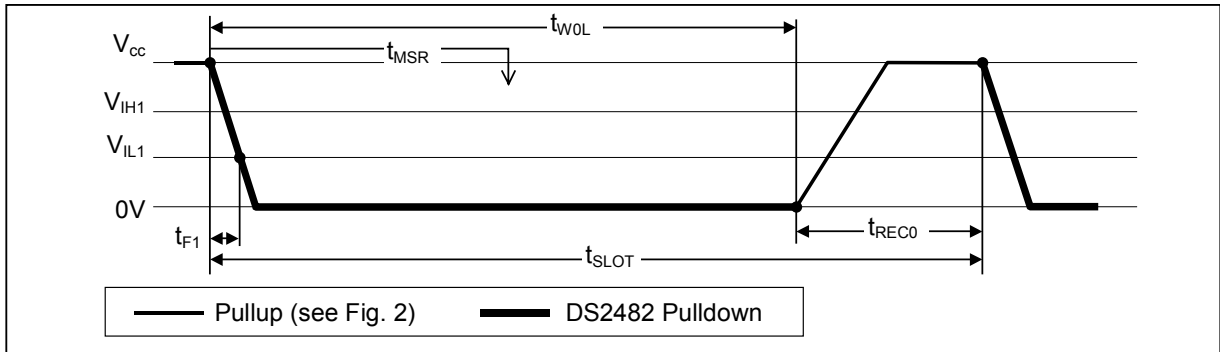


图 7. 写 1 和读数据时隙

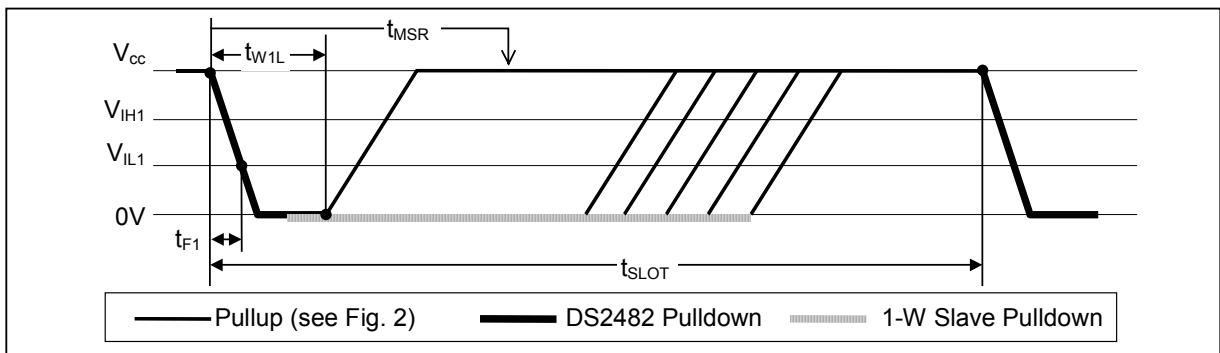


图 7 注释：根据其内部状态，1-Wire 从器件向主机传送数据（例如 DS2482）。当主机响应为 0，在 t_{W1L} 时，1-Wire 从器件开始拉低总线，其内部定时产生器确定这个拉低何时终止，何时电压再次升高。当主机响应为 1 时，当 t_{W1L} 一结束，1-Wire 从器件不再保持总线低，电压就开始升高。1-Wire 数据手册采用 t_{RL} 而不是 t_{W1L} 来描述读数据时隙。 t_{RL} 和 t_{W1L} 具有相同的技术规范指标，它们之间并没有区别。

1-Wire 写字节

命令代码	A5h
命令参数	数据字节
说明	写单个数据字节至选通的 1-Wire IO 通道
典型应用	向 1-Wire IO 通道写入命令或数据；相当于执行 8 个 1-Wire 单个位命令，但由于更少的 I ² C 通信而速度更快。
限制	在 DS2482 处理这个命令之前，应该终止 1-Wire 动作。
出错响应	如果在接收命令代码时 1WB = 1，则命令代码和参数不被确认，该命令将被忽略。
命令持续时间	$8 \times t_{SLOT} +$ 最大 262.5ns，从数据字节的最后一位（LS 位）的下降沿开始计时。
1-Wire 有效性	数据字节 LS 位的 SCL 下降沿后，最长需要 262.5ns（也就是，在数据字节确认之前）。 注意： 在 I ² C 总线和在 1-Wire 总线的位次序不同，(1-Wire: LSB 在前; I ² C: MSB 在前)，因此，在 DS2482 接收全部数据字节之前，不能开始 1-Wire 动作。
读指针位置	状态寄存器（用于忙轮询）
受影响的状态位	1WB ($8 \times t_{SLOT}$ ，设置为 1)
受影响的配置位	影响 1WS、SPU、APU 位

1-Wire 读字节

命令代码	96h
命令参数	无
说明	在所选通的 1-Wire IO 通道上，产生 8 个读数据时隙，并将结果保存在读数据寄存器中。
典型应用	读取 1-Wire IO 通道；相当于执行带有 $V = 1$ （写 1 时隙）的 8 个 1-Wire 单位命令，但由于减少了 I ² C 通信，速度更快。
限制	在 DS2482 处理这个命令之前，应该终止 1-Wire 动作。
出错响应	如果在接收命令代码时 $1WB = 1$ ，则命令代码和参数不被确认，该命令将被忽略。
命令持续时间	$8 \times t_{\text{SLOT}} + \text{最大时间 } 262.5\text{ns}$ ，从命令代码的确认位的下降沿开始计时。
1-Wire 有效性	在命令代码确认位的 SCL 下降沿后，最长需要 262.5ns。
读指针位置	状态寄存器（用于忙轮询） 注意： 从 1-Wire IO 通道读取接收到数据字节，发送设置读指针命令和选择读数据寄存器，然后在读模式下，访问 DS2482。
受影响的状态位	$1WB (8 \times t_{\text{SLOT}}$ ，设置为 1)
受影响的配置位	1WS, APU 刷新

1-Wire 三重指令

命令代码	78h
命令参数	搜索路径字节
说明	在所选通的 1-Wire IO 通道中，产生 3 个时隙，2 个读时隙和 1 个写时隙。写时隙的类型取决于读时隙的结果和方向字节。如果两个读时隙都为 0（典型状态），方向字节确定写时隙的类型。在这种状态下，如果 $V = 1$ ，DS2482 产生写 1 时隙； $V = 0$ ，则产生写 0 时隙。 如果读时隙为 0 和 1 时，紧跟着开始写 0 时隙。 如果读时隙为 1 和 0 时，紧跟着开始写 1 时隙。 如果读时隙均为 1（错误状态），接下来的为写 1 时隙。
典型应用	执行一次 1-Wire Search ROM 时序，整个时序需要执行 64 次这个命令来识别和寻址到一个器件。
限制	在 DS2482 处理这个命令之前，应该终止 1-Wire 动作。
出错响应	如果在接收命令代码时 $1WB = 1$ ，则命令代码和参数不被确认，该命令将被忽略。
命令持续时间	$3 \times t_{\text{SLOT}} + \text{最大 } 262.5\text{ns}$ ，从方向字节的第一位（MS 位）的 SCL 下降沿开始计时。
1-Wire 有效性	方向字节的 MS 位的 SCL 的下降沿之后，最长需要 262.5ns。
读指针位置	状态寄存器（用于忙轮询）
受影响的状态位	$1WB (3 \times t_{\text{SLOT}}$ ，设置为 1) 在第一个 t_{MSR} 时间，更新 SBR 在第二个 t_{MSR} 时间(即就是，在 $t_{\text{SLOT}} + t_{\text{MSR}}$)，更新 TSB 和 DIR
受影响的配置位	影响 1WS, APU 位

搜索路径字节中的位分配格式

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
V	x	x	x	x	x	x	x

x = 无关

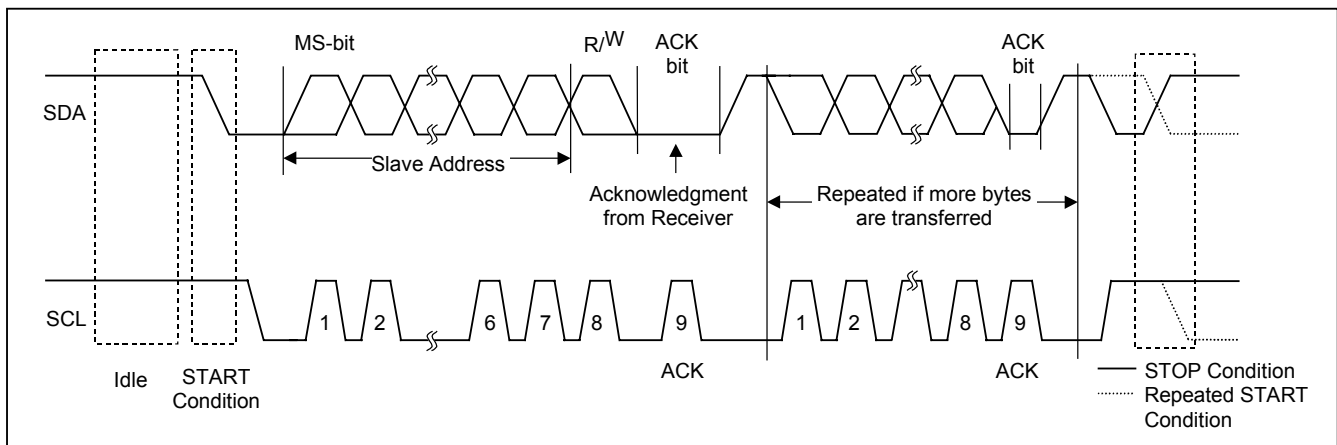
I²C 接口

通用特性

I²C 总线采用数据线(SDA)和时钟信号(SCL)进行通信。SDA 和 SCL 都是双向线，通过上拉电阻连接到电源端正极。不进行通信时，这两条线为高。连接到总线的器件的输出级应该是漏极开路或集电极开路，来实现线与功能。I²C 总线上的数据在标准模式下以高达 100kbps 的速率进行传输，而在快速模式下则以高达 400kbps 的速率进行传输。DS2482 可在两种模式下工作。

总线上发送数据的器件作为发射器，而接收数据的器件作为接收器。控制通信的器件称之为“主机”。主机控制的器件为“从机”。为了能被主机独立的访问，每一个器件都应该有从机地址，以便不会与总线的其他器件发生冲突。

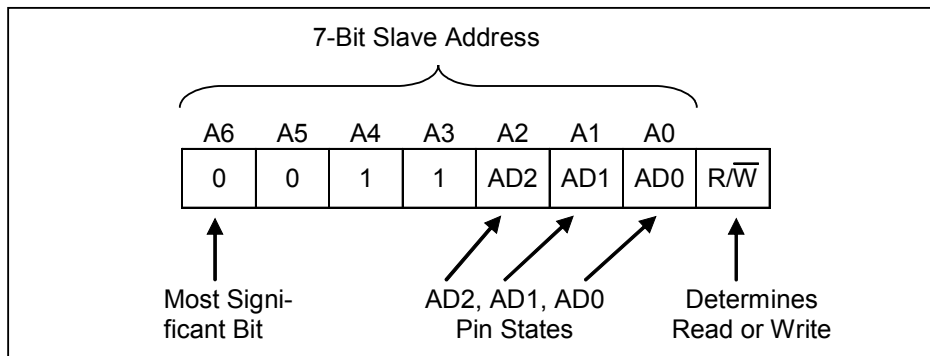
总线只有在空闲时，才有可能传送数据。主机产生连续的时钟(SCL)信号，控制总线访问，产生 START 和 STOP 状态，并确定 START 和 STOP (图 8) 之间所传送的数据字节的个数。数据以字节传送，最高有效位在前。在每个字节的后面紧跟一个确认位，使得主机与从机保持同步。

图 8. I²C 协议概括

从机地址

DS2482 所响应的从机地址如图 9 所示。地址引脚 AD0、AD1 和 AD2 上的逻辑状态确定了地址位 A0、A1 和 A2 的值。地址引脚允许器件可以响应 8 个从器件地址中的一个地址。从器件地址是从器件寻址/控制字节的一部分。从器件寻址/控制字节(R/W)的最后一位被定义为数据方向。当设置为 0 时，接下来的数据从主机到从机传输（写访问）。当设置为 1 时，从从机到主机进行传输数据（读访问）。

图 9. DS2482 从地址

**I²C 注释**

下面的术语通常是用来描述 I²C 数据传输。在图 10 中定义时序参考。

总线空闲或不忙： SDA 和 SCL 均为无效状态和处于其逻辑高状态。

START 条件： 为了实现与从器件的通信，主机必须产生一个 START 条件。SDA 从高变化为低作为 START 条件，而 SCL 保持为高。

STOP 条件： 为了实现与从器件的通信结束，主机必须产生一个 STOP 条件，SDA 从低变化至高作为 STOP 条件，而 SCL 保持为高。

重复的 START 条件： 重复 START 状态一般应用于读访问，选择指定的数据源或读取的地址。在数据传输结束时，主机使用重复的 START 条件，在紧跟在当前数据之后，立即开始新的数据传输。产生重复的 START 条件与产生一般的 START 条件方式相同，只是在 STOP 条件后，无需保留总线为空闲状态而已。

数据有效： 除 START 和 STOP 状态外，SDA 变化仅可能在 SCL 低状态时进行。在 SCL 的整个高电平脉冲和所需的启动与保持时间（SCL 下降沿之后的 $t_{HD:DAT}$ 和 SCL 上升沿之前的 $t_{SU:DAT}$ ，如图 10 所示）期间，SDA 上的数据必须保持有效不变。每一位数据要求一个时钟脉冲。在 SCL 的上升沿，数据移入到正在接收的器件中。

当写操作结束时，主机必须释放 SDA 总线，以便在下一个 SCL 的上升沿之前有足够的启动时间（最小值为： $t_{SU:DAT} + t_R$ ，参见图 10）开始读取数据。在 SDA 总线的前一个 SCL 脉冲的下降沿时，从器件则移出每个数据位。在当前 SCL 脉冲的上升沿时，数据位有效。主机产生所有的 SCL 时钟信号，包括那些需要从从器件读取的脉冲。

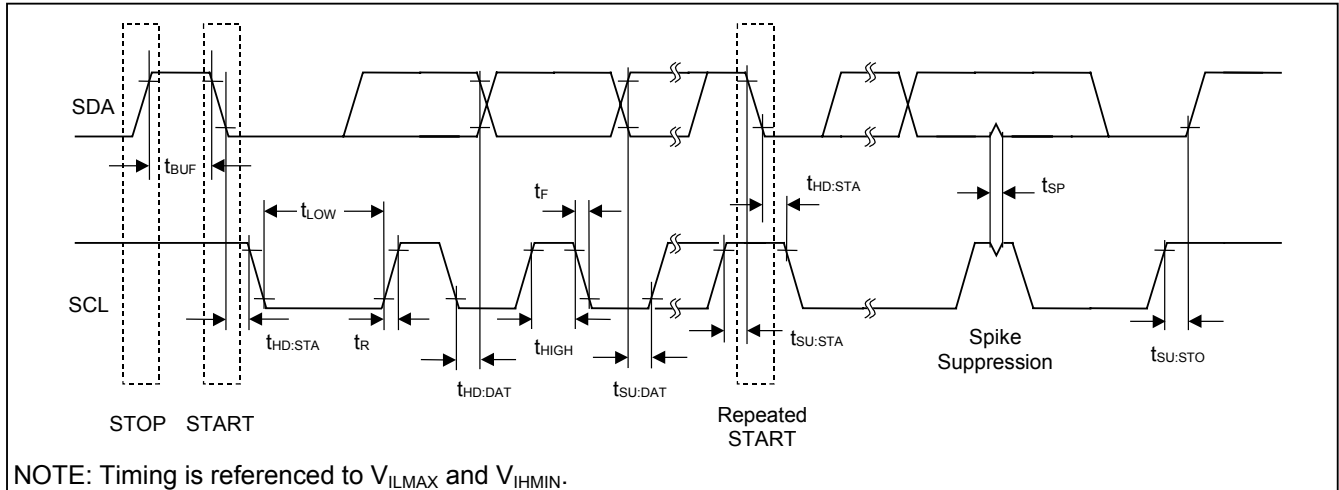
应答信号： 通常，当寻址某个接收器件时，在收到每一个字节后要求产生应答信号。主机必须产生一个与这个应答位相关的脉冲。在应答脉冲期间，应答器件必须以这种方式拉低 SDA，即在相关的应答脉冲高电平时间加上所需的建立和保持时间（SCL 的下降沿后的 $t_{HD:DAT}$ 和 SCL 上升沿之前的 $t_{SU:DAT}$ ）期间，SDA 处于稳定的低电平。

从器件不应答： 从器件可能不能接收或传输数据，例如，由于该器件忙于执行某些实时功能。在这种情况下，从器件不会应答其从地址，SDA 总线一直为高电平。

做好通信准备的从器件将至少确认其从器件的地址。然而，有时从器件可能拒绝接受数据，例如无效的命令代码或参数。在这种状态下，从器件对所拒绝接收的任何字节不进行确认，并保持 SDA 总线为高电平。在上述任意两种状态下，从器件应答失败后，主机首先需要产生一个重复的 START 条件或在 START 条件之后产生一个 STOP 条件，以开始传输新的数据。

主机不应答：有时接收数据时，主机必须向从器件发送一个数据终止信号。为了获得这个信号，主机不用应答所接收的由从器件发送的最后一个字节。作为响应，从器件释放 SDA，允许主机产生 STOP 条件。

图 10. I²C 时序图



写入 DS2482

为了对 DS2482 进行写操作，主机必须以写模式访问从器件，即发送从器件地址时必须将方向位设置为。发送的下一个字节为命令代码，可能还紧跟一个命令参数，这取决于命令。DS2482 将确认有效命令代码和所期望的/有效的命令参数，而额外的字节或无效命令参数不被确认。

读取 DS2482

为了读取 DS2482，主机必须以读模式访问从器件。也就是说，发送从器件地址时必须将方向位设置为 1。读指针确定了主机从哪个寄存器开始读取。主机可能重复的读取同一个寄存器，而无需重新设置地址，例如查看 1WB 从 1 至 0 的变化。读取不同的寄存器，主机必须发送 Set Read Pointer 命令，然后再以读模式访问 DS2482。

I²C 通信图表

符号	描述
S	START 条件
AD,0	选择 DS2482 进行写访问
AD,1	选通 DS2482 进行读访问
Sr	重复 START 条件
P	STOP 条件
A	确认
AI	不被确认
(Idle)	总线不忙
<byte>	1 字节转换

符号	描述
DRST	“Device Reset”命令，F0h
WCFG	“Write Configuration”命令，D2h
CHSL	“Channel Select”命令，C3h
SRP	“Set Read Pointer”命令，E1h
1WRS	“1-Wire Reset”命令，B4h
1WWB	“1-Wire Write Byte”命令，A5h
1WRB	“1-Wire Read Byte”命令，96h
1WSB	“1-Wire Single Bit”命令，87h
1WT	“1-Wire Triplet”命令，78h

数据方向颜色标识

Master-to-Slave	Slave-to-Master
-----------------	-----------------

I²C 通信实例

器件复位，例如上电后

S	AD,0	A	DRST	A	Sr	AD,1	A	<byte>	A\	P
---	------	---	------	---	----	------	---	--------	----	---

本例包括一个可选的读访问，以检验命令是否成功。

写配置，例如开始 1-Wire 上电之前

实例 A: 1-Wire 空闲 (1WB = 0)

S	AD,0	A	WCFG	A	<byte>	A	Sr	AD,1	A	<byte>	A\	P
---	------	---	------	---	--------	---	----	------	---	--------	----	---

本例包括一个可选的读访问，以检验命令是否成功。

实例 B: 1-Wire 忙 (1WB = 1)

S	AD,0	A	WCFG	A\	P
---	------	---	------	----	---

当 DS2482 没有确认这个命令代码，主机应该立即停止并重新开始。

通道选择，例如选择另一个 1-Wire 通道

实例 A: 1-Wire 空闲 (1WB = 0)

S	AD,0	A	CHSL	A	E1h	A	Sr	AD,1	A	<byte>	A\	P
---	------	---	------	---	-----	---	----	------	---	--------	----	---

E1h 是 IO1 的有效通道选择代码。本例包括一个可选的读访问，以检验命令是否成功。

实例 B: 1-Wire 空闲 (1WB = 0)，无效通道选择代码

S	AD,0	A	CHSL	A	E5h	A\	P
---	------	---	------	---	-----	----	---

E5h 是无效通道选择代码

实例 C: 1-Wire 忙 (1WB = 1)

S	AD,0	A	CHSL	A\	P
---	------	---	------	----	---

当 DS2482 没有确认这个命令代码，主机就会立即停止并重新开始。

设置读指针，例如读取另一个寄存器

实例 A: 有效读指针代码

S	AD,0	A	SRP	A	C3h	A	P
---	------	---	-----	---	-----	---	---

C3h 是配置寄存器的有效读指针代码。

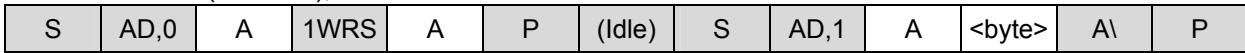
实例 B: 无效读指针代码

S	AD,0	A	SRP	A	E5h	A\	P
---	------	---	-----	---	-----	----	---

E5h 为无效读指针代码。

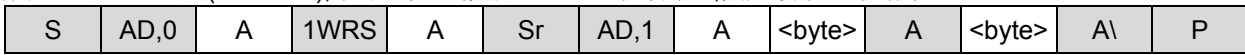
1-Wire 复位，例如：开始或结束 1-Wire 通信

实例 A: 1-Wire 空闲(1WB = 0), 无忙轮询读取结果



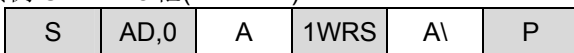
在第一个周期中，主机发送命令，然后主机等待（空闲）1-Wire 复位完成。在第二个周期中，访问 DS2482 从状态寄存器中读取 1-Wire 复位的结果。

实例 B: 1-Wire 空闲(1WB = 0), 忙轮询直到完成 1-Wire 命令为止,然后读取这个结果。



重复直到 1WB 位变为 0 为止。

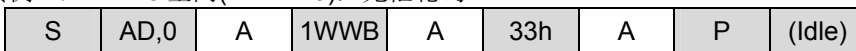
实例 C: 1-Wire 忙(1WB = 1)



当 DS2482 没有确认这个命令代码，主机就会立即停止并重新开始。

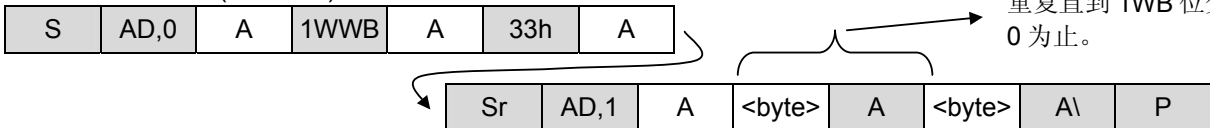
1-Wire 写字节，例如向 1-Wire IO 通道发送命令代码

实例 A: 1-Wire 空闲(1WB = 0), 无忙轮询



33h 是读取 ROM 的有效 1-Wire ROM 功能命令。实现 1-Wire 功能所需的空闲时间。采用这个命令 1-Wire 总线上没有数据返回。

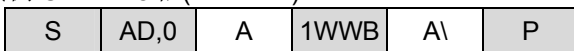
实例 B: 1-Wire 空闲(1WB = 0), 忙轮询直到完成 1-Wire 命令为止



重复直到 1WB 位变为 0 为止。

当 1WB 位从 1 变 0 时，1-Wire Write Byte 命令完成。

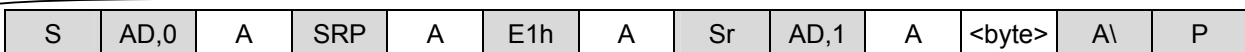
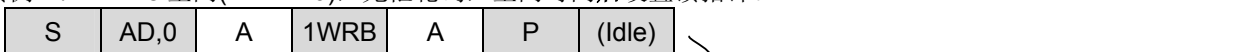
实例 C: 1-Wire 忙(1WB = 1)



当 DS2482 没有确认这个命令代码，主机就会立即停止并重新开始。

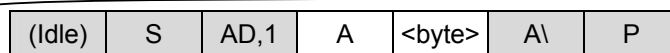
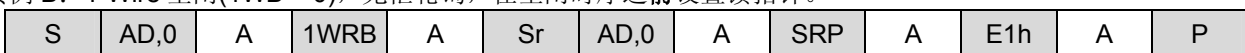
1-Wire 读字节，例如从 1-Wire IO 通道读取字节

实例 A: 1-Wire 空闲(1WB = 0), 无忙轮询，空闲时间后设置读指针。



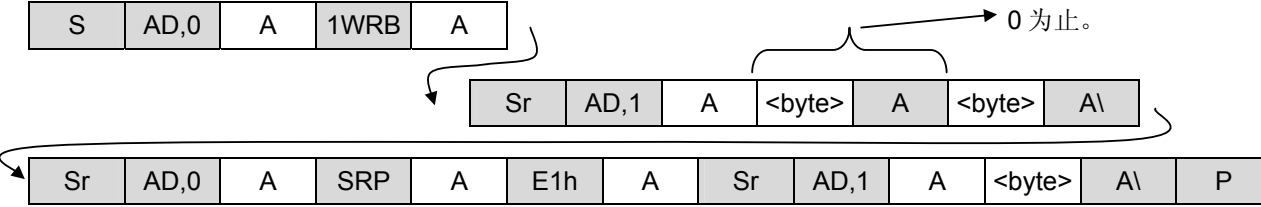
空闲时序是实现 1-Wire 功能所需的，然后将读指针设置至读数据寄存器(代码 E1h)，并再次访问器件，读取 1-Wire IO 通道上的数据字节。

实例 B: 1-Wire 空闲(1WB = 0), 无忙轮询，在空闲时序之前设置读指针。



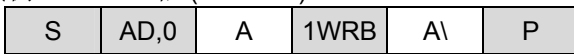
将读指针设置至读数据寄存器（代码 E1h），而此时 1-Wire Read Byte 命令还在进行中。在完成 1-Wire 功能后，访问器件读取从 1-Wire IO 通道上获得的数据字节。

实例 C: 1-Wire 空闲(1WB = 0)，忙轮询直到完成 1-Wire 命令为止



轮询状态寄存器，直到 1WB 位从 1 变 0 为止。然后，将读指针设置至读数据寄存器（编码 E1h），再次访问器件，来读取从 1-Wire IO 通道上获得的数据字节。

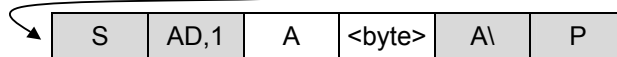
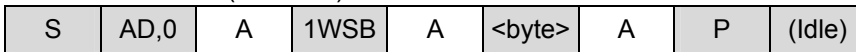
实例 D: 1-Wire 忙 (1WB = 1)



当 DS2482 没有确认这个命令代码，主机就会立即停止并重新开始。

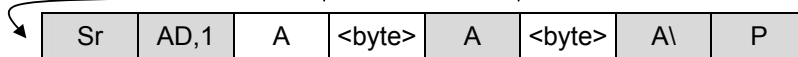
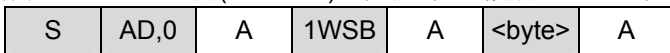
1-Wire 位，例如在 1-Wire IO 通道上产生单个时隙。

实例 A: 1-Wire 空闲 (1WB = 0)，无忙轮询



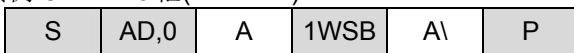
完成 1-Wire 功能所需的空闲时间。接着以读模式访问器件，来获得 1-Wire 单位命令的结果。

实例 B: 1-Wire 空闲(1WB = 0)，忙轮询直到完成 1-Wire 命令为止



当 1WB 从 1 变为 0 时，状态寄存器保持 1-Wire Single Bit 命令的有效结果。

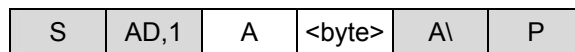
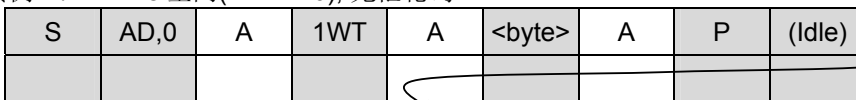
实例 C: 1-Wire 忙(1WB = 1)



当 DS2482 没有确认这个命令代码，主机就会立即停止并重新开始。

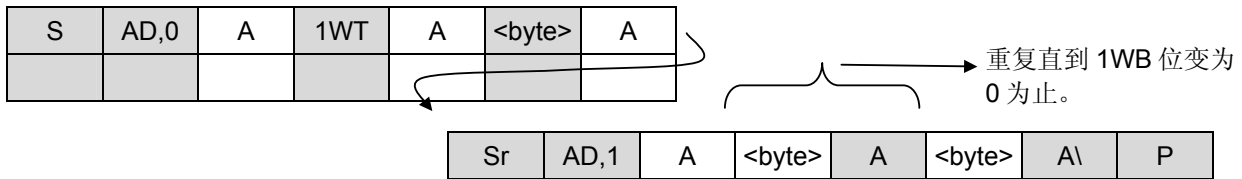
1-Wire Triplet, 例如：在 1-Wire IO 通道上实现 Search ROM 功能

实例 A: 1-Wire 空闲(1WB = 0)，无忙轮询



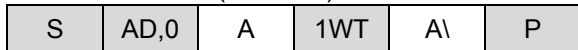
实现 1-Wire 功能所需的空闲时间。接着以读模式访问器件，以获得 1-Wire Triplet 命令的结果。

实例 B: 1-Wire 空闲(1WB = 0), 忙轮询直到完成 1-Wire 命令为止。



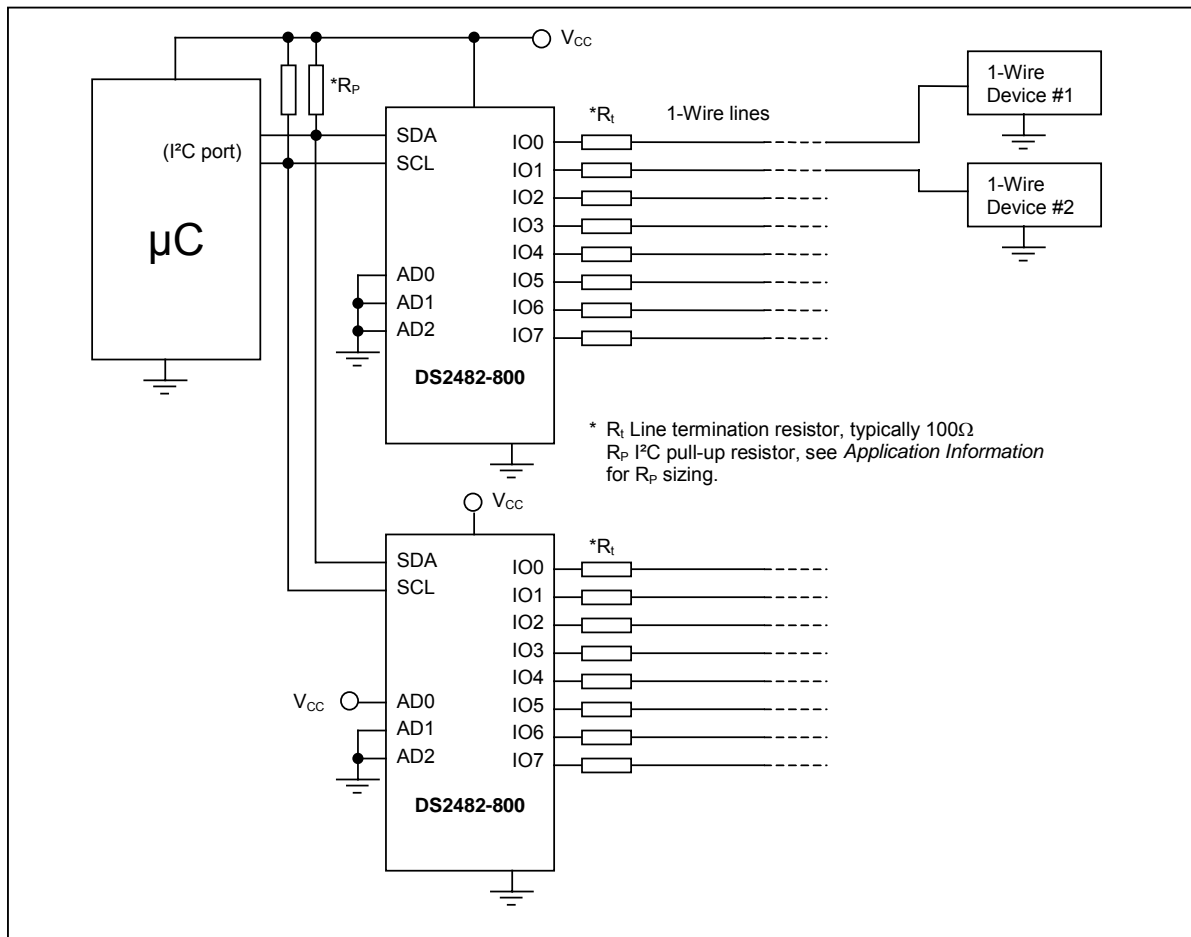
当 1WB 从 1 变为 0 时, 状态寄存器保持 1-Wire Triplet 命令有效结果。

实例 C: 1-Wire 空闲 (1WB = 1)



当 DS2482 没有确认这个命令代码, 主机就会立即停止并重新开始。

图 11. 应用电路示意图



应用信息

SDA 和 SCL 上拉电阻

SDA 是 DS2482 的漏极开路输出, 需要一个上拉电阻来实现高逻辑电平。因为 DS2482 仅使用 SCL 作为输入(无时钟扩展), 因此主机可以通过带有上拉电阻的漏极/集电极开路输出, 或推挽式输出驱动 SCL。

上拉电阻 R_p 的大小

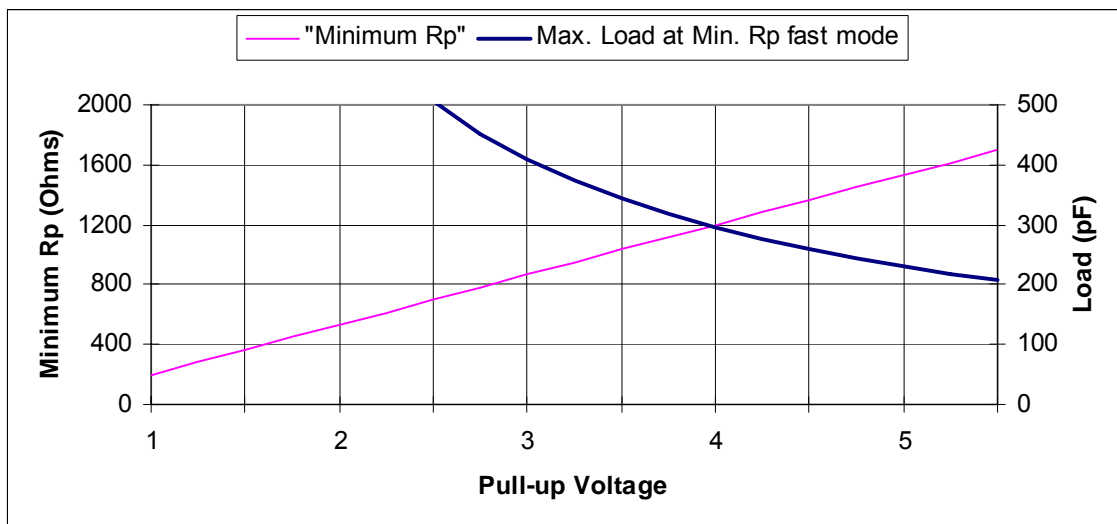
根据 I²C 指标，在 V_{OL} 为 0.4V 时，从器件必须能够源出至少 3mA 的电流。这个 DC 状态确定了上拉电阻的最小值： $R_{pmin} = (V_{CC} - 0.4V)/3mA$ 。采用 5.5V 的工作电压，上拉电阻的最小值为 1.7k Ω 。如图 12 所示的“Minimum Rp”曲线表示了最小上拉电阻与工作电压之间的变化关系。

对于 I²C 系统，从上拉电压的 30%到上拉电压的 70%来测量上升时间和下降时间。最大容量的总线电容 C_B 为 400pF。标准模式下，最大上升时间不能超过 1000ns；而在高速模式下，则不能超过 300ns。假定以最大的上升时间计算，在所给定的电容 C_b 下最大的电阻值计算为： $R_{pmaxs} = 1000ns/(C_B \cdot \ln(7/3))$ （标准模式）和 $R_{pmaxf} = 300ns/(C_B \cdot \ln(7/3))$ （高速模式）。对于 400pF 的总线电容而言，标准模式下，最大上拉电阻为 2.95k Ω ，而在高速模式下，则为 885 Ω 。1.7k Ω 和 2.95k Ω 之间的电阻值可以满足标准模式下的所有要求。

由于上拉电阻为 885 Ω ，需要可以满足在高速和 400pF 总线电容下的上升时间的指标。885 Ω 上拉电阻比在 5.5V 下要求的 R_{pmin} 要低，因此必须找出另一种方法。首先计算在任何给定的工作电压（“Minimum Rp”曲线）下的最小上拉电阻，接着再计算产生 300ns 的上升时间各自对应的总线容性，就可生成如图 12 所示的“Max. Load...”总线。

对于 3V 或更低的上拉电压而言，能够允许 400pF 的总线容性负载。而对于 4V 或更低的上拉电压来说，能接受 300pF 或更低的总线容性负载。对于高速模式下的任何上拉电压，总线电容不能超过 200pF。“Minimum Rp”曲线表示了各种电压下相应的上拉电阻值。

图 12. I²C 高速模式下的上拉电阻选择曲线



封装信息

(本数据资料的封装图未能反映最新的封装信息，有关封装的最新资料，请访问：www.maxim-ic.com.cn/DallasPackInfo。)