

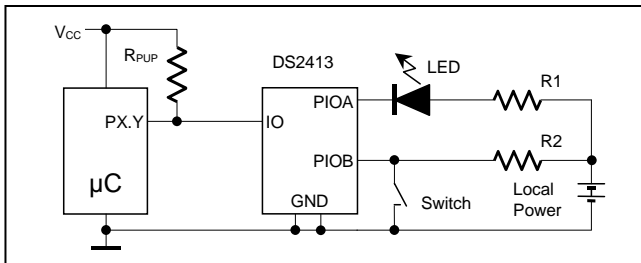
概述

DS2413 是双通道可编程 I/O 1-Wire[®] 芯片。PIO 输出配置为漏极开路，提供最高 20mA 的吸电流能力，关断状态工作电压可达 28V。通过专门的器件级命令协议实现 PIO 引脚的控制与检测。为了在终端应用中提供更高的故障承受能力，1-Wire IO 和 PIO 引脚都能够承受连续高达 28V 的最高电压。DS2413 的通信与操作通过 Maxim/Dallas 1-Wire 串行接口实现。

应用

- LED 控制
- 配件识别与控制
- 通用输入/输出
- 钥匙管理系统
- 工业控制器
- 系统监视

典型工作电路



为清晰起见，命令、寄存器及模式都用大写字母表示。

1-Wire 是 Dallas Semiconductor Corp. 的注册商标。

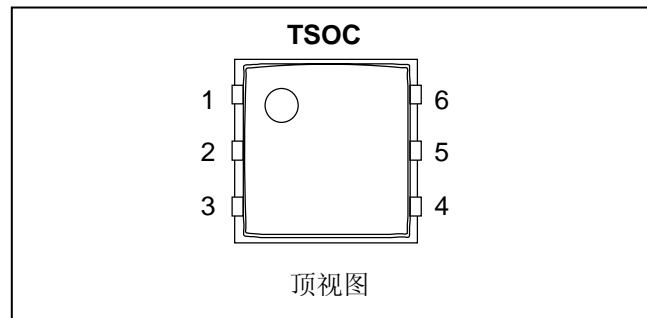
特性

- 漏极开路可编程 I/O 引脚
- PIO 引脚支持最大 20mA 的吸电流
- PIO 引脚支持 28V (最大值) 的电压
- PIO 下拉晶体管的导通电阻最大值为 20Ω；关断电阻最小值为 1MΩ
- 通过 1-Wire 获取寄生电源
- 采用单数字信号线、按照 1-Wire 协议、以 14.9kbps 或 100kbps 速率与主机通信
- 工厂为每个器件光刻唯一的 64 位 ROM 序列号
- 电平切换点滞回与滤波优化了噪声环境下的工作性能
- 故障条件下 1-Wire IO 引脚可支持 28V 额定直流电平
- 宽工作范围：0°C 至 +70°C 下 1-Wire 电压范围为 2.8V 至 5.25V
- 1-Wire 引脚可承受较高的 ESD 冲击：测试条件下典型值为 8kV
- TSOC 封装

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS2413P	0°C to +70°C	TSOC
DS2413P/T&R	0°C to +70°C	TSOC Tape-and-Reel

引脚排列



注意：可能对该芯片已经进行了若干完善，参数指标已经和已出版的勘误表有所出入。通过各种销售渠道获取各种芯片所做的修订。芯片勘误表请点击：<http://www.maxim-ic.com.cn/errata>。

ABSOLUTE MAXIMUM RATINGS

Voltage on Any Pin to GND	-0.5V, +30V
Maximum Current into IO Pin	±25mA
Maximum Current into PIO Pin	±30mA
Maximum Current Through GND Pins (Both Pins Tied Together)	±60mA
Operating Temperature Range	0°C to +70°C
Junction Temperature	+150°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020A

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS $T_A = 0^\circ\text{C to } +70^\circ\text{C}$

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IO PIN GENERAL DATA						
1-Wire Pullup Voltage (Note 1)	V_{PUP}	Standard speed	2.8		5.25	V
		Overdrive speed	2.9		5.25	
		DC only; no 1-Wire communication			28	
1-Wire Pullup Resistance	R_{PUP}	(Notes 1, 2)	1.5		2.2	k Ω
Input Load Current	I_L	$V_{PUP} \leq 5.25\text{V}$	3.5		70	μA
		$V_{PUP} \leq 3.30\text{V}$	3.5		15	
		$V(\text{IO}) = 28\text{V}$ (Note 3)	400		950	
Input Capacitance	C_{IO}	At 25°C (Notes 4, 5)			800	pF
Input Low Voltage	V_{IL}	(Notes 1, 6)			0.4	V
High-to-Low Switching Threshold	V_{TL}	(Notes 5, 7, 8)	0.4		3.2	V
Low-to-High Switching Threshold	V_{TH}	(Notes 5, 7, 9)	0.7		3.6	V
Switching Hysteresis	V_{HY}	(Notes 5, 10)	0.2			V
Output Low Voltage	V_{OL}	At 4mA Current Load (Note 11)			0.4	V
Recovery Time (Notes 1, 12)	t_{REC}	Standard speed, $R_{PUP} = 2.2\text{k}\Omega$	5			μs
		Overdrive speed, $R_{PUP} = 2.2\text{k}\Omega$	2			
		Overdrive speed, directly prior to reset pulse; $R_{PUP} = 2.2\text{k}\Omega$	5			
Rising-Edge Hold-off Time (Notes 5, 13)	t_{REH}	Standard speed	0.5		5.0	μs
		Overdrive speed	Not applicable (0)			
Time slot Duration (Notes 1, 5)	t_{SLOT}	Standard speed, $V_{PUP} \geq 4.5\text{V}$	65			μs
		Standard speed (Note 14)	67			
		Overdrive speed, $V_{PUP} \geq 4.5\text{V}$ (Note 14)	9			
		Overdrive speed (Note 14)	10			
IO PIN, 1-WIRE RESET, PRESENCE DETECT CYCLE						
Reset Low Time (Note 1)	t_{RSTL}	Standard speed, $V_{PUP} \geq 4.5\text{V}$	480		960	μs
		Standard speed (Note 14)	600		960	
		Overdrive speed, $V_{PUP} \geq 4.5\text{V}$	48		80	
		Overdrive speed (Note 14)	63		80	
Presence Detect High Time (Notes 14, 15)	t_{PDH}	Standard speed, $V_{PUP} \geq 4.5\text{V}$	15		66	μs
		Standard speed	15		68	
		Overdrive speed, $V_{PUP} \geq 4.5\text{V}$	2		7.0	
		Overdrive speed	2		8.2	
Presence Detect Fall Time (Notes 5, 16)	t_{FPD}	Standard speed, $V_{PUP} > 4.5\text{V}$	0.24		1.4	μs
		Standard speed	0.24		1.6	
		Overdrive speed, $V_{PUP} \geq 4.5\text{V}$	0		0.7	
		Overdrive speed	0		0.9	
Presence Detect Low Time (Note 15)	t_{PDL}	Standard speed, $V_{PUP} > 4.5\text{V}$	60		240	μs
		Standard speed (Note 14)	60		260	
		Overdrive speed, $V_{PUP} \geq 4.5\text{V}$ (Note 14)	8		25	

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Presence Detect Sample Time (Notes 1, 20)	t_{MSP}	Standard speed, $V_{PUP} > 4.5V$	67.4		75	μs
		Standard speed	69.6		75	
		Overdrive speed, $V_{PUP} \geq 4.5V$	7.7		10	
		Overdrive speed	9.1		10	
IO PIN, 1-Wire WRITE						
Write-0 Low Time (Note 1)	t_{W0L}	Standard speed, $V_{PUP} > 4.5V$	60		120	μs
		Standard speed (Note 14)	62		120	
		Overdrive speed, $V_{PUP} \geq 4.5V$ (Note 14)	7		16	
		Overdrive speed (Note 14)	8		16	
Write-1 Low Time (Notes 1, 17)	t_{W1L}	Standard speed	5		15 - ϵ	μs
		Overdrive speed	1		2 - ϵ	
IO PIN, 1-Wire READ						
Read Low Time (Notes 1, 18)	t_{RL}	Standard speed	5		15 - δ	μs
		Overdrive speed	1		2 - δ	
Read Sample Time (Notes 1, 18)	t_{MSR}	Standard speed	$t_{RL} + \delta$		15	μs
		Overdrive speed	$t_{RL} + \delta$		2	
PIO Pins						
Leakage Current	I_{LP}	Pin at 28V (Note 19)	8.5		24	μA
Input Capacitance	C_P	(Note 5)		100		pF
Output low voltage	V_{OLP}	20mA load current			0.4	V
Input Low Voltage	V_{ILP}	(Note 1)			0.8	V
Input High Voltage (Note 21)	V_{IHP}	(Note 1)	$V_{PUP} - 0.3V$		28	V

- Note 1:** System requirement.
- Note 2:** Full R_{PUP} range guaranteed by design and simulation. not production tested. Production testing performed at a fixed R_{PUP} value. Maximum allowable pullup resistance is a function of the number of 1-Wire devices in the system and 1-Wire recovery times. The specified value here applies to systems with only one device and with the minimum 1-Wire recovery times. For more heavily loaded systems, an active pullup such as that found in the DS2482-x00, DS2480B, or DS2490 may be required.
- Note 3:** The I-V characteristic is linear for voltages greater than 10V.
- Note 4:** Capacitance on the data pin could be 800pF when V_{PUP} is first applied. If a 2.2k Ω resistor is used to pull up the data line, 2.5 μs after V_{PUP} has been applied the parasite capacitance will not affect normal communications.
- Note 5:** Guaranteed by design and simulation. Not production tested.
- Note 6:** The voltage on IO needs to be less than or equal to V_{ILMAX} whenever the master drives the line low.
- Note 7:** V_{TL} and V_{TH} are functions of the internal supply voltage, which is a function of V_{PUP} and the 1-Wire Recovery Times.
- Note 8:** Voltage below which, during a falling edge on IO, a logic 0 is detected.
- Note 9:** Voltage above which, during a rising edge on IO, a logic 1 is detected.
- Note 10:** After V_{TH} is crossed during a rising edge on IO, the voltage on IO has to drop by at least V_{HY} to be detected as logic '0'.
- Note 11:** The I-V characteristic is linear for voltages less than 1V.
- Note 12:** Applies to a single DS2413 attached to a 1-Wire line.
- Note 13:** The earliest recognition of a negative edge is possible at t_{REH} after V_{TH} has been previously reached.
- Note 14:** Highlighted numbers are NOT in compliance with legacy 1-Wire product standards. See comparison table below.
- Note 15:** t_{PDH} is deemed to have ended when the voltage on IO drops below 80% of V_{PUP} on the leading edge of the presence-detect low pulse. t_{PDL} is deemed to have begun when the voltage on IO drops below 20% of V_{PUP} on the leading edge of the pulse.
- Note 16:** Interval during the negative edge on IO at the beginning of a Presence Detect pulse between the time at which the voltage is 80% of V_{PUP} and the time at which the voltage is 20% of V_{PUP} .
- Note 17:** ϵ represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to V_{TH} .
- Note 18:** δ represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to the input high threshold of the bus master.
- Note 19:** The I-V characteristic is linear for voltages greater than 7V.
- Note 20:** t_{MSP} is a system required sample point and not directly production tested. Production testing is performed on related parameters t_{PDH} and t_{PDL} . Parameter t_{FPD} is guaranteed by design and simulation, not production tested.
- Note 21:** Production tested for $V_{IHP(min)}$. $V_{IHP(max)}$ is guaranteed by design and simulation, not production tested.

PARAMETER	LEGACY VALUES				DS2413 VALUES			
	STANDARD SPEED		OVERDRIVE SPEED		STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t_{SLOT} (incl. t_{REC})	61 μs	(undef.)	7 μs	(undef.)	67 μs	(undef.)	10 μs	(undef.)
t_{RSTL}	480 μs	(undef.)	48 μs	80 μs	600 μs	960 μs	63 μs	80 μs
t_{PDH}	15 μs	60 μs	2 μs	6 μs	15 μs	68 μs	2 μs	8.2 μs
t_{PDL}	60 μs	240 μs	8 μs	24 μs	60 μs	260 μs	8 μs	32 μs
t_{W0L}	60 μs	120 μs	6 μs	16 μs	62 μs	120 μs	8 μs	16 μs

引脚说明

名称	引脚 #	功能
IO	2	1-Wire 总线接口。漏极开路，需外接上拉电阻。
PIOA	6	可编程 I/O 引脚，漏极开路，带弱上拉，上电时缺省状态为开路 (PIOA = 1)。
PIOB	4	可编程 I/O 引脚，漏极开路，带弱上拉，上电时缺省状态为开路 (PIOB = 1)。
GND1	1	参考地 1
GND2	5	参考地 2；应用时两个 GND 引脚需连接在一起。
NC	3	空脚

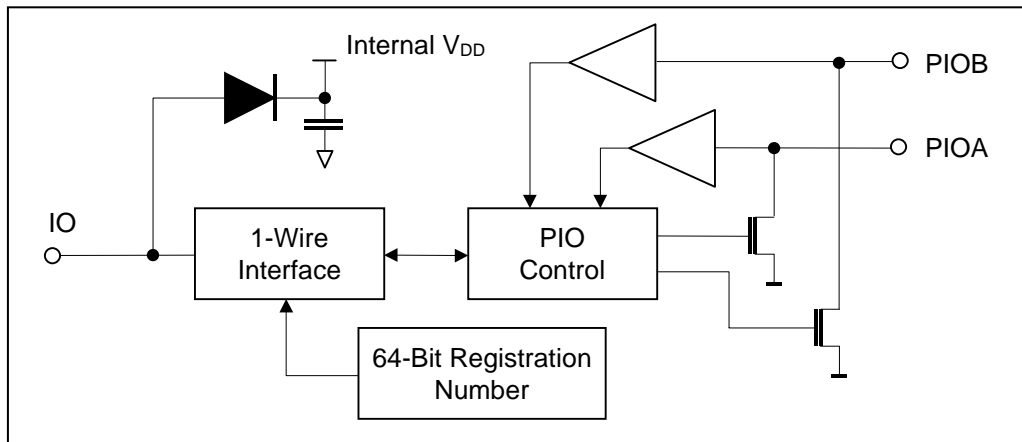
详细说明

DS2413在单芯片上集成了两个PIO引脚和独具特色的1-Wire接口。PIO输出为开漏输出，可工作在28V高电压，最大导通阻抗为20Ω。牢靠的通信协议确保PIO输出无差错的变化。每片DS2413都有一个64位长的注册码。该注册码保证了唯一的身份码，同时还可以用于多点1-Wire网络环境中的物理地址，以便多个从器件挂接在同一条总线，且相互独立工作。从器件以寄生方式从1-Wire总线中获取电源。DS2413的应用包括配件识别及控制、系统监视、通用输入/输出。

总述

DS2413各主要部件之间的关系框图如图1所示。DS2413 有两个主要组成部分：64 位注册码及PIO控制。1-Wire协议的层次结构如图2所示。总线主机必须首先提供七个ROM 操作命令中的一个：1) Read ROM, 2) Match ROM, 3) Search ROM, 4) Skip ROM, 5) Resume, 6) Overdrive-Skip ROM , 7) Overdrive-Match ROM。如果在标准速率下执行了Overdrive ROM 命令，器件将进入高速模式，此后的所有通信都以高速模式进行。其ROM 功能命令所需遵循的协议见图10所示。成功执行完一条ROM 功能命令后，主机就可以发出两个PIO功能命令之一对PIO进行访问了。PIO 功能命令所需遵循的协议见图6。所有数据读写都是低位 在前。

图 1. 内部框图



64 位光刻 ROM

每片DS2413 都有唯一的64 位ROM注册码，如图3 所示。其中，前8 位是1-Wire产品的家族码，接下来的48 位是每个器件唯一的序列号，最后8 位是前面56 位的CRC（循环冗余校验）码。1-Wire器件的CRC是通过由移位寄存器和异或门（XOR）组成的多项式发生器产生的，见图4，这个多项式为： $X^8 + X^5 + X^4 + 1$ 。关于Dallas的1-Wire循环冗余校验的更多信息，请参考应用笔记27。移位寄存器初始化为零，接着从8 位家族码的最低有效位开始移入，每次移入1 位。当第8 位家族码移入后，开始移入序列号；第48 位序列号移入后，移位寄存器中的值即是CRC值。要注意的是，继续移入DS2413 内部的8 位CRC校验码，如果接收数据正确，则移位寄存器将归零。

图 2. 1-Wire 协议的层次结构

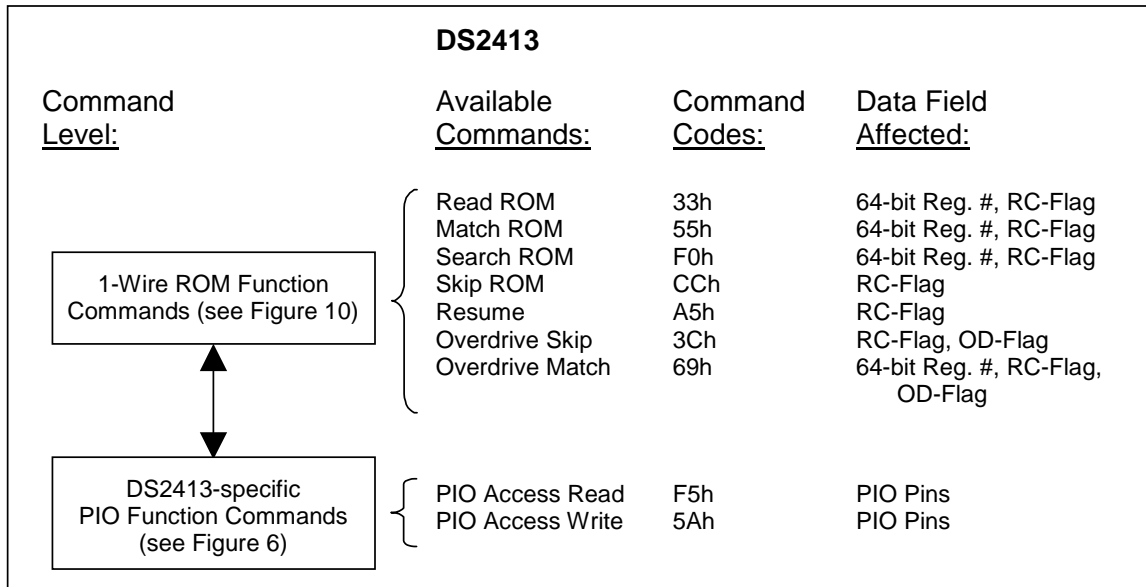


图 3. 64 位光刻 ROM

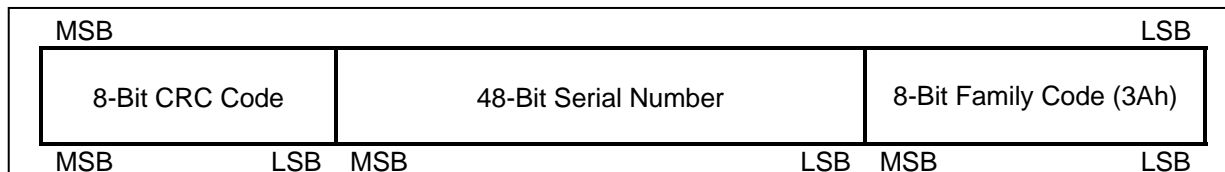
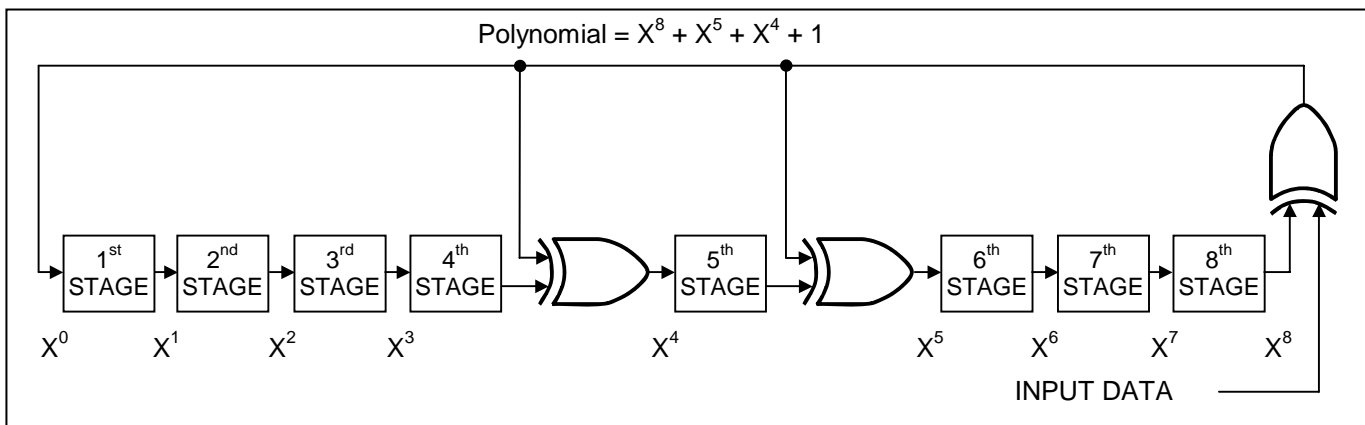


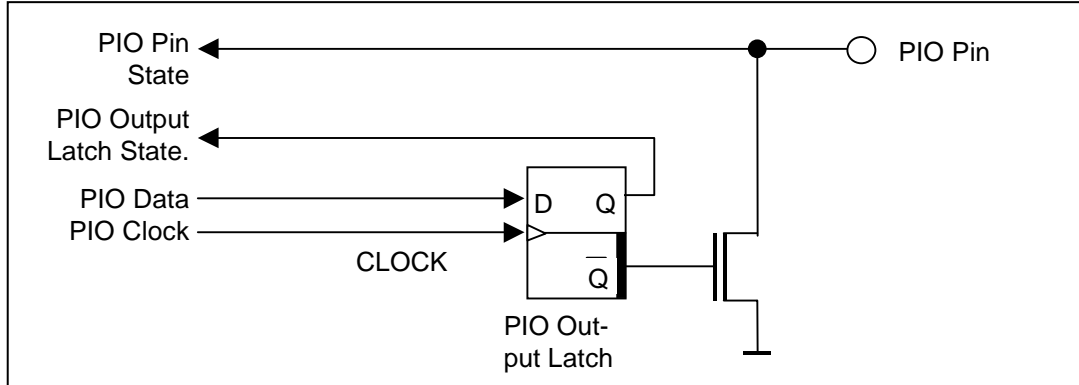
图 4. 1-Wire CRC 发生器



PIO 结构

每个 PIO 引脚都带有一个漏极开路下拉晶体管，可承受 28V 的电压。该晶体管由 PIO 输出锁存器控制，如图 5 所示。PIO 引脚通过 PIO 控制单元与 1-Wire 接口相连。

图 5. PIO 简化逻辑框图



PIO 功能命令

PIO 功能命令流程图（图 6）给出了访问 DS2413 的 PIO 引脚所需的协议。如何使用这些命令的实例请参见本文末。DS2413 可以采用两种速率与主机进行通信：标准速率（默认，OD = 0）和高速模式（OD = 1）。如果没有明确设置成高速模式，DS2413 将按照标准速率进行通信。

PIO Access Read [F5h]

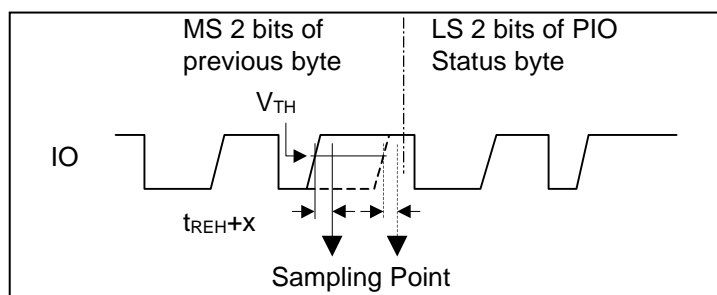
该命令用来读取 PIO 逻辑状态，并以无限循环方式将 PIO 引脚的状态与 PIO 输出锁存器的状态一起报告给主机。用 1-Wire 复位命令可随时中止 PIO Access Read 命令。

PIO 状态位分配

b7	b6	b5	b4	b3	b2	b1	b0
Complement of b3 to b0				PIOB Output Latch State	PIOB Pin State	PIOA Output Latch State	PIOA Pin State

DS2413 对两个 PIO 通道状态的采样是同时进行的，在收到命令码 F5h 的最后一位（最高有效位）后就开始第一次采样。PIO 状态随后被报告给主机。当主机收到 PIO 状态字节的最后一位（最高有效位）时，就继续进行下一次采样，依此类推，直到主机发出 1-Wire 复位命令。新的采样从前一字节 MS 位的上升沿之后 $t_{REH}+x$ 开始，如图 7 所示。“x” 的值约为 0.2μs。

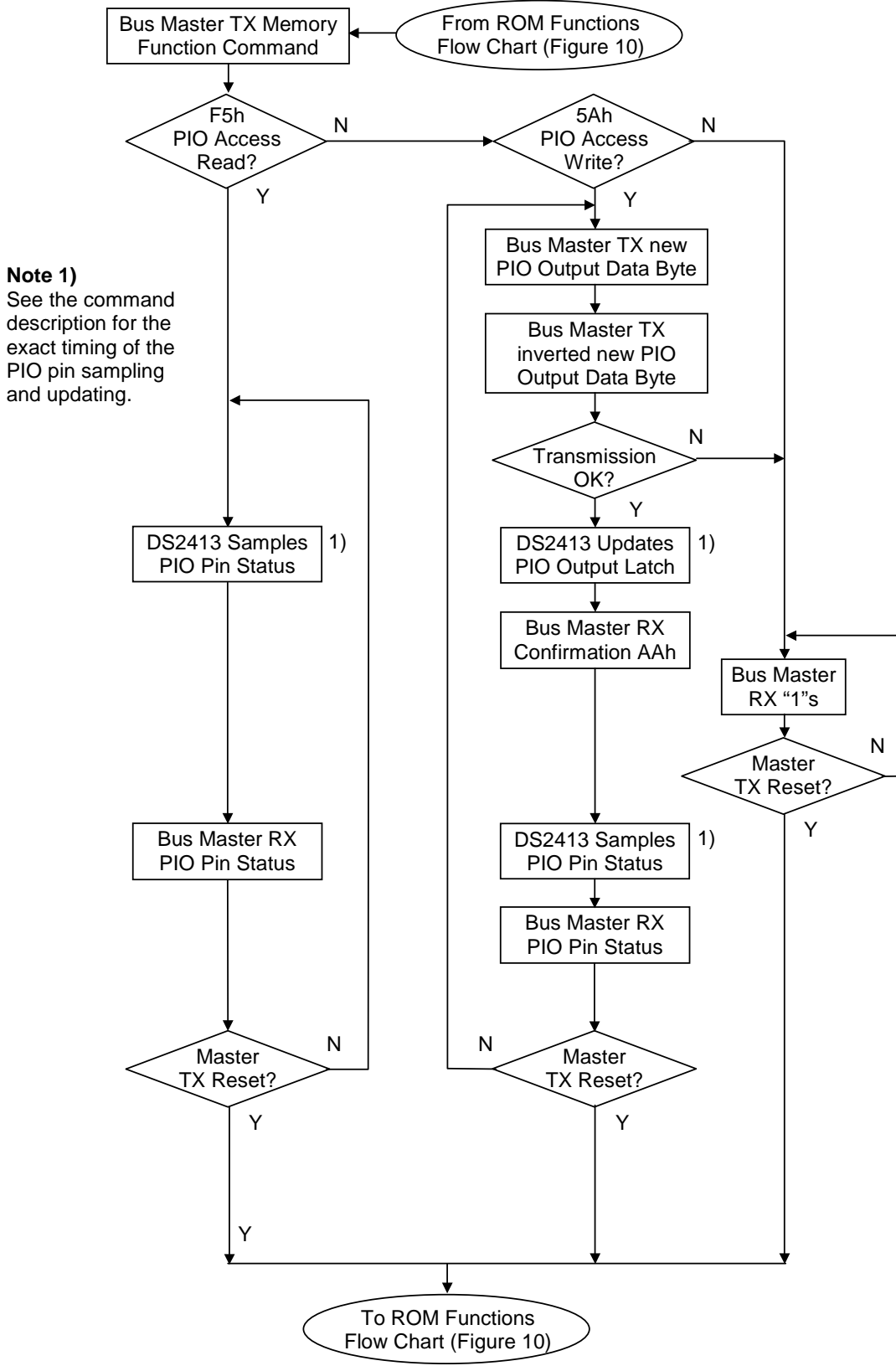
图 7. PIO Access Read 时序图



注释：

- 1 “previous byte” 可以是 PIO Access Read 命令代码、也可以是上一次 PIO 采样的数据字节。
- 2 该采样点的选择也适用于 PIO Access Write 命令，此时的“previous byte”指写确认字节(AAh)。

图 6. PIO 功能命令流程图



PIO Access Write [5Ah]

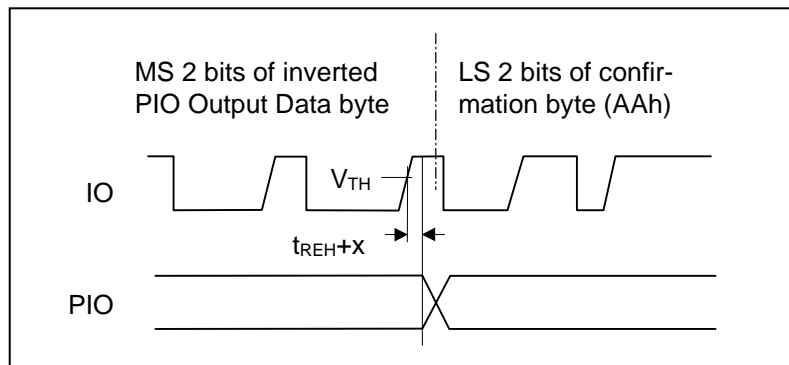
PIO Access Write命令用来向PIO输出锁存器写数据，该锁存器可控制PIO通道的下拉晶体管。主机可通过该命令先向PIO写入新数据，然后再回读PIO状态，这样一直循环下去。通过这种先写后读的方式可以使主机验证输出状态。通过1-Wire复位命令可随时终止PIO Access Write命令。

PIO 输出数据位分配

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X	X	X	X	PIOB	PIOA

主机发送完该命令码，随后发送一个决定PIO输出晶体管新状态的PIO输出数据字节，该字节的第一位（最低有效位）对应PIOA，下一位对应PIOB，其余6位没有所对应的PIO引脚，这些位始终为1。为使该晶体管导通，相应位需置为0；为使该输出晶体管关断（不导通），其相应位需置1。这样一来，代表新PIO输出状态的数据字节就以其原码形式出现在PIO引脚上。为避免数据传输中出现差错，主机必须再次发送新PIO输出数据字节的反码。只有当传输无差错时，PIO状态才会改变。实际上，PIO向新状态的过渡发生在取反后PIO字节MS位的上升沿之后 t_{REH+X} ，“x”的值约为 $0.2\mu\text{s}$ ，如图8所示。为把PIO状态成功转变的消息通知给主机，DS2413发送一个确认字节AAh。传送完确认字节的MS位后，DS2413对PIO引脚状态进行采样并将采样值发送给主机，如图7所示。根据数据需要，主机可以继续向PIO写入更多的数据，也可用1-Wire复位信号来结束该命令。

图 8. PIO Access Write 时序图



1-Wire 总线系统

1-Wire总线系统由一个总线主机和一个或多个从器件组成。在所有应用中，DS2413都作为从器件使用。通常总线主机是一个微控制器。关于1-Wire总线系统的讨论分为3个部分：硬件配置、处理流程和1-Wire信令(信号类型和时序)。1-Wire协议以特定时隙期间的总线状态来定义总线通信方式，该特定时隙起始于总线主机发出的同步脉冲的下降沿。

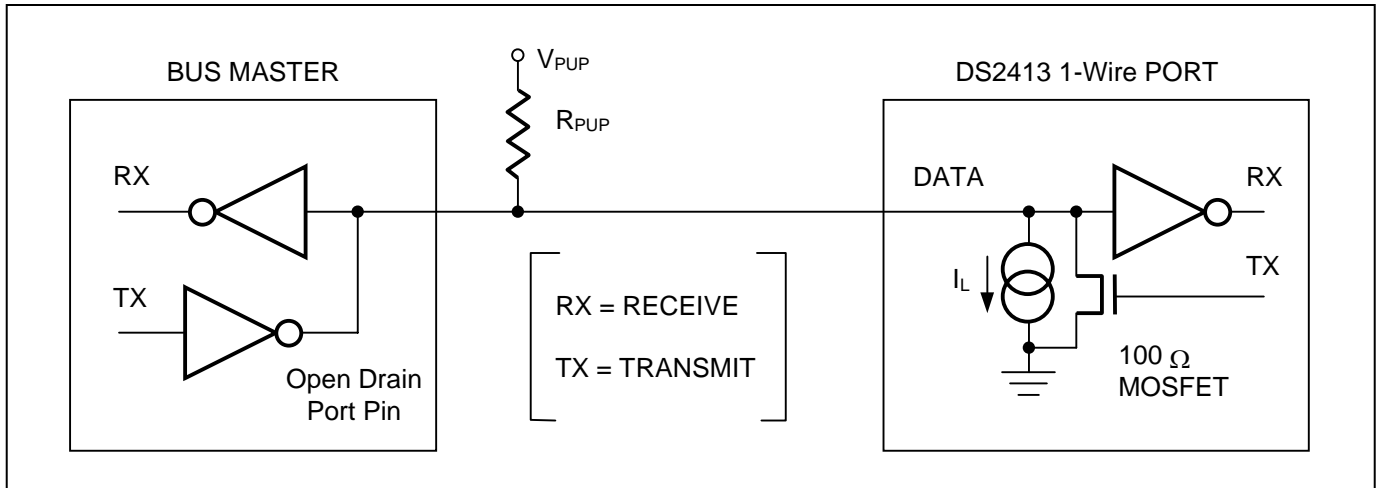
硬件配置

1-Wire总线系统仅定义了一根信号线，因此在合适的时间驱动总线上的各个器件是十分重要的。为使上述操作易于实现，接到1-Wire总线上的每个从器件的输出必须为漏极开路或三态输出。DS2413的1-Wire端口是漏极开路输出，其内部等效电路如图9所示。

多点总线系统由一根1-Wire总线和多个从器件组成。DS2413支持14.9kbps（最大）的标准通信速率和100kbps（最大）的高速通信速率。注意，传统1-Wire器件在标准速度模式和高速模式下的数据传输速度分别为16.3kbps和142kbps。上拉电阻的阻值主要取决于网络大小和负载条件。在任何速度模式下，DS2413都要求最大值为 $2.2\text{k}\Omega$ 的上拉电阻。

1-Wire 总线的空闲状态为高电平。如果由于某种原因需要暂停通信，且要求通信还能恢复时，必须将总线置于空闲状态。如果未置于空闲状态，且总线保持低电平的时间超过 $16\mu\text{s}$ （高速模式）或 $120\mu\text{s}$ （标准速率），总线上的所有从器件将被复位。

图 9. 硬件配置



处理流程

通过1-Wire 端口访问DS2413的协议如下：

- 初始化
- ROM 功能命令
- PIO 功能命令
- 数据

初始化

1-Wire总线上的所有数据传输均从初始化过程开始。初始化序列由主机发送的复位脉冲和从机发送的应答脉冲组成。应答脉冲用于通知总线主机从器件DS2413已挂接在总线上，并已准备就绪。详细内容，请参见1-Wire信令部分。

1-Wire ROM 功能命令

一旦总线主机检测到一个在线应答脉冲，就会发出DS2413所支持的7条ROM 功能命令中的一个。所有ROM 功能命令的长度都是8 位。下面列出了所有的ROM 命令(参考图10 的流程图)。

Read ROM [33h]

总线主机用该命令读取DS2413 的8 位家族码、唯一的48 位序列码和8 位CRC 码。该命令只适用于总线上只有一个从器件的情况。如果总线上连接了多个从器件，那么当所有从器件都试图在同一时刻发送数据时就会发生数据冲突(漏极开路产生“线与”结果)，最后导致从机读取的家族码和48 位序列码与CRC 码不匹配。

Match ROM [55h]

Match ROM 命令后紧接着64 位ROM 码，总线主机利用该命令可以访问多点总线上某个特定的DS2413。只有其内部ROM 码与主机发出的64 位ROM 码(包括外部地址)正确匹配的DS2413 才会响应随后的存储功能命令，而与64 位ROM 码不匹配的其它从器件均等待下一个复位脉冲。该命令适用于总线上有一个或多个从器件的情况。

Search ROM [F0h]

当系统启动初始化时，总线主机可能不知道1-Wire 总线上挂接从器件的数量，也不知道各个器件的ID码。利用总线的“线与”特性，总线主机可用排除法来确定所有从器件的ID码。为得到ID码的各个位，总线主机从注册码的最低有效位开始发送三个时隙。在第一个时隙中，参与查询的从器件输出自身器件ID码的真值。在第二个时隙中，参与查询的从器件输出其ID码的反码。第三个时隙中，由主机写入所选位的原码。所有与主机写入位不匹配的从器件都将不再参与搜索。如果主机读取到的从器件的原码和补码均为0，那么，总线主机将认为至少存在两个以上的从器件。选择将1或0写入从器件，总线主机的ROM码树就出现了分支。完成最低有效位到最高有效位的整个循环后，总线主机就得到了一个从器件的ID码。其余从器件的ID码可由另外的操作检测出来。更详细的有关Search ROM命令的介绍，请参阅*应用笔记187：1-Wire 搜索算法*，其中包括一个设计实例。由于当一个或多个地址输入与GND端相连时，DS2413的ROM CRC命令无效，因此建议创建1-Wire器件清单时进行两次搜索。

Skip ROM [CCh]

在单点总线系统中，总线主机可使用该命令直接访问PIO而不需要提供从器件的64位ROM码，从而节省时间。如果总线上挂接有多个从器件，并且在Skip ROM命令后紧接着发出一个Read命令，那么总线上的多个从器件就会同时传输数据，从而发生冲突（漏极开路下拉产生“线与”结果）。

Resume [A5h]

为了最大程度提高多点网络中的数据吞吐量，可以使用Resume命令。执行该操作时首先检查RC位的状态，如果RC标志为1，则直接传送PIO控制功能命令，类似于Skip ROM命令。将RC位置位的唯一方法是执行Match ROM、Search ROM或Overdrive Match ROM命令，一旦RC位为1，便可用Resume Command功能反复访问该器件。为了防止总线上的多个器件同时响应该Resume Command功能，当访问总线上的其它器件时将会清除RC位。

Overdrive Skip ROM [3Ch]

在单点总线中，总线主机可通过Overdrive Skip ROM命令在不知道从器件64位ROM码的情况下访问PIO，从而节省时间。与普通Skip ROM命令不同的是，Overdrive Skip ROM命令可将DS2413设置为高速模式（OD = 1）。执行了此命令后，所有通信将运行在高速模式下，直到主机发送一个最短持续时间为480μs的复位脉冲把总线上的所有从器件重新设置为标准速度（OD = 0）为止。

对于多点总线，Overdrive Skip ROM命令将会把所有支持高速模式的从器件设置为高速模式。随后，为了寻址到支持高速模式的特定器件，必须在高速模式下发出一个复位脉冲，然后发出Match ROM或Search ROM命令序列，这将加快搜索过程。如果总线上有多个支持高速模式的从器件，并且在Overdrive Skip ROM命令后跟随着一个Read命令，那么当多个从器件同时发送信号时，总线上就会发生数据冲突（漏极开路下拉产生一个“线与”结果）。

Overdrive Match ROM [69h]

主机发出Overdrive Match ROM命令之后、再以高速模式的速率发送64位ROM码，这使其可在多点总线上寻址到一个特定的DS2413，并同时将其设置为高速模式。只有内部ROM码与主机发出的64位ROM码匹配的DS2413才会响应随后的PIO功能命令。已经被前面的Overdrive Skip命令或Overdrive Match命令设为高速模式的从机将一直保持高速模式。所有支持高速模式的从机在持续时间最小为480μs的复位脉冲后回到标准速率。Overdrive Match ROM命令适用于单点或多点总线。

图 10-1. ROM 功能流程图

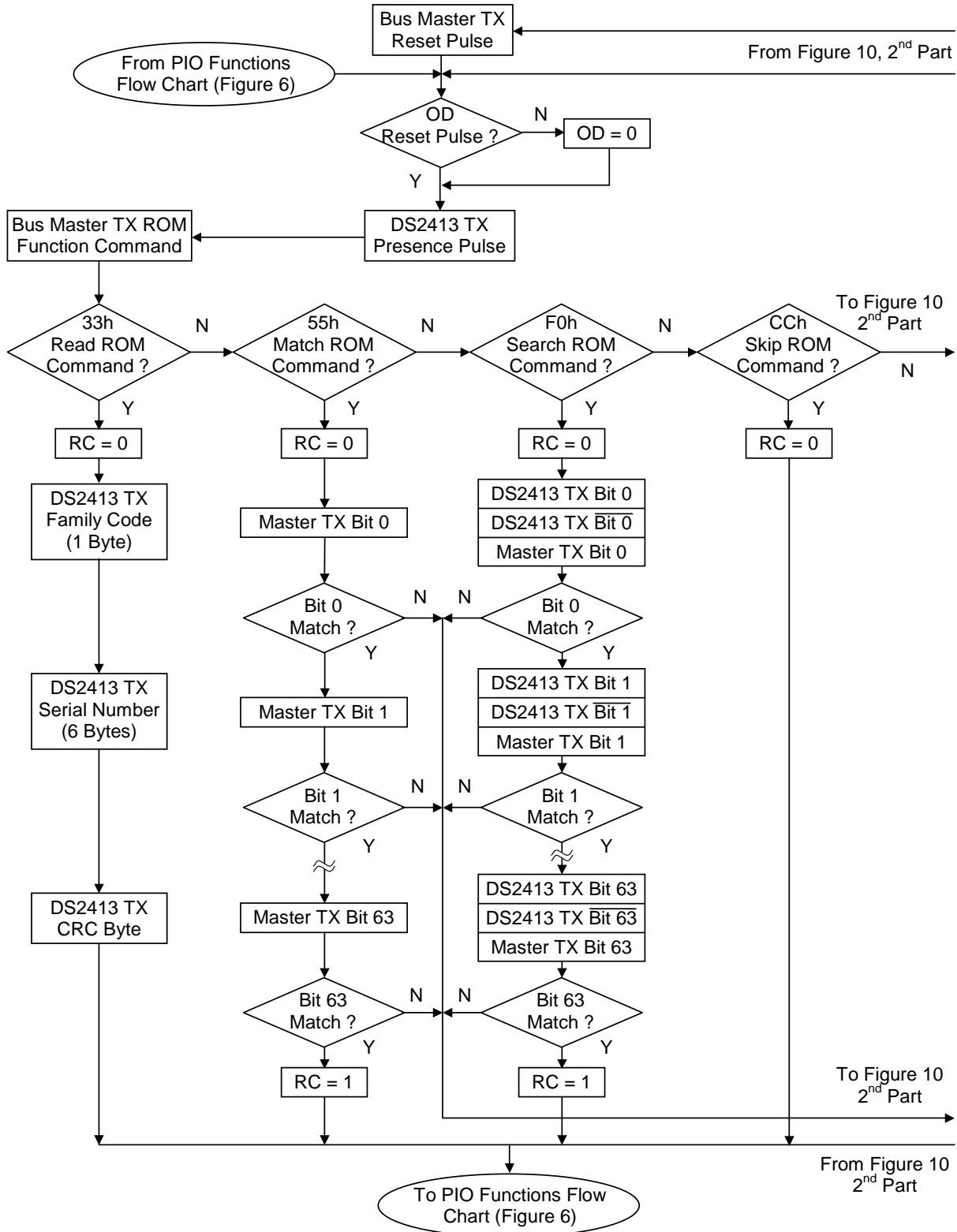
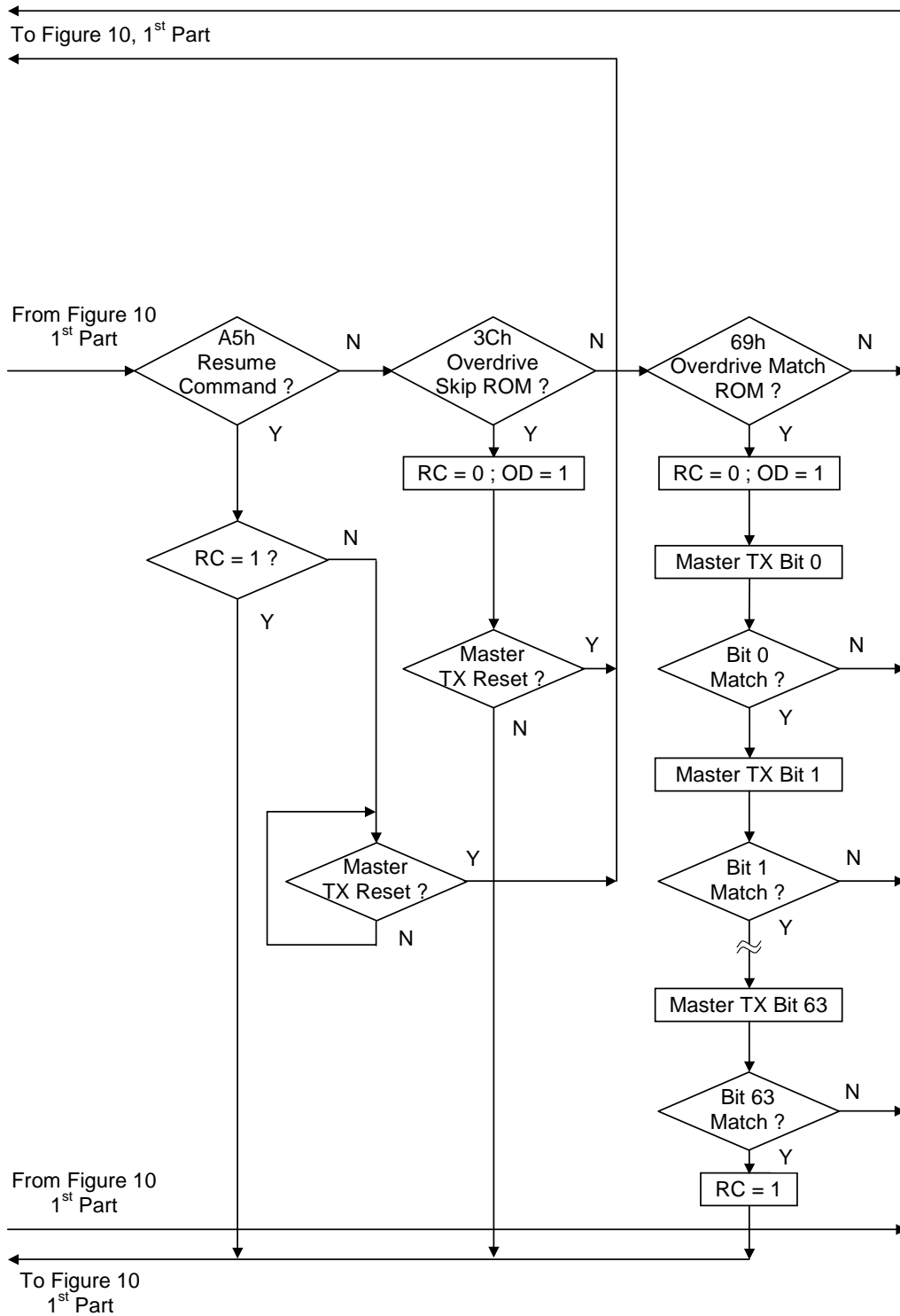


图 10-2. ROM 功能流程图 (续)



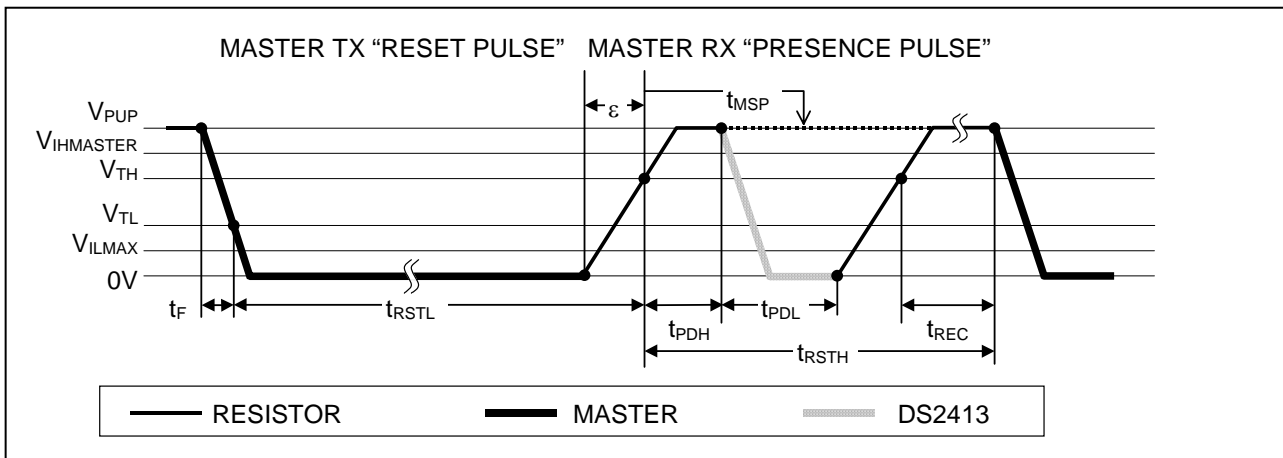
1-Wire 信令

DS2413需要严格的通信协议来保证数据的完整性。该协议在一根线上定义了四种类型的信号：由复位脉冲和在线应答脉冲组成的复位序列、写0、写1、读数据。除在线应答脉冲以外，其它所有下降沿信号都由总线主机发出。DS2413能以标准速度或高速两种模式通信。如果没有明确设为高速模式，DS2413会以标准速度进行通信。在高速模式下工作时，所有波形均采用快速定时。

要把器件从空闲状态激活，必须将1-Wire总线电压从 V_{PUP} 降至阈值电压 V_{TL} 以下；为了使器件从运行状态转入空闲状态，需将1-Wire总线电压从 V_{ILMAX} 升至阈值电压 V_{TH} 以上，如图11所示。电压上升所需的时间用“ ϵ ”表示，其值由上拉电阻(R_{PUP})和1-Wire网络的附加电容决定。系统逻辑电平与DS2413的 V_{ILMAX} 电压有关，但该电压并不触发任何事件。

DS2413通信时所需的初始化时序如图11所示。复位脉冲之后的应答脉冲表明DS2413已经准备好接收数据，主机可以发送正确的ROM命令和PIO功能命令。如果总线主机在下将沿采用摆率控制，则为了补偿边缘时间，必须将总线拉低并保持($t_{RSTL} + t_f$)的时间。若 t_{RSTL} 持续480 μs 或更长，会使器件退出高速模式返回到标准速度模式。若器件处于高速模式且 t_{RSTL} 小于80 μs ，DS2413复位后仍将保持高速模式。若器件处于高速模式且 t_{RSTL} 时长为80 μs 至480 μs ，DS2413将复位，但复位后的通信速度是不确定的。

图 11. 初始化序列: 复位和在线应答脉冲



总线主机释放数据线并进入接收模式后，1-Wire总线将通过上拉电阻或借助有源电路（DS2482-x00 或DS2480B驱动器）将电压拉至 V_{PUP} 。当总线电压超过阈值电压 V_{TH} 后，DS2413将等待 t_{PDH} 时间，然后将总线拉低并保持 t_{PDL} 的方式发送一个应答脉冲。为了检测在线应答脉冲，主机应该在 t_{MSP} 时刻对1-Wire总线的逻辑状态进行检测。

t_{RSTH} 的持续时间至少应为 t_{PDHMAX} 、 t_{PDLMAX} 和 t_{RECMIN} 之和。一旦 t_{RSTH} 时间结束，DS2413立即做好接收数据的准备。在多个从器件组成的多点网络中，标准速度下 t_{RSTH} 的持续时间至少应为480 μs ；高速模式下 t_{RSTH} 的持续时间至少应为48 μs ，这样才能适应大多数1-Wire器件的需要。

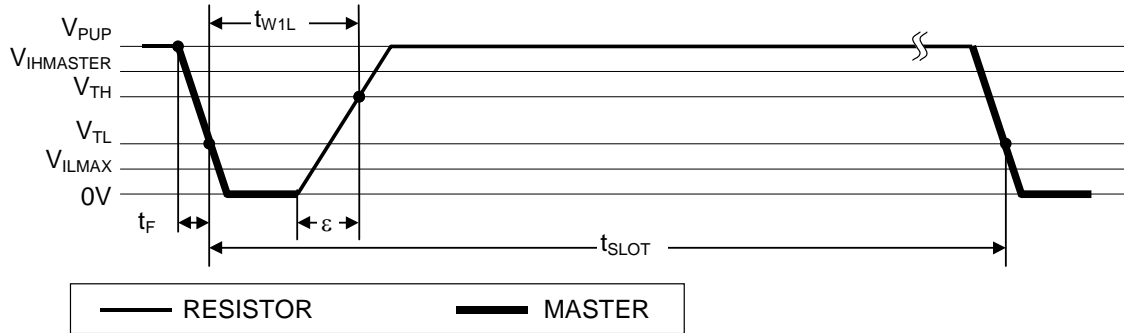
读/写时隙

主机与DS2413的数据通信是在一个个时隙内完成的，每个时隙只能传送一位数据。通过写时隙可把数据从主机传送给从器件，通过读时隙可把数据由从器件传送给主机。读/写时隙的定义如图12所示。

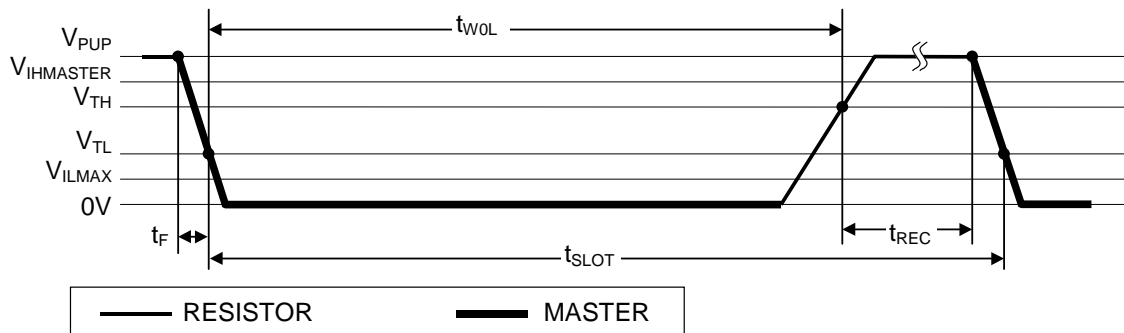
所有的通信都是从主机拉低数据线开始的。当1-Wire总线上的电压低于阈值电压 V_{TL} 时，DS2413 利用其内部时基来确定在写时隙期间何时对数据线进行采样，以及读时隙时数据有效时间的长短。

图 12. 读/写时隙图

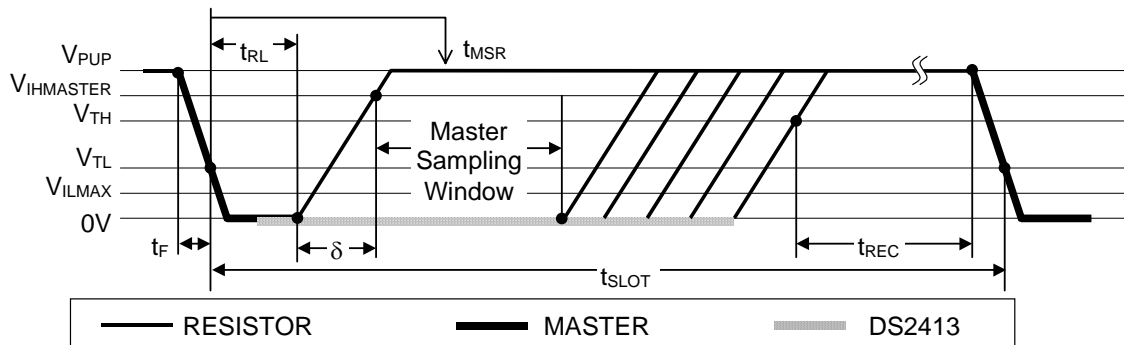
写 1 时隙



写 0 时隙



读数据时隙



主机到从机

对于写1时隙来说，在写1为低的时间 t_{W1LMAX} 结束之前，数据线上的电压必须高于阈值 V_{TH} 。对于写0时隙来说，在写0为低的时间 t_{W0LMIN} 结束以前，数据线上的电压必须低于阈值 V_{TH} 。为了实现最可靠的通信，在整个 t_{W0L} 到 t_{W1L} 持续时间内，数据线上的电压不能超过 V_{ILMAX} 。数据线上的电压超过 V_{TH} 后，DS2413需要一个恢复时间 t_{REC} 以便为下一个时隙做好准备。

从机到主机

读数据时隙在开始时与写1时隙相似。数据线上的电压在读低时间 t_{RL} 结束前必须保持低于 V_{TL} 。在 t_{RL} 窗口中，应答0时，便由DS2413继续把数据线拉低，其内部定时发生器决定何时结束下拉和电压再次升高。应答1时，DS2413并不保持数据线的低电平， t_{RL} 结束后，电平即开始上升。

主机的采样窗口（ t_{MSRMIN} 到 t_{MSRMAX} ）由 $t_{RL} + \delta$ （上升时间）和DS2413的内部定时发生器共同决定。在该窗口内，主机必须从数据线上读数据。为实现最可靠的通信， t_{RL} 应在允许范围内尽可能短，且主机应在接近但又不晚于 t_{MSRMAX} 的时间内进行取样。从数据线上读到数据后，主机必须等待直到 t_{SLOT} 结束，这样使DS2413有充足的恢复时间 t_{REC} ，以便为下面的时隙做好准备。注意，这里的 t_{REC} 仅适用于1-Wire总线上只挂接了一个DS2413时的情况。对于多个从器件的配置， t_{REC} 的值要求延长，以适应增加的1-Wire器件输入电容。另外，还可使用类似于DS2482-x00或DS2480B的1-Wire线驱动器，在1-Wire恢复时间内进行有源上拉。

改善网络性能 (切换点滞回)

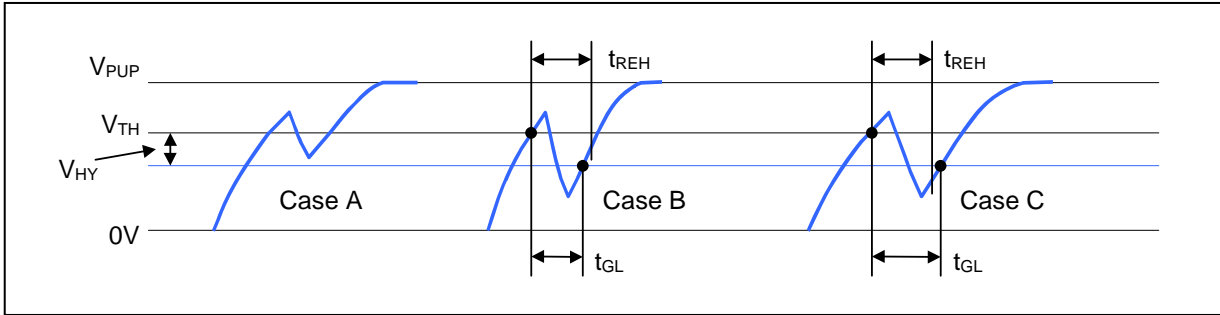
在1-Wire系统中，仅主机（1-Wire驱动器）在信号瞬变期间进行控制才可能实现线路终端匹配，因此，1-Wire网络很容易受到其它噪声的影响。根据网络的物理形状大小和拓扑结构的不同，从端到分支点的反射可能会在一定程度上相互叠加或抵消。如同1-Wire通信线路上的毛刺或振荡一样，这样的反射也是不容忽视的。从外部源耦合到1-Wire线路上的噪声也产生信号毛刺。时隙上升沿时出现的毛刺可能会引起从器件与主机不同步，结果会造成Search ROM命令无效，或导致器件级命令被忽略。为提高网络性能，DS2413采用了一种新型的1-Wire前端，它对噪声的免疫力更强，可以降低从器件引入的噪声的幅度。

DS2413的1-Wire前端较之传统从器件的前端有以下四点不同：

- 1) 在线应答脉冲的下降沿斜率是受控制的，这样提供了比数字开关晶体管更好的传输线阻抗匹配，将来自传统器件的高频振荡转换为更平滑的低频瞬变。限斜率控制由参数 t_{FPD} 指定，只是针对标准速度和高速模式，具有不同的取值。
- 2) 在这个改进的前端电路中增加了一个低通滤波器，用于检测时隙开始时的下降沿，可降低器件对高频噪声的敏感度。这个滤波器在高速工作时不起作用。
- 3) 输入缓冲器具有一定的滞回，这样当有一个负毛刺的电压低于 V_{TH} ，但不低于 $V_{TH} - V_{HY}$ 时，就不会判定为负脉冲（见图13中的Case A）。滞回在任何1-Wire速率下均起作用。
- 4) 该系统设计了一个上升沿拖尾时间 t_{REH} 定义的时间窗口，在这个窗口内，即使毛刺电压低于门限 $V_{TH} - V_{HY}$ （图13中的Case B， $t_{GL} < t_{REH}$ ），仍然会被忽略。如果超过这个时间窗口，且毛刺电压或电压低于 V_{TH} 门限，则滤波器就不能滤除这些噪声，将被主机误认为新时隙的开始（见图13中的，Case C， $t_{GL} \geq t_{REH}$ ）。

只有在电气特性中对参数 t_{FPD} 、 V_{HY} 及 t_{REH} 做了定义的从器件采用这种改进的1-Wire前端。

图 13. 噪声抑制示意图



特殊命令的 1-Wire 通信协议—符号表

符号	说明
RST	主机产生 1-Wire 复位脉冲。
PD	从机产生 1-Wire 在线应答脉冲。
Select	满足 ROM 功能协议的命令和数据。
PIOR	命令“PIO Access Read”。
PIOW	命令“PIO Access Write”。
FF loop	在不确定循环状态, 主机读入 FF 字节。

特殊命令的 1-Wire 通信协议—色码

主机到从机	从机到主机
-------	-------

PIO Access Read (不能失败)

RST	PD	Select	PIOR	<PIO Status Byte>
-----	----	--------	------	-------------------

连续操作直到主机发送复位脉冲

PIO Access Write (成功)

RST	PD	Select	PIOW	<PIO Output data>	<PIO Output data>	<AAh>	<PIO Status Byte>
-----	----	--------	------	-------------------	-------------------	-------	-------------------

连续循环直到主机发送复位脉冲

PIO Access Write (无效数据字节)

RST	PD	Select	PIOW	<PIO Output data>	<invalid data byte>	FF loop
-----	----	--------	------	-------------------	---------------------	---------

PIO Access Read 命令示例

三次读入PIO状态。

在总线主机只连接了一片DS2413 情况下，通信过程如下：

主机模式	数据 (LSB 在前)	注释
TX	(复位)	复位脉冲
RX	(在线应答)	在线应答脉冲
TX	CCh	发出“Skip ROM”命令
TX	F5h	发出“PIO Access Read”命令
RX	<3 个数据字节>	对 PIO 状态进行三次读取
TX	(复位)	复位脉冲
RX	(在线应答)	在线应答脉冲

PIO Access Write 命令示例

先将两个PIO置为0，然后再置为1。这两个PIO被电阻拉高至 V_{CC} 或 V_{PUP} 。

当总线主机只连接了一片DS2413 时，通信过程如下：

从机模式	数据 (LSB 在前)	注释
TX	(复位)	复位脉冲
RX	(在线应答)	在线应答脉冲
TX	CCh	发出“Skip ROM”命令
TX	5Ah	发出“PIO Access Write”命令
TX	FCh	写入新的PIO 输出状态
TX	03h	写入新的反向PIO 输出状态
RX	AAh	读确认字节
RX	F0h	读新的PIO 引脚状态
TX	FDh	写入新的PIO 输出状态
TX	02h	写入新的反向PIO 输出状态
RX	AAh	读确认字节
RX	C3h	读新的 PIO 引脚状态
TX	(复位)	复位脉冲
RX	(在线应答)	在线应答脉冲

注：通常情况下，PIO 引脚状态和 PIO 输出锁存状态是相同的。从 PIO 中读数据时，PIO 输出锁存需置为 1。如果随后 PIO 引脚被开关或外部电路拉低，则 PIO 输出锁存状态和 PIO 引脚状态是不同的。

封装信息

(本数据资料的封装图未能反映最新的封装信息，有关封装的最新资料，请访问www.maxim-ic.com.cn/DallasPackInfo)。