

1024位EEPROM iButton

DS1972

概述

DS1972是一款1024位的1-Wire® EEPROM芯片，存储器分为四个页面，每页256位，采用坚固的iButton®封装。数据先被写入一个8字节暂存器，经校验后复制到EEPROM存储器。该器件的特点是四个存储页面相互独立，可以单独进行写保护或置于EPROM仿真模式，在该模式下，所有位的状态只能从1变成0。DS1972通过一条1-Wire总线进行通信，采用标准的1-Wire协议。每个器件都有不能更改的、唯一的64位ROM注册码，由工厂光刻写入芯片。在一个多节点1-Wire网络环境下，该注册码可以用作器件地址。

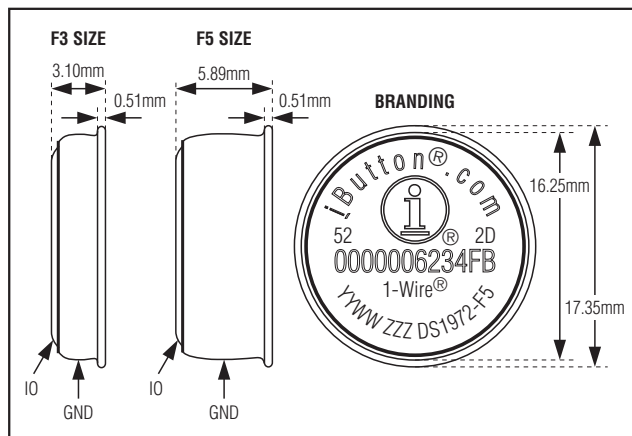
应用

门禁控制/停车计费表
 工作流程跟踪
 工具管理
 库存控制
 保持/监测数据存储

附件示例

PART	ACCESSORY
DS9096P	Self-Stick Adhesive Pad
DS9101	Multipurpose Clip
DS9093RA	Mounting Lock Ring
DS9093A	Snap-In Fob
DS9092	iButton Probe

引脚配置



1-Wire和iButton是Maxim Integrated Products, Inc.的注册商标。

特性

- ◆ 1024位EEPROM存储器，分成四个页面，每页256位
- ◆ 独立的存储页面，可以被永久写保护或置于EPROM仿真模式(“改写为0”)
- ◆ 切换点滞回与滤波可以优化噪声指标
- ◆ IEC 1000-4-2 4级ESD保护(±8kV接触放电、±15kV气隙放电模式，典型值)
- ◆ -40°C至+85°C温度范围内，可在2.8V至5.25V工作电压下进行读、写操作
- ◆ 按照1-Wire协议，以15.4kbps或125kbps速率通过一条数字信号线与主机通信

iButton共性

- ◆ 唯一的、由工厂光刻的64位注册码，没有任何两个器件的注册码是相同的，保证了器件的无差错选择以及绝对可溯性
- ◆ 内置的多节点控制器实现1-Wire网络
- ◆ 基于芯片的数据载体存储数字标识和信息，采用坚固的不锈钢封装
- ◆ 附着到目标物体上后仍可存取数据
- ◆ 纽扣外形使其可以自动对准杯状探头
- ◆ 安装时可以很容易地用自粘胶粘贴背面、固定其翻边，或嵌装其环箍
- ◆ 读取器首次上电时进行在线检测应答

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS1972-F5+	-40°C to +85°C	F5 iButton
DS1972-F3+	-40°C to +85°C	F3 iButton

+表示无铅(Pb)/符合RoHS标准的封装。

1024位EEPROM iButton

ABSOLUTE MAXIMUM RATINGS

IO Voltage Range to GND-0.5V to +6V
 IO Sink Current20mA
 Operating Temperature Range-40°C to +85°C

Junction Temperature+150°C
 Storage Temperature Range-55°C to +125°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IO PIN: GENERAL DATA						
1-Wire Pullup Voltage	V_{PUP}	(Note 2)	2.8		5.25	V
1-Wire Pullup Resistance	R_{PUP}	(Notes 2, 3)	0.3		2.2	$k\Omega$
Input Capacitance	C_{IO}	(Notes 4, 5)			1000	pF
Input Load Current	I_L	IO pin at V_{PUP}	0.05		6.7	μA
High-to-Low Switching Threshold	V_{TL}	(Notes 5, 6, 7)	0.5		$V_{PUP} - 1.8$	V
Input Low Voltage	V_{IL}	(Notes 2, 8)			0.5	V
Low-to-High Switching Threshold	V_{TH}	(Notes 5, 6, 9)	1.0		$V_{PUP} - 1.0$	V
Switching Hysteresis	V_{HY}	(Notes 5, 6, 10)	0.21		1.70	V
Output Low Voltage	V_{OL}	At 4mA (Note 11)			0.4	V
Recovery Time (Notes 2, 12)	t_{REC}	Standard speed, $R_{PUP} = 2.2k\Omega$	5			μs
		Overdrive speed, $R_{PUP} = 2.2k\Omega$	2			
		Overdrive speed, directly prior to reset pulse; $R_{PUP} = 2.2k\Omega$	5			
Rising-Edge Hold-Off Time (Notes 5, 13)	t_{REH}	Standard speed	0.5		5.0	μs
		Overdrive speed	Not applicable (0)			
Time Slot Duration (Notes 2, 14)	t_{SLOT}	Standard speed	65			μs
		Overdrive speed	8			
IO PIN: 1-Wire RESET, PRESENCE-DETECT CYCLE						
Reset Low Time (Note 2)	t_{RSTL}	Standard speed	480		640	μs
		Overdrive speed	48		80	
Presence-Detect High Time	t_{PDH}	Standard speed	15		60	μs
		Overdrive speed	2		6	
Presence-Detect Low Time	t_{PDL}	Standard speed	60		240	μs
		Overdrive speed	8		24	
Presence-Detect Sample Time (Notes 2, 15)	t_{MSP}	Standard speed	60		75	μs
		Overdrive speed	6		10	

1024位EEPROM iButton

DS1972

ELECTRICAL CHARACTERISTICS (continued)

(T_A = -40°C to +85°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IO PIN: 1-Wire WRITE						
Write-Zero Low Time (Notes 2, 16, 17)	t _{WOL}	Standard speed	60		120	μs
		Overdrive speed, V _{PUP} > 4.5V	5		15.5	
		Overdrive speed	6		15.5	
Write-One Low Time (Notes 2, 17)	t _{W1L}	Standard speed	1		15	μs
		Overdrive speed	1		2	
IO PIN: 1-Wire READ						
Read Low Time (Notes 2, 18)	t _{RL}	Standard speed	5		15 - δ	μs
		Overdrive speed	1		2 - δ	
Read Sample Time (Notes 2, 18)	t _{MSR}	Standard speed	t _{RL} + δ		15	μs
		Overdrive speed	t _{RL} + δ		2	
EEPROM						
Programming Current	I _{PROG}	(Notes 5, 19)			0.8	mA
Programming Time	t _{PROG}	(Note 20)			10	ms
Write/Erase Cycles (Endurance) (Notes 21, 22)	N _{CY}	At +25°C	200k			—
		At +85°C (worst case)	50k			
Data Retention (Notes 23, 24, 25)	t _{DR}	At +85°C (worst case)	40			Years

Note 1: Specifications at T_A = -40°C are guaranteed by design only and not production tested.

Note 2: System requirement.

Note 3: Maximum allowable pullup resistance is a function of the number of 1-Wire devices in the system and 1-Wire recovery times. The specified value here applies to systems with only one device and with the minimum 1-Wire recovery times. For more heavily loaded systems, an active pullup such as that found in the DS2482-x00, DS2480B, or DS2490 may be required.

Note 4: Maximum value represents the internal parasite capacitance when V_{PUP} is first applied. If a 2.2kΩ resistor is used to pull up the data line, 2.5μs after V_{PUP} has been applied, the parasite capacitance does not affect normal communications.

Note 5: Guaranteed by design, characterization, and/or simulation only. Not production tested.

Note 6: V_{TL}, V_{TH}, and V_{HY} are a function of the internal supply voltage, which is a function of V_{PUP}, R_{PUP}, 1-Wire timing, and capacitive loading on IO. Lower V_{PUP}, higher R_{PUP}, shorter t_{REC}, and heavier capacitive loading all lead to lower values of V_{TL}, V_{TH}, and V_{HY}.

Note 7: Voltage below which, during a falling edge on IO, a logic 0 is detected.

Note 8: The voltage on IO must be less than or equal to V_{ILMAX} at all times the master is driving IO to a logic 0 level.

Note 9: Voltage above which, during a rising edge on IO, a logic 1 is detected.

Note 10: After V_{TH} is crossed during a rising edge on IO, the voltage on IO must drop by at least V_{HY} to be detected as logic 0.

Note 11: The I-V characteristic is linear for voltages less than 1V.

Note 12: Applies to a single device attached to a 1-Wire line.

Note 13: The earliest recognition of a negative edge is possible at t_{REH} after V_{TH} has been reached on the preceding rising edge.

Note 14: Defines maximum possible bit rate. Equal to t_{WOLMIN} + t_{RECMIN}.

Note 15: Interval after t_{RSTL} during which a bus master is guaranteed to sample a logic 0 on IO if there is a DS1972 present. Minimum limit is t_{PDHMAX}; maximum limit is t_{PDHMIN} + t_{PDLMIN}.

Note 16: Numbers in **bold** are **not** in compliance with legacy 1-Wire product standards. See the *Comparison Table*.

Note 17: ε in Figure 11 represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to V_{TH}. The actual maximum duration for the master to pull the line low is t_{W1LMAX} + t_F - ε and t_{WOLMAX} + t_F - ε, respectively.

Note 18: δ in Figure 11 represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to the input-high threshold of the bus master. The actual maximum duration for the master to pull the line low is t_{RLMAX} + t_F.

Note 19: Current drawn from IO during the EEPROM programming interval. The pullup circuit on IO during the programming interval should be such that the voltage at IO is greater than or equal to V_{PUPMIN}. If V_{PUP} in the system is close to V_{PUPMIN}, a low-impedance bypass of R_{PUP}, which can be activated during programming, may need to be added.

1024位EEPROM iButton

- Note 20:** Interval begins t_{REHMAX} after the trailing rising edge on IO for the last time slot of the E/S byte for a valid Copy Scratchpad sequence. Interval ends once the device's self-timed EEPROM programming cycle is complete and the current drawn by the device has returned from I_{PROG} to I_L.
- Note 21:** Write-cycle endurance is degraded as T_A increases.
- Note 22:** Not 100% production tested; guaranteed by reliability monitor sampling.
- Note 23:** Data retention is degraded as T_A increases.
- Note 24:** Guaranteed by 100% production test at elevated temperature for a shorter time; equivalence of this production test to the data sheet limit at operating temperature range is established by reliability testing.
- Note 25:** EEPROM writes can become nonfunctional after the data-retention time is exceeded. Long-term storage at elevated temperatures is not recommended; the device can lose its write capability after 10 years at +125°C or 40 years at +85°C.

COMPARISON TABLE

PARAMETER	LEGACY VALUES				DS1972 VALUES			
	STANDARD SPEED (μ s)		OVERDRIVE SPEED (μ s)		STANDARD SPEED (μ s)		OVERDRIVE SPEED (μ s)	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t _{SLOT} (including t _{REC})	61	(undefined)	7	(undefined)	65*	(undefined)	8*	(undefined)
t _{RSTL}	480	(undefined)	48	80	480	640	48	80
t _{PDH}	15	60	2	6	15	60	2	6
t _{PDL}	60	240	8	24	60	240	8	24
t _{WOL}	60	120	6	16	60	120	6	15.5

*有意进行的修改；由于更改了1-Wire前端，需要更长的恢复时间。

注：粗体数据不符合传统1-Wire产品规格。

1024位EEPROM iButton

DS1972

详细说明

DS1972在坚固的iButton封装内包含了1024位的EEPROM、8字节寄存器/控制页(用户最多可读/写7个字节)以及全功能1-Wire接口。每片DS1972出厂时都带有激光刻入的64位ROM注册码,以保证其唯一识别性和绝对可溯性。数据按照1-Wire协议串行传输,只需要一条数据线和返回地线。DS1972有一个称为暂存器的附加存储区,在向主存储器或寄存器页写入数据时用作缓存器。数据首先被写入暂存器,并可从这里回读。数据经过校验无误后, Copy Scratchpad命令将数据传送到最终存储器单元。DS1972的应用包括门禁控制/停车计费表、工作流程跟踪、工具管理、库存控制和保持/监测数据存储。用于和DS1972通信的软件可从下列链接免费下载: china.maxim-ic.com/ibutton。

概述

图1所示的方框图说明了DS1972主控单元与存储器部分的关系。DS1972包括四个主要数据部件: 64位光刻ROM、64位暂存器、四个32字节EEPROM页以及一个64位寄存器页。

1-Wire协议的层次结构如图2所示,主机必须首先发送如下七条ROM功能命令中的一条: Read ROM、Match ROM、Search ROM、Skip ROM、Resume、Overdrive-Skip ROM或Overdrive-Match ROM。在按照标准速率执行完成Overdrive-Skip ROM或Overdrive-Match ROM命令字节后,器件进入过驱动模式,随后的通信采用更高速率进行。与ROM功能命令有关的协议说明见图9。成功地执行了ROM功能命

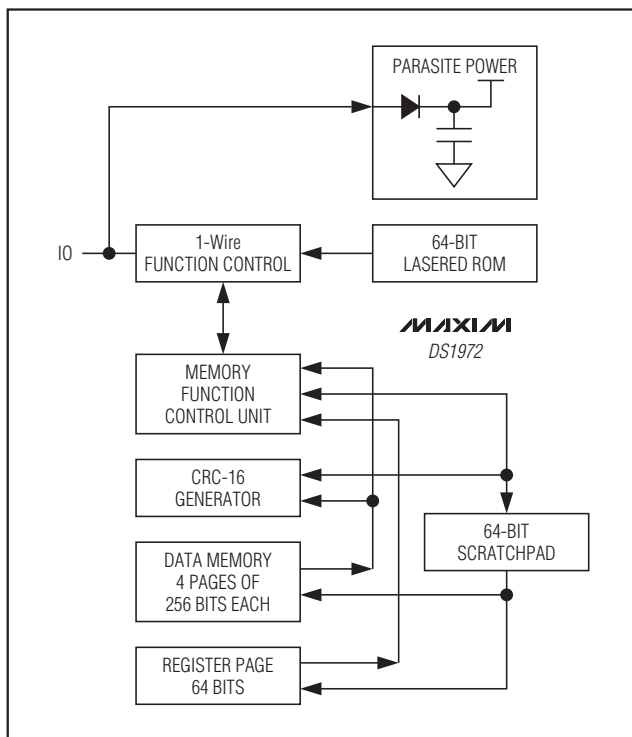


图1. 方框图

令后,就可以进行存储器操作,主机可发出四条存储器功能命令中的任一条。与存储器功能命令有关的协议说明见图7。所有数据读写时,都是低位在前。

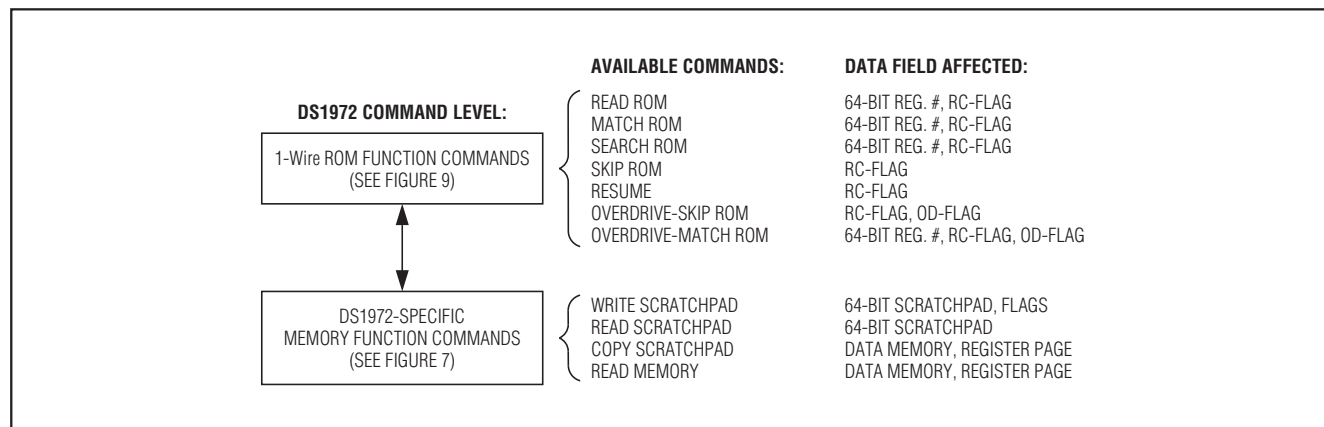


图2. 1-Wire协议层结构

1024位EEPROM iButton

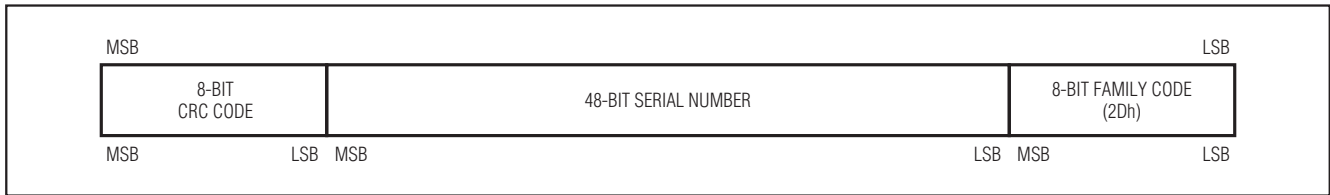


图3. 64位光刻ROM

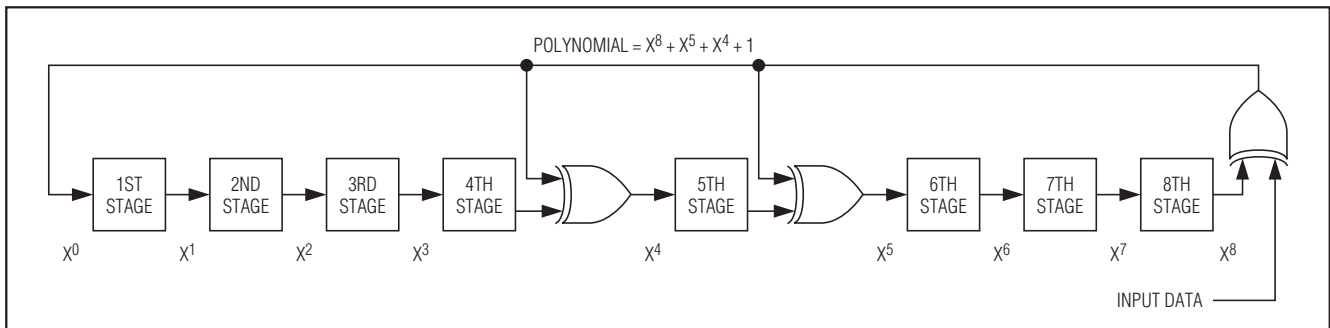


图4. 1-Wire CRC发生器

64位光刻ROM

每个DS1972都有一个唯一的64位ROM码，其中前8位是1-Wire家族码，中间48位是唯一的序列号，最后8位是前56位的循环冗余校验(CRC)码，详见图3所示。1-Wire CRC校验码通过一个包括移位寄存器和XOR门的多项式发生器产生，如图4所示。该多项式为： $X^8 + X^5 + X^4 + 1$ 。有关1-Wire CRC校验码的更多信息请参考应用笔记27：理解和运用Maxim iButton产品中的循环冗余校验(CRC)。

移位寄存器初始化时被清0。然后从家族码的最低有效位开始，每次移入一位。当家族码的第8位被移入后，再移入序列号。当序列号的最后一位也被移入时，移位寄存器的值即为CRC码的值。继续移入8位CRC码后，移位寄存器所有位归0。

1024位EEPROM iButton

存储器访问

数据存储器和寄存器位于一个线性地址空间，如图5所示。数据存储器和寄存器对读操作没有限制。DS1972的EEPROM阵列共有18行，每行8字节。前16行被等分为4个存储器页(每页32字节)，这4页为主数据存储器，可以通过设置寄存器行中相应的保护字节将每一页单独设置成开放(无保护)、写保护或EPROM模式。最后两行包括保护寄存器和保留字节。寄存器行包括4个保护控制字节、1个复制保护字节、1个工厂预置字节和2个用户字节/厂商ID字节。厂商ID可以是客户提供的标识码，用于帮助应

用软件识别与DS1972有关的产品。如需设置并注册定制的厂商ID，请与工厂联系。最后一行为将来的应用所保留，没有定义R/W功能，不能使用这些操作。

除EEPROM主阵列外，还包含一个8字节易失暂存器。向EEPROM阵列写入数据包括两个步骤。首先，数据先写到暂存器，然后被复制到主阵列。这就允许用户在将数据复制到主阵列前先对写入暂存器的数据进行校验。器件仅支持整行(8字节)复制操作。为保证暂存器中用于复制操作的数据有效，Write Scratchpad命令提供的地址必须开始于一行的边界处，而且暂存器必须写入8个完整的字节。

ADDRESS RANGE	TYPE	DESCRIPTION	PROTECTION CODES
0000h to 001Fh	R/(W)	Data Memory Page 0	—
0020h to 003Fh	R/(W)	Data Memory Page 1	—
0040h to 005Fh	R/(W)	Data Memory Page 2	—
0060h to 007Fh	R/(W)	Data Memory Page 3	—
0080h*	R/(W)	Protection-Control Byte Page 0	55h: Write Protect P0; AAh: EPROM Mode P0; 55h or AAh: Write Protect 80h
0081h*	R/(W)	Protection-Control Byte Page 1	55h: Write Protect P1; AAh: EPROM Mode P1; 55h or AAh: Write Protect 81h
0082h*	R/(W)	Protection-Control Byte Page 2	55h: Write Protect P2; AAh: EPROM Mode P2; 55h or AAh: Write Protect 82h
0083h*	R/(W)	Protection-Control Byte Page 3	55h: Write Protect P3; AAh: EPROM Mode P3; 55h or AAh: Write Protect 83h
0084h*	R/(W)	Copy Protection Byte	55h or AAh: Copy Protect 0080h:008Fh, and Any Write-Protected Pages
0085h	R	Factory Byte. Set at Factory.	AAh: Write Protect 85h, 86h, 87h; 55h: Write Protect 85h; Unprotect 86h, 87h
0086h	R/(W)	User Byte/Manufacturer ID	—
0087h	R/(W)	User Byte/Manufacturer ID	—
0088h to 008Fh	—	Reserved	—

*一旦编程为AAh或55h后，该地址变为只读。可保存其它所有代码，但地址写保护以及任何激活功能除外。

图5. 存储器映射

1024位EEPROM iButton

保护控制寄存器决定执行Write Scratchpad命令时输入数据如何被加载到暂存器。保护控制寄存器设置为55h (写保护)时, 输入的数据被忽略, 位于目标地址的主存储器数据被加载到暂存器。保护控制寄存器设置为AAh (EPROM模式)时, 输入数据与目标地址的主存储器数据进行逻辑与, 计算结果被加载到暂存器。保护控制寄存器的其它任意设置值使相关存储器页处于不限制写操作的开放状态。保护控制字节设置成55h或AAh时, 该字节自身也受写保护。保护控制字节设置成55h时并不阻止复制操作。这就允许被写保护的数据在器件内部进行刷新(即用当前数据重新编程)。

复制保护字节用于更高的安全级别, 仅应在其它所有保护控制字节、用户字节和写保护页被设置成最终值后才被使用。如果复制保护字节置为55h或AAh, 将阻止所有试图向寄存器行和用户字节行复制的操作。此外, 所有试图向写保护的主存储器页复制的操作(即刷新)也被阻止。

地址寄存器和传输状态

DS1972使用3个地址寄存器: TA1、TA2以及E/S (图6)。这些寄存器在许多其它1-Wire器件中都 very 常见, 但用法与DS1972略有不同。寄存器TA1和TA2必须加载进行数据写入或读出的目标地址。寄存器E/S是一个只读的传输状态

寄存器, 用来校验写操作命令的数据完整性。E/S的E[2:0]位加载Write Scratchpad命令所输入的T[2:0]位, 每输入一个数据字节加1。这实际上是一个8字节暂存器内部的字节结束偏移计数器。E/S寄存器的第5位, 称作PF, 如果暂存器数据因掉电而无效或主机发送的数据字节未能按要求填满整个暂存器, 则该位被置为逻辑1。为了使写入暂存器数据有效, T[2:0]位必须为0, 而且主机必须发送8个数据字节。第3、4、6位没有定义功能, 其读数总为0。E/S寄存器的最高位, 称为授权许可(AA), 作为指示暂存器数据已被复制到目标存储器地址的标志位, 向暂存器中写入数据将清除此标志位。

带校验的写操作

向DS1972写入数据时, 必须把暂存器用作中间存储器, 首先主机发送Write Scratchpad命令并指定目标地址, 随后发送要写入暂存器的数据。注意Copy Scratchpad命令必须在达到8字节边界时执行, 即目标地址的低3位(T2、T1、T0)必须等于000b。如果T[2:0]是非0值, 复制命令将被中止。在一定条件下(见Write Scratchpad [0Fh]部分), 主机将在Write Scratchpad命令序列末尾接收到一个命令、地址(实际发送的地址)和数据的反码CRC-16校验码。收到该CRC校验码后, 主机将其与自己的计算结果进行比较, 判

	BIT #	7	6	5	4	3	2	1	0
TARGET ADDRESS (TA1)		T7	T6	T5	T4	T3	T2	T1	T0
TARGET ADDRESS (TA2)		T15	T14	T13	T12	T11	T10	T9	T8
ENDING ADDRESS WITH DATA STATUS (E/S) (READ ONLY)		AA	0	PF	0	0	E2	E1	E0

图6. 地址寄存器

1024位EEPROM iButton

断通信是否成功，并决定是否继续执行Copy Scratchpad命令。如果主机没有接收到CRC-16码，主机应发送一条Read Scratchpad命令来验证数据的完整性。在回送暂存器数据前，DS1972先重复目标地址TA1和TA2，并发送E/S寄存器值。如果PF标志位置位，说明数据未能正确送达暂存器或者上一次写暂存器后发生过掉电故障。这样主机就无需继续读入数据，而可以重新开始向暂存器写入数据。类似地，如果AA标志位置位，同时PF标志位清零，则说明器件未能认出Write Scratchpad命令。

如果一切正常，两个标志位均被清零。此时主机即可继续读取和验证每个数据字节。主机完成数据校验后，就可发送例如Copy Scratchpad命令。此命令之后必须紧随三个地址寄存器TA1、TA2和E/S中的数据。主机应通过读暂存器获取这些寄存器的内容。

存储器功能命令

存储器功能流程图(图7)说明了访问DS1972存储器所需要的协议。存储器功能示例部分给出了一个如何利用这些功能写入和读取数据的示例。主机和DS1972可在标准速率(默认值，OD = 0)或高速模式(OD = 1)下通信。如没有明确设置成高速模式，DS1972默认以标准速率通信。

Write Scratchpad [0Fh]

Write Scratchpad命令适用于数据存储器和寄存器页中的可写地址。为了保证暂存器中的数据能够被正确复制到存储器阵列中，用户必须保证Write Scratchpad命令中的8个数据字节开始于一个有效行边界处。Write Scratchpad命令接受无效地址和不完整的存储器行，但后续的Copy Scratchpad命令将被阻止。

发出Write Scratchpad命令后，主机必须首先发送2个字节的地址，接着发送要写入暂存器的数据。写入暂存

器的数据起始字节偏移量为T[2:0]。E/S的E[2:0]位加载起始字节偏移量，后面每收到一个数据字节加1。E[2:0]最终结果为最后被写入暂存器的完整字节的偏移量。仅接受完整数据字节。

当执行Write Scratchpad命令时，DS1972内部的CRC发生器(图13)计算整个数据流的CRC校验码，数据流起始于命令代码，终止于主机发送的最后一个数据字节。该CRC校验码由CRC-16多项式生成，计算时首先清除CRC发生器，然后顺序移入Write Scratchpad命令的命令代码(0Fh)、目标地址(TA1和TA2)以及所有数据字节。要注意的是，CRC-16计算时使用的是由主机实际发送的TA1、TA2和数据字节。主机可在任意时间终止Write Scratchpad命令。但如果写入数据达到暂存器上限(E[2:0] = 111b)，主机可发送16个读时隙并收到DS1972产生的CRC校验码。

如果Write Scratchpad命令试图对写保护区域进行写操作，暂存器将加载存储器原有的数据，而不是主机发送的数据。类似地，如果目标地址页为EPROM模式，暂存器加载的则是主机发送的数据与存储器原有数据逻辑与的结果。

Read Scratchpad [AAh]

Read Scratchpad命令可以用来校验目标地址和暂存器数据的完整性。主机发送命令代码后开始读取数据。开头的2个字节是目标地址，下一个字节是结束偏移量/数据状态字节(E/S)，接着是暂存器数据，这些数据可能与主机发送的原始数据有所不同。当目标地址位于寄存器页或者处于写保护或EPROM模式页时，这一点尤其重要。详细信息见Write Scratchpad [0Fh]部分。主机应先读完暂存器中所有数据(E[2:0] - T[2:0] + 1个字节)，然后就可以收到反码的CRC，该CRC码根据DS1972发送的数据产生。如果主机在收到CRC码后继续读取数据，得到的所有数据均为逻辑1。

1024位EEPROM iButton

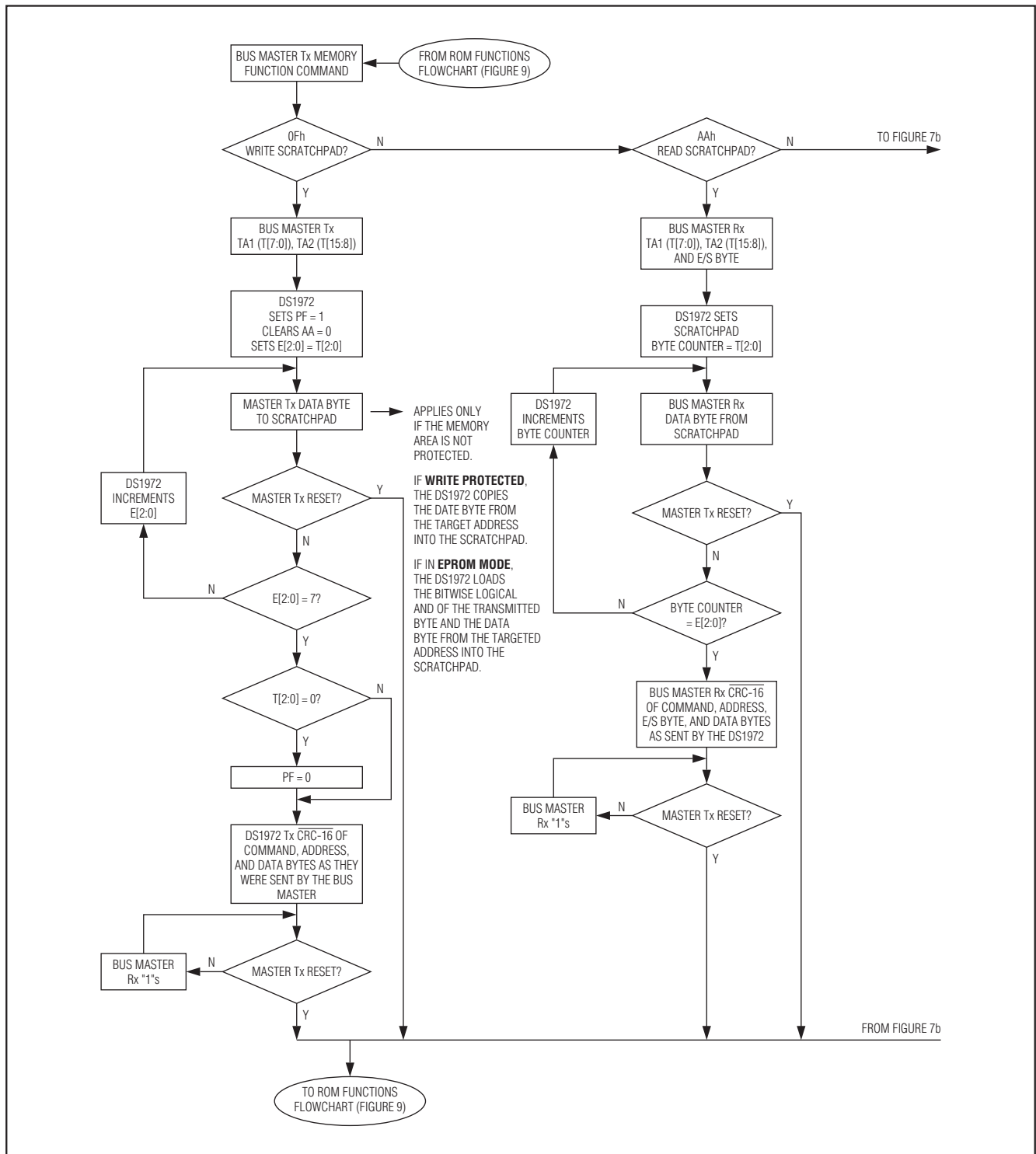


图7a. 存储器功能流程图

1024位EEPROM iButton

DS1972

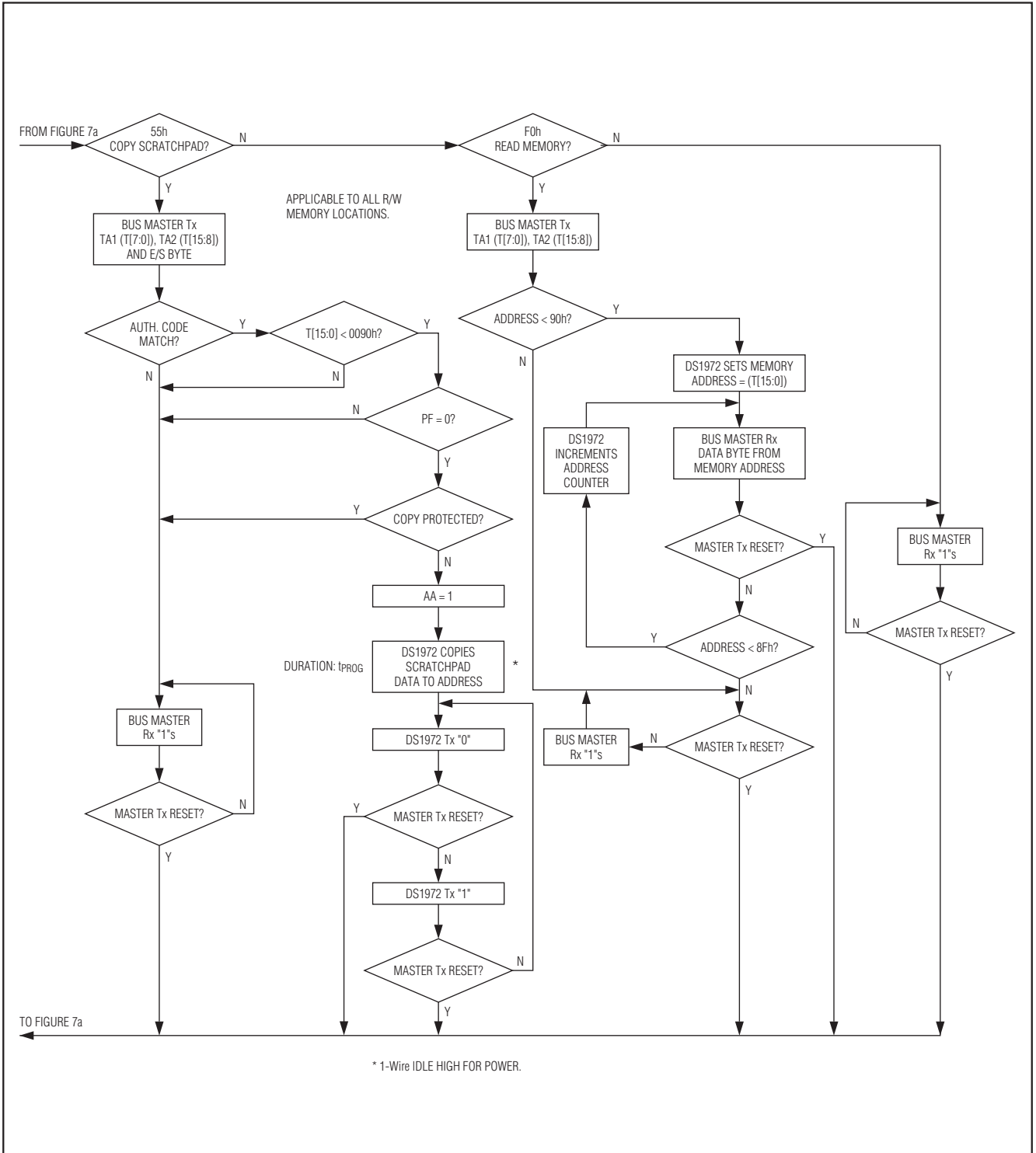


图7b. 存储器功能流程图(续)

1024位EEPROM iButton

Copy Scratchpad [55h]

Copy Scratchpad命令用来将暂存器中的数据复制到可写的存储器区域，发出Copy Scratchpad命令后，主机必须提供一个3字节的授权模板，该模板应该通过前一个Read Scratchpad命令获得。该3字节模板数据必须与三个地址寄存器(依次为TA1、TA2、E/S)中的数据完全匹配。如果模板匹配、目标地址有效、PF标志位未被置位并且目标存储器没有复制保护，则AA标志位置位，开始执行复制操作。暂存器中的8字节数据全部被复制到目标存储器。器件内部数据传输的时间为 t_{PROG} ，在此期间1-Wire总线上的电压必须保证不低于2.8V。数据复制完成后会发送一组“0”和“1”交替的信号，直到主机发送复位脉冲为止。如果PF标志位被置位或目标存储器处于复制保护模式，则不会执行复制操作而且AA标志位不会置位。

如果复制命令由于掉电或者其它原因而中断，主机将读取FFh字节的固定字符串，直到发送1-Wire复位脉冲为止。这种情况下，目标存储器可能未完全设置，需要重复一次Write Scratchpad和Copy Scratchpad命令，以保证EEPROM的正确设置。设计在间断接触环境中写DS1972的应用软件时，需要特别注意。

Read Memory [F0h]

Read Memory命令通常用于从DS1972读取数据。发出命令后，主机需要提供2个字节的地址。在这2个字节之后，主机开始读取起始于目标地址的数据，可连续读至地址008Fh处。如果主机再继续读操作，则读取结果将是逻辑1。器件内部的TA1、TA2、E/S以及暂存器内容不受Read Memory命令影响。

1-Wire总线系统

1-Wire总线是一个具有一台单总线的主机和一台或多台从机设备的系统。在所有的情况下，DS1972都只能作为从机设备来使用。总线主机是一个典型的微控制器。关于

该总线系统的讨论分为三个部分：硬件配置、传输流程和1-Wire信令(信号类型和时序)。1-Wire协议规定总线的收发按照特殊时序下的总线状态进行，由总线主机发出的同步脉冲下降沿初始化。

硬件配置

1-Wire总线只定义了一根数据线，因此总线上的每个设备能够在适当时刻驱动总线是非常重要的。为了实现此目的，挂载在1-Wire总线上的所有设备都必须采用漏极开路或三态输出。DS1972的1-Wire端口为漏极开路，内部等效电路见图8。

多点总线由连接了多个从机设备的1-Wire总线组成。DS1972分别支持15.4kbps(最大值)的标准通信速率和125kbps(最大值)的高速通信速率。注意传统的1-Wire产品分别支持16.3kbps的标准通信速率和142kbps的高速通信速率。DS1972速率略有降低，原因是为增强1-Wire物理接口对噪声的抑制而增加了恢复时间。上拉电阻的阻值主要由网络的大小和负载条件决定。DS1972在任何速度下运行都需要一个2.2k Ω (最大值)的上拉电阻。

1-Wire总线的空闲状态为高电平。如果由于某种原因需暂停通信，若还需要恢复通信的话，总线必须保持在空闲状态。如果未设置为空闲状态，并且总线处于低电平的时间超过16 μ s(高速模式)或者120 μ s(标准模式)，总线上的一个或多个器件将被复位。

传输流程

通过1-Wire端口访问DS1972的协议如下：

- 初始化
- ROM功能命令
- 存储器功能命令
- 传输/数据

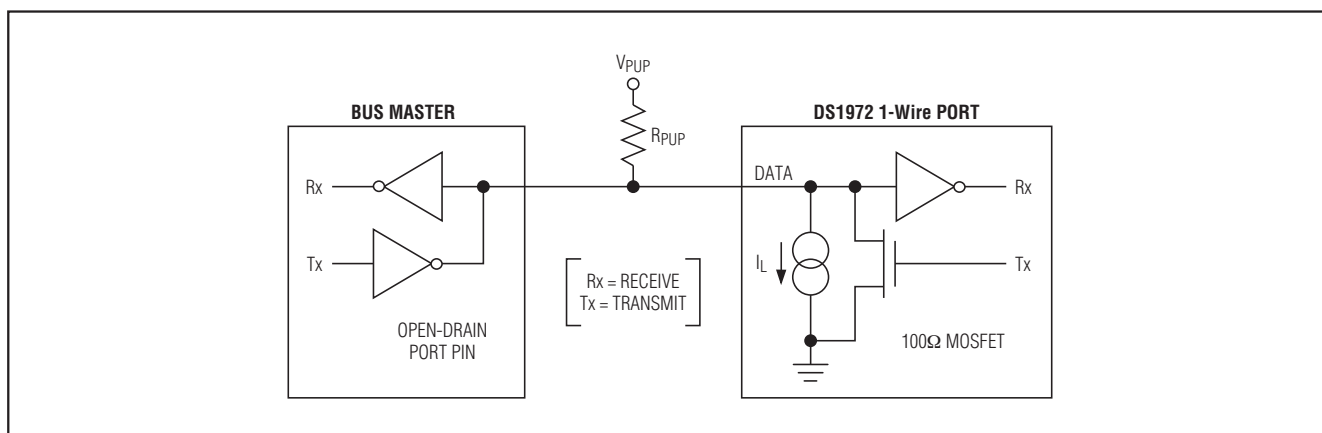


图8. 硬件配置

初始化

1-Wire总线上的所有数据传输都以初始化过程开始。初始化过程包括总线主机发送一个复位脉冲，各从机随后发送应答脉冲。应答脉冲让总线主机得知DS1972在线并且准备就绪。更多信息请参见1-Wire信令部分。

1-Wire ROM功能命令

一旦总线主机检测到一个应答脉冲，便可发送DS1972支持的七个ROM功能命令中的任一个。所有的ROM功能命令长度均为8位。下面列出了所有的这些命令(参考图9中的流程图)。

Read ROM [33h]

Read ROM命令允许总线主机读取DS1972的8位家族码、唯一的48位序列号和8位CRC校验码。此命令适用于总线上仅有一个从机的情况。如果总线上连接了多个从机设备，当所有从机试图同时发送数据时，将会发生数据冲突(漏极开路输出产生一个线与的结果)，导致主机收到的家族码和48位序列号与CRC校验码不匹配。

Match ROM [55h]

Match ROM命令后面跟随一个64位ROM注册码，允许总线主机寻址多点总线上的一个特定DS1972。只有与该64位ROM注册码完全匹配的DS1972才会对后面的存储器功能命令进行响应。其它所有从机均等待下一个复位脉冲。

这条命令既适用于单从机总线系统，也适用于多从机总线系统。

Search ROM [F0h]

系统刚启动时，总线主机可能并不知道1-Wire总线上挂接的器件数量及它们的注册码。主机可利用总线的线与特性，采用排除法来识别总线上所有从机的注册码。针对注册码的每一位，从最低有效位开始，总线主机都发送三个时隙。在第一个时隙，每个参与搜索的从机都输出各自注册码位的原码。在第二个时隙，每个参与搜索的从机都输出各自注册码位的补码值。在第三个时隙，主机写入所选位的原码。所有与由主机写入的该位不匹配的从机都不再参加搜索。如果主机两次读到的值均是0，则说明从机该位的两个状态都存在。总线主机通过写入的状态值来选择搜索ROM码树的不同分支。经过一次完整搜索过程，总线主机即可知道某个从机的注册码。另外的搜索过程可以识别其余从机的注册码。详细讨论请参考应用笔记187：1-Wire搜索算法，其中包括一个示例。

Skip ROM [CCh]

在单从机总线系统中，总线主机可使用此命令访问存储器而不需要提供64位ROM码，从而节省了时间。如果总线上不止一个从机，在Skip ROM命令后发送读命令时，会因多个从机同时发送数据而导致数据冲突(漏极开路输出下拉将产生一个线与结果)。

1024位EEPROM iButton

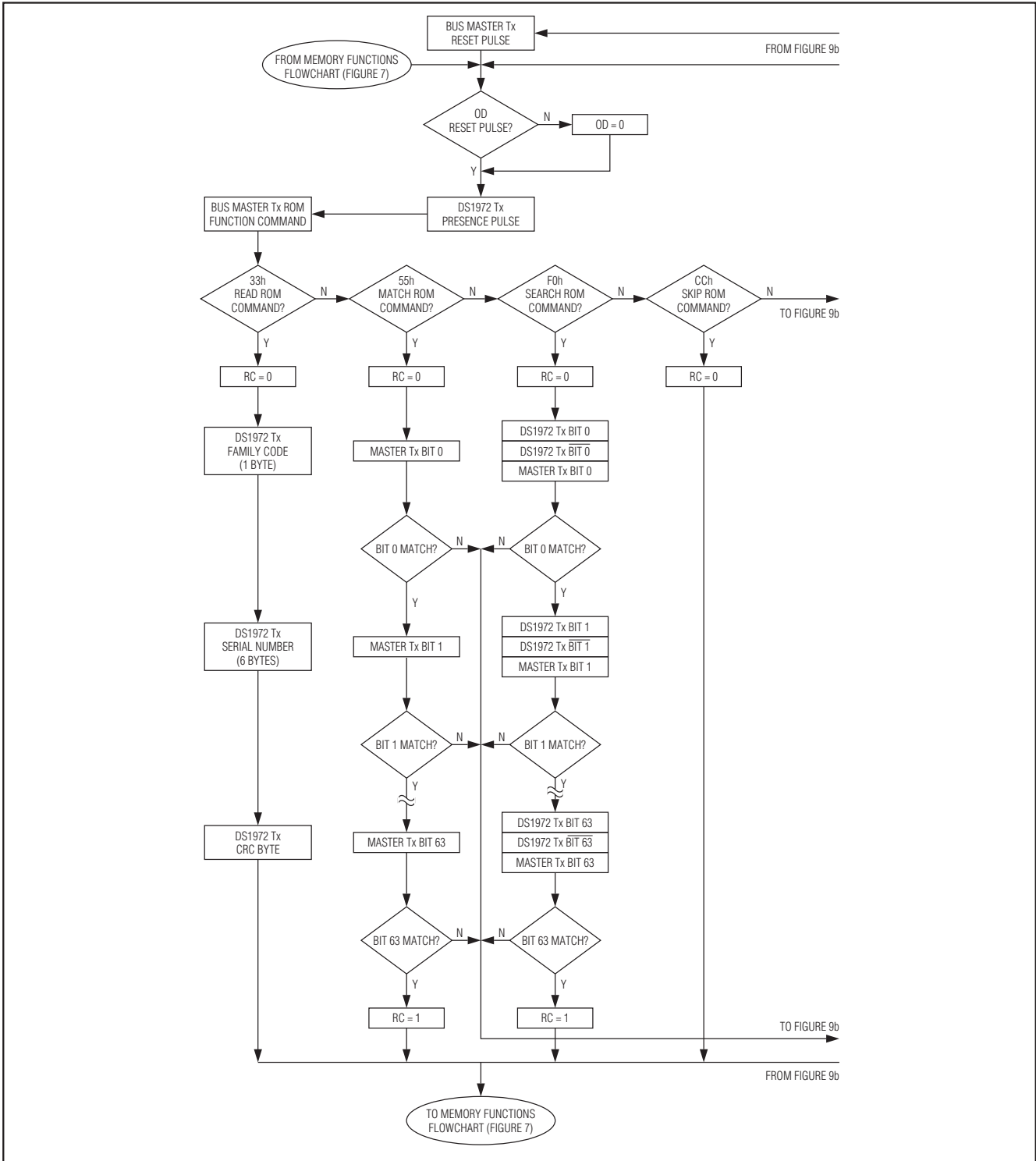


图9a. ROM功能流程图

1024位EEPROM iButton

DS1972

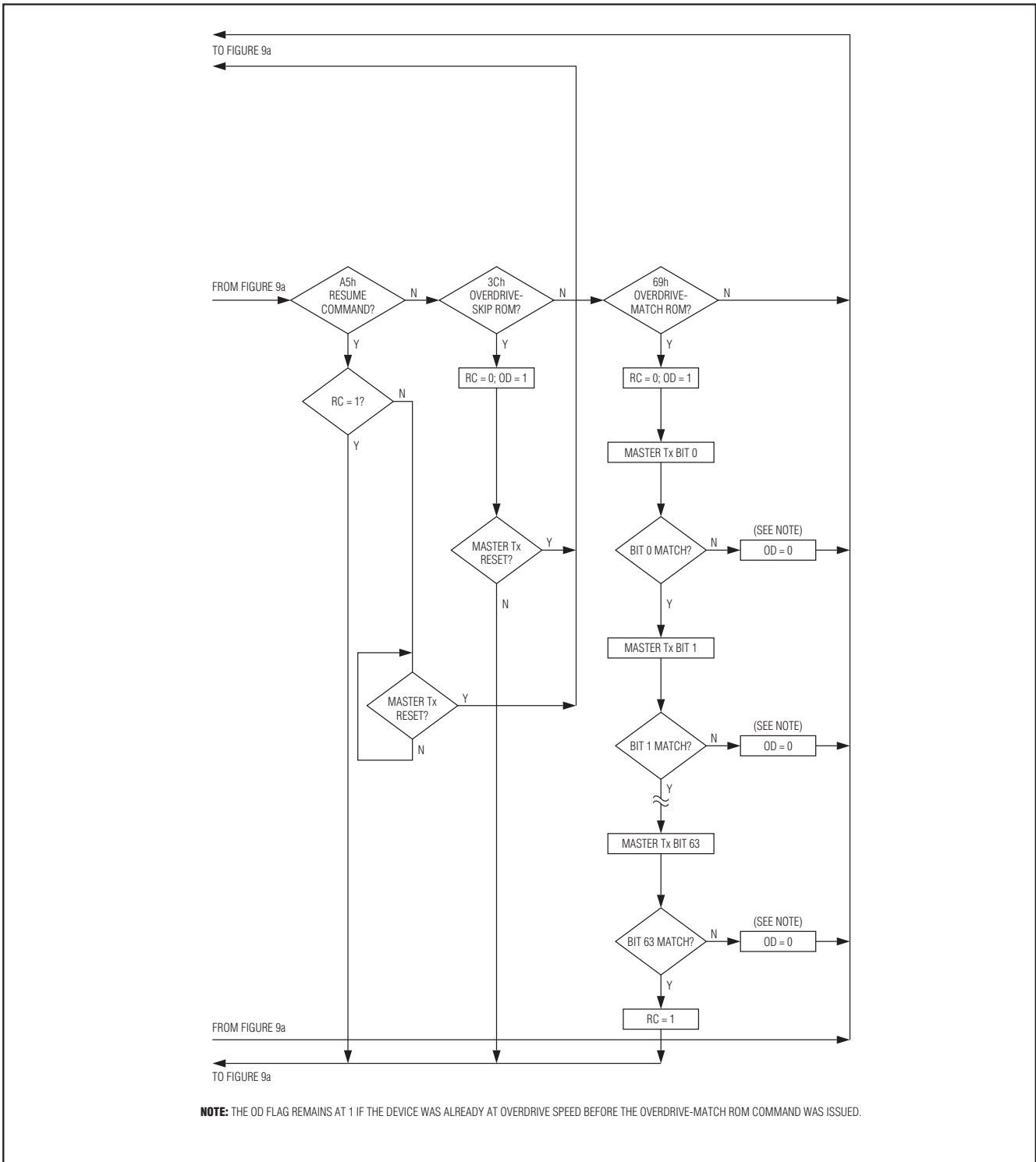


图9b. ROM功能流程图(续)

1024位EEPROM iButton

Resume [A5h]

为了最大程度提高多点环境中的数据吞吐率，系统提供了Resume命令。此命令检查RC位的状态，如果置位，则直接把控制权交给存储器功能命令，与Skip ROM命令类似。RC的置位只能通过成功地执行Match ROM、Search ROM或Overdrive-Match ROM命令来实现。一旦RC置位，即可利用Resume命令重复访问此器件。访问总线上的其它器件会清除RC位，以防止两个或更多的从机同时响应Resume命令。

Overdrive-Skip ROM [3Ch]

在一个单从机总线上使用该命令时，主机不需要提供64位的ROM码就可以访问存储器功能，从而节省了时间。与通常的Skip ROM命令不同，Overdrive-Skip ROM命令将DS1972设置为高速模式(OD = 1)。该命令后的所有通信均为高速模式，直到有一个最短持续时间为480 μ s的复位脉冲将总线上的所有器件复位成标准速率(OD = 0)。

如果在一个多点总线上发送该命令，则总线上所有支持高速模式的器件都被设置成高速模式。随后，为了寻址特定的高速模式器件，必须发出一个高速模式的复位脉冲，接着运用Match ROM或Search ROM命令。这样能够加速搜索过程。如果总线上有多个支持高速模式的从机，而且Overdrive-Skip ROM命令后跟着一条读命令，会因多个从机同时发送数据而产生数据冲突(漏极开路输出下拉将产生一个线与结果)。

Overdrive-Match ROM [69h]

通过Overdrive-Match ROM命令，后接以高速模式发送的64位ROM码，能够使总线主机在多点总线上访问一个特定的DS1972，同时将其设置成高速模式。只有与该64位ROM地址码正确匹配的DS1972才会对后续的存储器功能命令做出响应。已经被前面的Overdrive-Skip ROM或Overdrive-Match ROM命令成功设置成高速模式的从机将继续保持高速模式。所有支持高速模式的从机在下一个持续时间最小为480 μ s的复位脉冲后回到标准速率。Overdrive-Match ROM命令适用于总线上有单个或多个器件的情况。

1-Wire 信令

DS1972需要严格的协议来保证数据完整性。该协议在一根线上定义了四种类型的信号：带复位脉冲和应答脉冲的复位序列、写0、写1和读数据。除应答脉冲外，总线主机发出其它所有信号的下降沿。DS1972能以标准速度和高速两种模式通信。如果没有明确设置为高速模式，DS1972就以标准速度通信。在高速模式下，所有波形均采用快速定时。

从空闲状态唤醒时，1-Wire总线电压需要从 V_{PUP} 降到 V_{TL} 门限电压以下。从工作状态返回空闲状态时，电压需要从 V_{ILMAX} 上升至 V_{TH} 门限电压以上。电压上升时间在图10中用 ϵ 表示，持续时间取决于所使用的上拉电阻(R_{PUP})和1-Wire网络的附加电容。DS1972根据 V_{ILMAX} 电压判断逻辑电平，不会触发任何事件。

图10所示是开启一次与DS1972通信所需的初始化过程。复位脉冲后的应答脉冲表明DS1972已经准备就绪，只要收到正确的ROM和存储器功能命令，即可接收数据。如果总线主机在下降沿采用摆率控制，必须将线上的电平拉低并保持 $t_{RSTL} + t_P$ 的时间，以补偿边沿。高速模式下若 t_{RSTL} 持续480 μ s或更长时间，可将从机恢复到标准速度。如果DS1972处于高速模式并且 t_{RSTL} 不大于80 μ s，则其仍保持高速模式。如果器件处于高速模式， t_{RSTL} 介于80 μ s和480 μ s之间，器件将复位，通信速率不确定。

总线主机释放总线后进入接收模式。此时1-Wire总线电平被上拉电阻或DS2482-x00或DS2480B驱动器等有源电路上拉至 V_{PUP} 。当电平高于门限 V_{TH} 时，DS1972等待 t_{PDH} 时间，然后将总线电平拉低并保持 t_{PDL} 时间，来发送一个应答脉冲。为了检测应答脉冲，主机必须在 t_{MSP} 时间检测1-Wire总线的逻辑状态。

t_{RSTH} 窗口时间必须至少等于 t_{PDHMAX} 、 t_{PDLMAX} 与 t_{RECMIN} 的总和。一旦 t_{RSTH} 结束，DS1972即可开始数据通信。在一个混和设备组成的网络中，为了兼容其它1-Wire设备， t_{RSTH} 在标准速度下最小应为480 μ s，在高速模式下最小应为48 μ s。

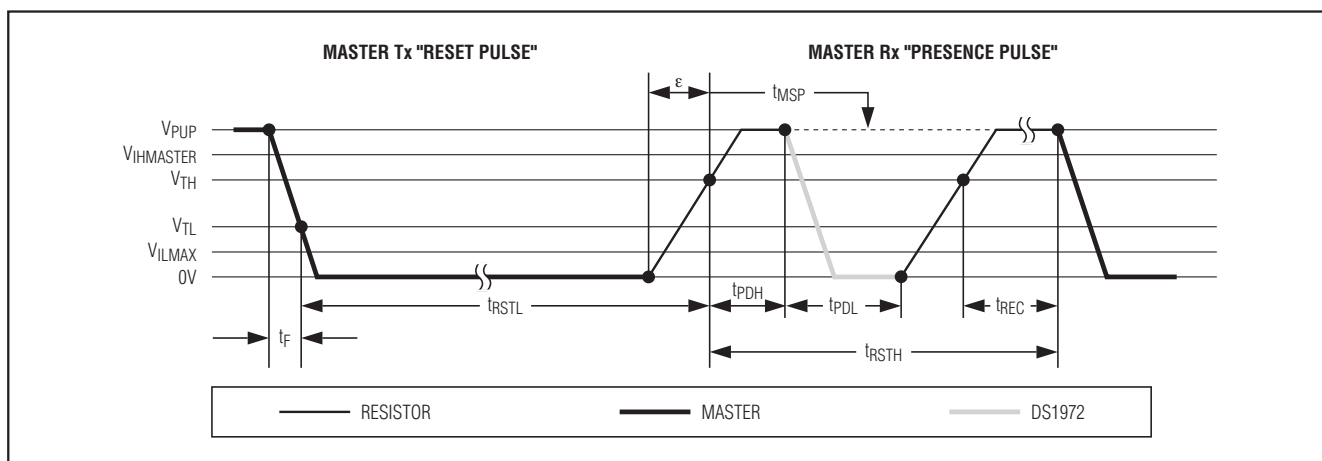


图10. 初始化过程：复位和应答脉冲

读/写时隙

与DS1972的数据通信在时隙内进行，每个时隙传输一位。数据在写时隙由总线主机传输到从机，数据在读时隙由从机传输到主机。图11给出了写时隙和读时隙的定义。

所有通信均以主机拉低数据线开始，当1-Wire总线上的电压降至门限电压 V_{TL} 以下时，DS1972启动内部定时发生器，在写时隙时确定何时采样数据线，在读时隙时确定数据有效的的时间。

主机到从机

对于写1时隙，数据线上的电压必须在写1低时间 t_{W1LMAX} 结束前高于门限电压 V_{TH} 。对于写0时隙，数据线上的电压在写0低时间 t_{W0LMIN} 结束前必须保持低于门限电压 V_{TH} 。为了实现最可靠的通信，数据线上的电压在整个 t_{W0L} 或 t_{W1L} 时间窗口内都不应超过 V_{ILMAX} 。电压超过 V_{TH} 门限后，DS1972在进行下一个时隙前需要一个恢复时间 t_{REC} 。

从机到主机

读数据时隙在开始时与写1时隙类似。数据线上的电压在读低时间 t_{RL} 结束前必须保持低于 V_{TL} 。在 t_{RL} 窗口，应答0时，DS1972开始拉低数据线，其内部定时发生器决定何时结束下拉，并且电平重新开始升高。应答1时，DS1972并不保持数据线的低电平， t_{RL} 一结束，电平即开始上升。

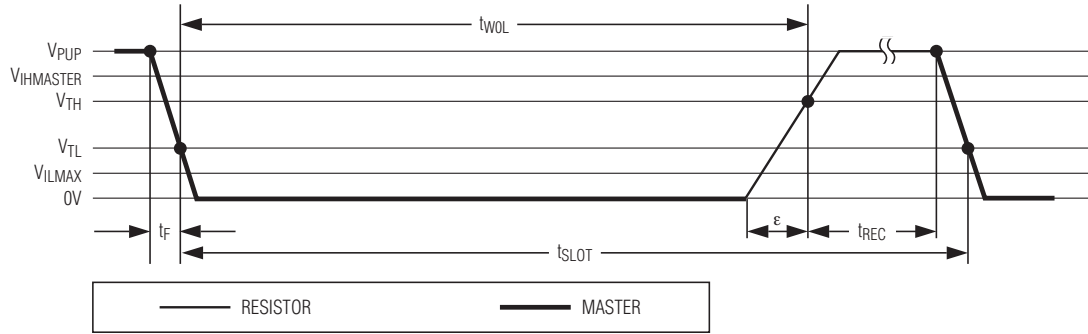
主机采样窗口(t_{MSRMIN} 至 t_{MSRMAX})由 $t_{RL} + \delta$ (上升时间)和DS1972内部定时发生器决定，主机必须在采样窗口内执行数据线读操作。为实现最可靠的通信， t_{RL} 在允许范围内应尽量短，主机应该在接近但不晚于 t_{MSRMAX} 的时间读取数据。从数据线读取数据后，主机必须等待直至 t_{SLOT} 结束。这确保了DS1972在下一个时隙准备就绪前有足够的恢复时间 t_{REC} 。需注意的是，这里指定的 t_{REC} 仅适用于1-Wire总线上只接一个DS1972的情况。对于多点配置，为了适应其它1-Wire器件的输入电容，应延长 t_{REC} 。另外，还可使用DS2482-x00或DS2480B等1-Wire总线驱动器，在1-Wire恢复时间内进行有源上拉。

1024位EEPROM iButton

WRITE-ONE TIME SLOT



WRITE-ZERO TIME SLOT



READ-DATA TIME SLOT

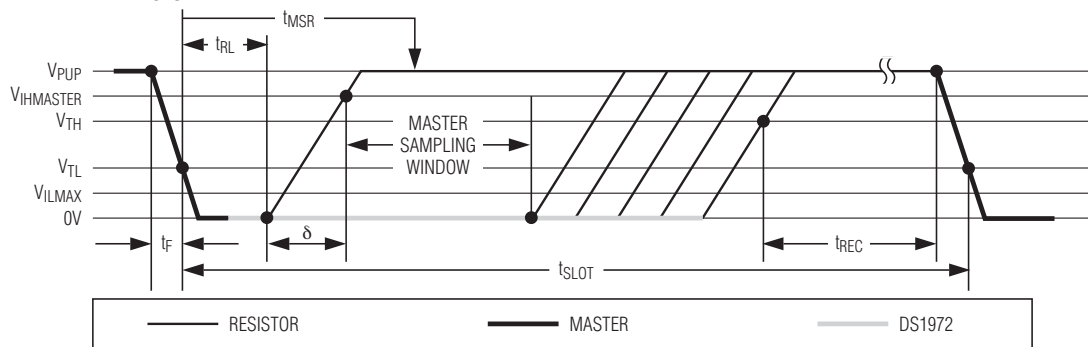


图11. 读/写时序图

1024位EEPROM iButton

改善网络性能(切换点滞回)

在1-Wire环境中，线路端接只有在总线主机(1-Wire驱动器)控制的短时间内才有可能。因此，1-Wire网络极易受到各种来源的噪声干扰。由于网络的物理尺寸和拓扑结构不同，从端点或支路节点反射的信号可能在某种程度上相互加强或抵消。这些反射信号在1-Wire通信线路上表现为毛刺或振铃。从外部耦合到1-Wire线路上的噪声也能导致信号毛刺的产生。在一个时隙上升沿产生的毛刺会导致从机与主机失去同步，继而导致对Search ROM命令失去反应，或导致从机特定功能命令的中止。为了实现更好的网络性能，DS1972使用了一种新的1-Wire前端，降低了其对噪声的敏感度。

DS1972的1-Wire前端与传统的从机器件相比有3点特性不同。

- 1) 在电路中附加了一个低通滤波器来检测时隙开始时的下降沿，这降低了对高频噪声的敏感度。高速模式下不使用此附加滤波器。
- 2) 在低到高的开关门限 V_{TH} 处设有一个滞回，如果有一个负毛刺低于 V_{TH} 但还没有低于 $V_{TH}-V_{HY}$ ，将不会被承认(图12的示例A)。滞回在任何1-Wire速度模式下均有效。
- 3) 由上升沿保持关闭时间 t_{REH} 定义了一个时间窗口，在该时间窗口内即使毛刺低于 $V_{TH}-V_{HY}$ 也会被忽略(图12的示例B， $t_{GL} < t_{REH}$)。大的压降或穿过 V_{TH} 门限后持续时间超出 t_{REH} 窗口的毛刺则无法滤除，会被当作一个新时隙的开始(图12的示例C， $t_{GL} \geq t_{REH}$)。

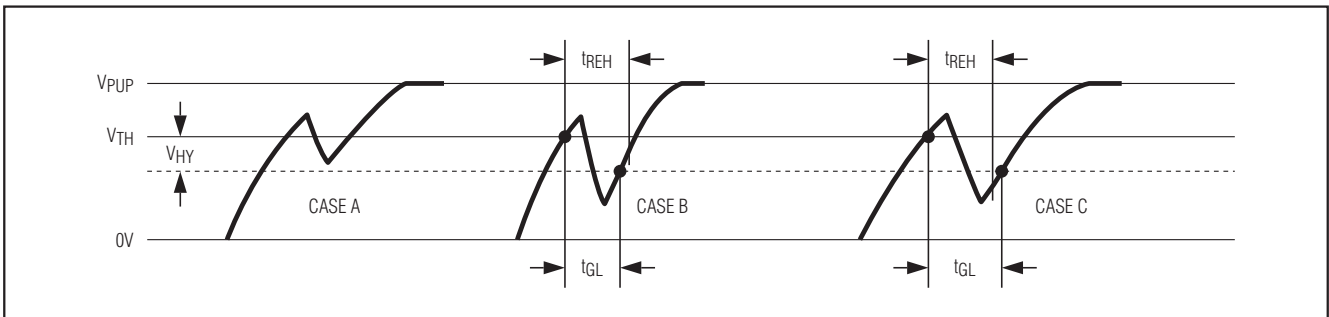


图12. 噪声抑制示意图

只有在电气特性中指明参数 V_{HY} 和 t_{REH} 的器件使用了改进的1-Wire前端。

生成CRC码

DS1972有两种不同类型的CRC码。一种为8位CRC，存储在64位ROM的最高有效字节中。总线主机可根据64位ROM码的前56位计算出该CRC码，并将其与存储在DS1972中的值进行比较，判断ROM数据是否接收无误。计算该CRC校验码的等效多项式为： $X^8 + X^5 + X^4 + 1$ 。接收到的8位CRC为原码(不取反)形式。该值在工厂被计算并光刻写入ROM中。

另一种CRC码为16位，采用标准的CRC-16多项式函数 $X^{16} + X^{15} + X^2 + 1$ 产生。该CRC校验码用来对读写暂存器时传输的数据进行快速校验。与8位CRC校验码相比，16位CRC校验码总是以反码的形式传输。DS1972 iButton内部的CRC发生器(图13)计算一个新的16位CRC校验码，如命令流程图(图7)所示。总线主机通过比较从从机读取的CRC校验码和利用接收数据计算出的CRC校验码，据此来决定是否继续某一操作还是重新读取CRC码有误的数据部分。

在Write Scratchpad命令中，要生成CRC校验码，首先清空CRC发生器，然后移入命令代码、目标地址TA1和TA2、以及总线主机发送的所有数据字节。DS1972只有在E[2:0] = 111b时才发送CRC校验码。

1024位EEPROM iButton

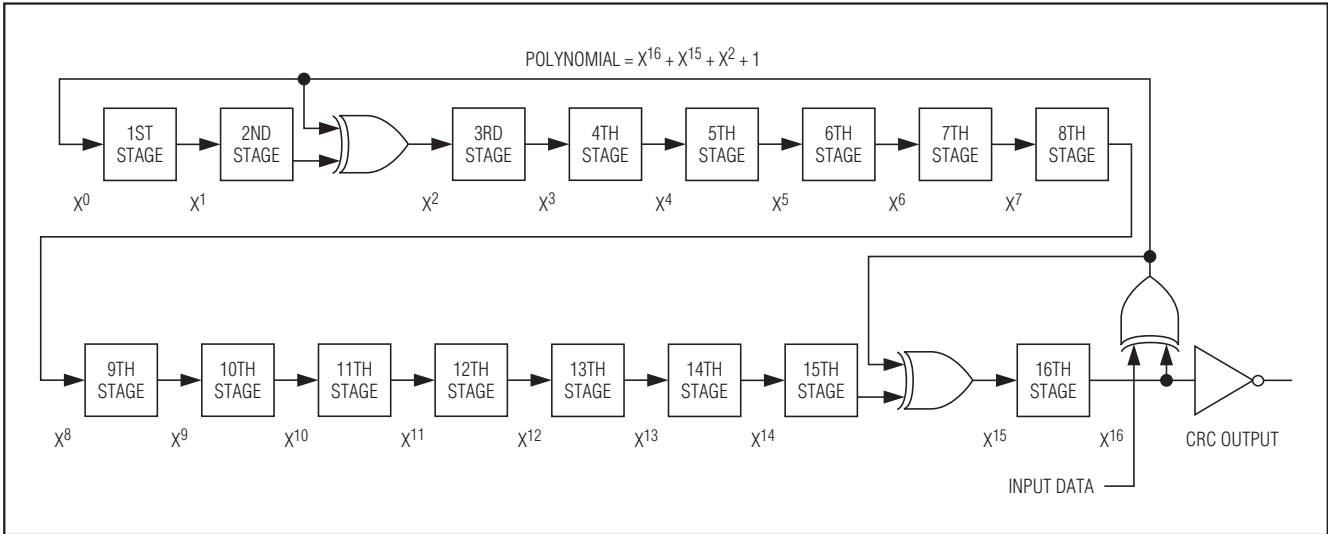


图13. CRC-16硬件说明及多项式

在Read Scratchpad命令中，要生成CRC校验码，首先清空CRC发生器，然后移入命令代码、目标地址TA1和TA2、E/S字节以及DS1972发送的暂存器数据。DS1972只有在连

续读取暂存器数据直到结尾时才发送CRC校验码。有关生成CRC校验码的更多信息请参考应用笔记27。

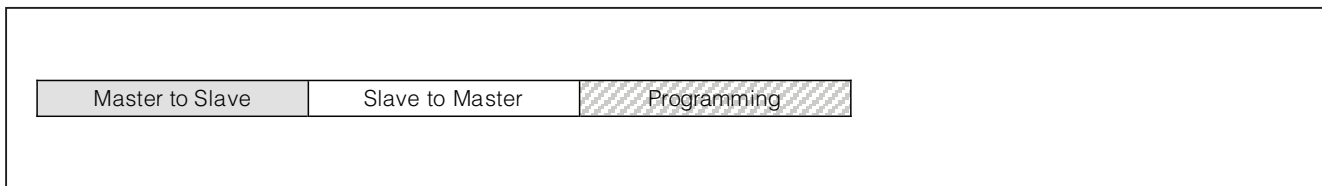
具体命令1-Wire通信协议—符号表

符号	说明
RST	主机产生的1-Wire复位脉冲。
PD	从机产生的1-Wire在线应答脉冲。
Select	满足ROM功能协议的命令和数据。
WS	“Write Scratchpad”命令。
RS	“Read Scratchpad”命令。
CPS	“Copy Scratchpad”命令。
RM	“Read Memory”命令。
TA	目标地址TA1、TA2。
TA-E/S	目标地址TA1、TA2，带E/S字节。
<8-T[2:0] bytes>	对于给定的目标地址，根据需要传送尽可能多的字节，直到暂存器末端。
<Data to EOM>	根据需要传送尽可能多的数据字节，直到存储器末端。
$\overline{\text{CRC-16}}$	传送反相CRC-16。
FF Loop	不确定循环，主机读取FF字节。
AA Loop	不确定循环，主机读取AA字节。
Programming	数据传送至EEPROM；在此期间，1-Wire总线不允许任何其它操作。

1024位EEPROM iButton

具体命令 1-Wire通信协议—彩色编码

DS1972



1-Wire通信示例

Write Scratchpad (Cannot Fail)

RST	PD	Select	WS	TA	<8-T[2:0] bytes>	CRC-16	FF Loop
-----	----	--------	----	----	------------------	--------	---------

Read Scratchpad (Cannot Fail)

RST	PD	Select	RS	TA-E/S	<8-T[2:0] bytes>	CRC-16	FF Loop
-----	----	--------	----	--------	------------------	--------	---------

Copy Scratchpad (Success)

RST	PD	Select	CPS	TA-E/S	Programming	AA Loop
-----	----	--------	-----	--------	-------------	---------

Copy Scratchpad (Invalid Address or PF = 1 or Copy Protected)

RST	PD	Select	CPS	TA-E/S	FF Loop
-----	----	--------	-----	--------	---------

Read Memory (Success)

RST	PD	Select	RM	TA	<Data to EOM>	FF Loop
-----	----	--------	----	----	---------------	---------

Read Memory (Invalid Address)

RST	PD	Select	RM	TA	FF Loop
-----	----	--------	----	----	---------

1024位EEPROM iButton

存储器功能示例

写入存储器第1页的前8个字节，读整个存储器。

总线上只有单个DS1972与主机连接，通信过程如下所示：

MASTER MODE	DATA (LSB FIRST)	COMMENTS	
Tx	(Reset)	Reset pulse	
Rx	(Presence)	Presence pulse	
Tx	CCh	Issue "Skip ROM" command	
Tx	0Fh	Issue "Write Scratchpad" command	
Tx	20h	TA1, beginning offset = 20h	
Tx	00h	TA2, address = 0020h	
Tx	<8 Data Bytes>	Write 8 bytes of data to scratchpad	
Rx	<2 Bytes CRC-16>	Read CRC to check for data integrity	
Tx	(Reset)	Reset pulse	
Rx	(Presence)	Presence pulse	
Tx	CCh	Issue "Skip ROM" command	
Tx	AAh	Issue "Read Scratchpad" command	
Rx	20h	Read TA1, beginning offset = 20h	
Rx	00h	Read TA2, address = 0020h	
Rx	07h	Read E/S, ending offset = 111b, AA, PF = 0	
Rx	<8 Data Bytes>	Read scratchpad data and verify	
Rx	<2 Bytes CRC-16>	Read CRC to check for data integrity	
Tx	(Reset)	Reset pulse	
Rx	(Presence)	Presence pulse	
Tx	CCh	Issue "Skip ROM" command	
Tx	55h	Issue "Copy Scratchpad" command	
Tx	20h	TA1	(AUTHORIZATION CODE)
Tx	00h	TA2	
Tx	07h	E/S	
—	<1-Wire Idle High>	Wait t _{PROGMAX} for the copy function to complete	
Rx	AAh	Read copy status, AAh = success	
Tx	(Reset)	Reset pulse	
Rx	(Presence)	Presence pulse	
Tx	CCh	Issue "Skip ROM" command	
Tx	F0h	Issue "Read Memory" command	
Tx	00h	TA1, beginning offset = 00h	
Tx	00h	TA2, address = 0000h	
Rx	<144 Data Bytes>	Read the entire memory	
Tx	(Reset)	Reset pulse	
Rx	(Presence)	Presence pulse	

封装信息

如需最近的封装外形信息和焊盘布局，请查询 china.maxim-ic.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	文档编号
F3 iButton	IB+3NT	21-0252
F5 iButton	IB+5NT	21-0266

1024位EEPROM iButton

修订历史

DS1972

修订号	修订日期	说明	修改页
0	4/06	最初版本。	—
1	8/06	UL#913条目由“符合UL#93 (第四版)标准.....(申请中)”更改为“设计满足UL#93 (第四版)标准.....”。	1, 2
2	8/09	从iButton共性部分中, 删除UL#913条目。	1
		在订购信息表中, 将RoHS封装更改为无铅(Pb)封装。	1
3	4/10	在 <i>Electrical Characteristics</i> 表中, V_{TMIN} 由0.46V改为0.5V。	2
		在 <i>Absolute Maximum Ratings</i> 中, 存储温度更改为-55°C至+125°C; 在 <i>Electrical Characteristics</i> 表中, 根据 V_{PUP} 改变 V_{TH} 、 V_{TL} , 且将数据保持时间更改为在85°C下可保持至少40年; 增加数据保持规范的注释: “EEPROM writes can become nonfunctional after the data-retention time is exceeded. Long-term storage at elevated temperatures is not recommended; the device can lose its write capability after 10 years at +125°C or 40 years at +85°C.”。	2, 3
		在 <i>Electrical Characteristics</i> 表中, V_{ILMAX} 规格由0.3V改为0.5V; 从 t_{WILMAX} 规格中删除 ϵ ; 为 t_{WOL} 规格增加注释17; 更新 <i>Electrical Characteristics</i> 表注释17和18; 修正注释20。	2, 3
		在图11写0时隙中增加 ϵ 。	18
		增加封装信息表。	22
		生成新版数据资料。	所有页

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ **23**