

高速采样/保持电路

概述

DS1843是一款采样/保持电路，可理想用于电路板空间受限的高速信号采集系统。该器件带有差分、高速切换的电容输入采样电路、失调调零电路和输出缓冲器。DS1843优化用于光纤线路传输(OLT)系统，配合外部检测电阻能够实现突发模式的RSSI测量。

特性

- ◆ 高速采样，采样时间 < 300ns
- ◆ 保持时间 > 100 μ s
- ◆ 低输入失调
- ◆ 缓冲输出
- ◆ 小尺寸、8引脚 μ DFN (2mm x 2mm)无铅封装

应用

千兆位无源光网络(GPON) OLT
 千兆位以太无源光网络(GEPON) OLT
 GPON光网络单元
 采样与保持

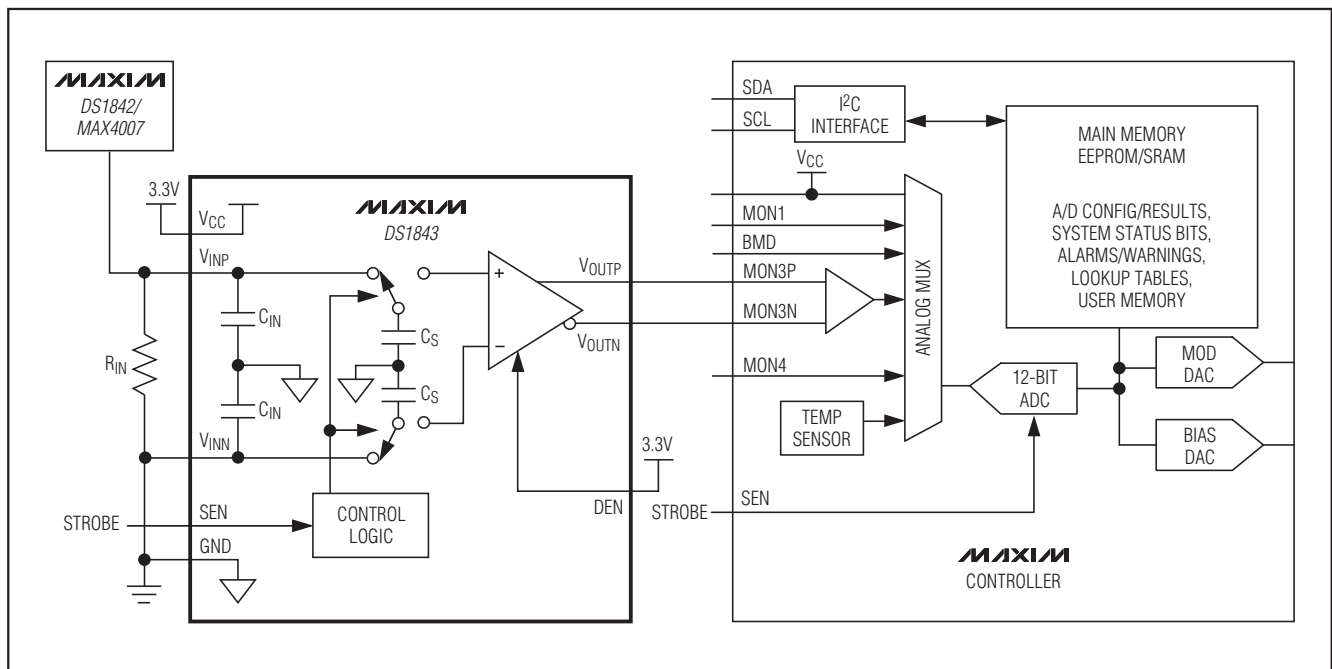
订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS1843D+	-40°C to +85°C	8 μ DFN
DS1843D+TRL	-40°C to +85°C	8 μ DFN

+表示无铅(Pb)/符合RoHS标准的封装。

TRL = 卷带包装。

典型工作电路



引脚配置在数据资料的最后给出。

高速采样/保持电路

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC} -0.5V to +6V
 Voltage Range on V_{OUTP} , V_{OUTN} ,
 V_{INP} , V_{INN} , SEN, DEN-0.5V to ($V_{CC} + 0.5V$)*

Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-55°C to +125°C
 Soldering TemperatureRefer to the
 IPC/JEDEC J-STD-020 Specification.

*Subject to not exceeding +6V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}	(Note 1)	+2.97		+5.5	V

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +2.97\text{V}$ to $+5.5\text{V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I_{CC}	(Note 1)		5.7	9	mA
Input Capacitance	C_{IN}	All pins (Note 2)			7	pF
Sample Capacitance	C_S	V_{INN} and V_{INP} (Note 2)		5		pF
Logic-Input Low	V_{IL}	SEN and DEN inputs			$0.3 \times V_{CC}$	V
Logic-Input High	V_{IH}	SEN and DEN inputs	$0.7 \times V_{CC}$			V
Input Leakage	I_{IN}	V_{INN} or V_{INP} , SEN = 0			1	μA
Input Voltage	V_{IN}	$V_{IN} = V_{INP} - V_{INN}$	0		1.0	V
Output Voltage	V_{OUT}	$V_{OUT} = V_{OUTP} - V_{OUTN}$; 100k Ω load on each output pin	0		1.0	V
Output Impedance	R_{OUTMAX}	(Note 2)		1	1.3	k Ω
Output Capacitive Load	C_{OUT}	Capacitance for stable operation			50	pF
Total Input Referenced Voltage Offset: Differential	$V_{OS-DIFF}$	$V_{CC} = 2.9\text{V}$, 1 μs sample time, $V_{IN} = 6\text{mV}$ Voltco ($V_{CC} = 2.9\text{V}$ to 5.5V)		3.6	6.1	mV
Total Input Referenced Voltage Offset: Single-Ended	V_{OS-SE}	$V_{CC} = 2.9\text{V}$, 1 μs sample time, $V_{IN} = 6\text{mV}$ Voltco ($V_{CC} = 2.9\text{V}$ to 5.5V)		3.4	8	mV
					1	mV/V

高速采样/保持电路

DS1843

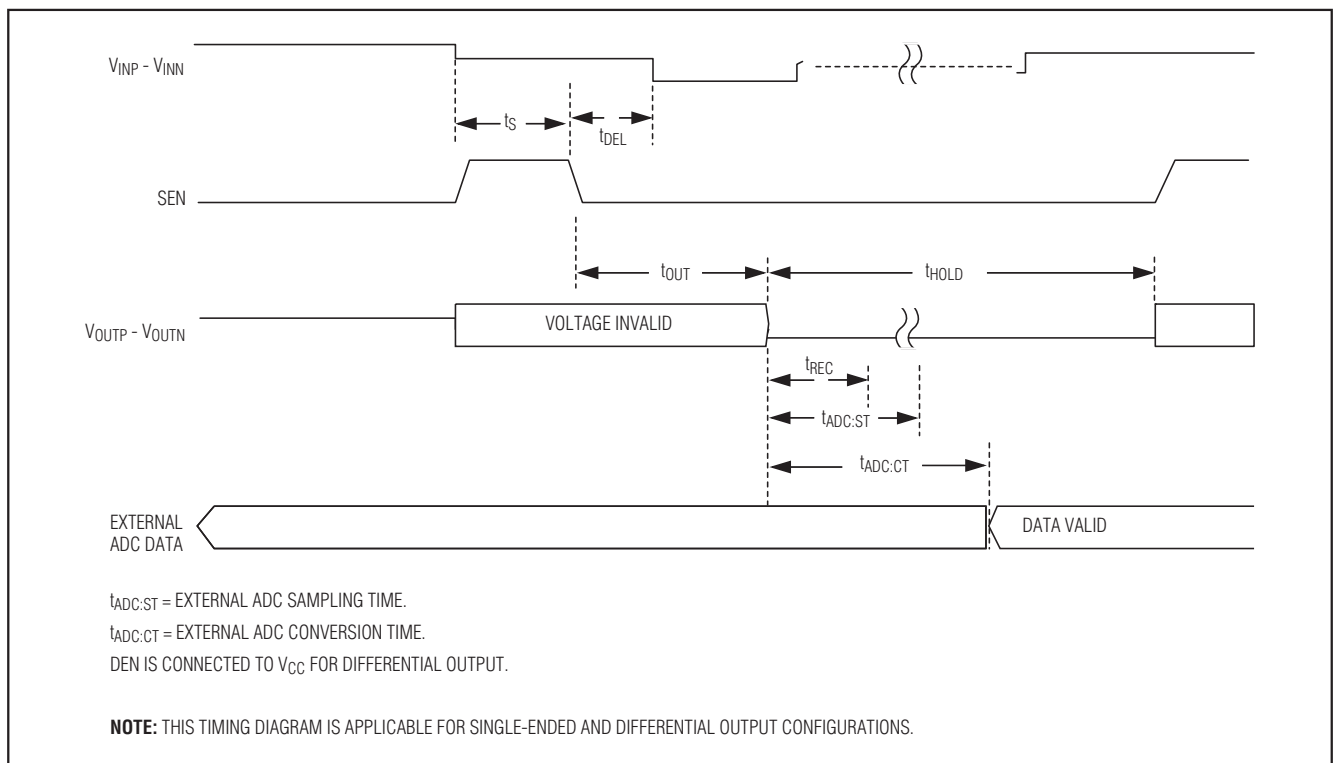
AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +2.97V$ to $+5.5V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (See the *Timing Diagram*.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Sample Time Minimum (Note 3)	t_S	V_{OUT} is within 1%	300			ns
		V_{OUT} is within 35%	260			
Delay Time Minimum	t_{DEL}	(Note 4)	10			ns
Output Time	t_{OUT}	Delay from SEN falling edge until valid output at V_{OUT} to 1% accuracy			2	μs
Hold Time	t_{HOLD}	(Note 5)	t_{OUT}		100	μs
Output Step Recovery Time (Note 6)	t_{REC}	1V step, DEN = high			2	μs
		3V step, DEN = high or low			3.5	

- Note 1:** All voltages are referenced to ground. Currents entering the IC are specified positive and currents exiting the IC are negative.
- Note 2:** Guaranteed by design.
- Note 3:** V_{OUT} at the end of the $10\mu s$ hold time is within specified % of V_{IN} during the sample window; a $2.5k\Omega$ resistor connected in series to both V_{INP} and V_{INN} ($V_{INP} - V_{INN} = 1V$). External capacitance to ground for both V_{INP} and V_{INN} is approximately $10pF$.
- Note 4:** The sampling capacitor must be removed from the input signal before the input signal changes. Therefore, the SEN pin must be low for a short period of time, t_{DEL} , before the input changes.
- Note 5:** V_{OUT} at the end of the hold time is within 1% of V_{IN} during the sample window ($V_{INP} - V_{INN} = 1V$).
- Note 6:** Voltage step applied across V_{OUTP} to V_{OUTN} through a $5pF$ capacitor connected to each pin. This models the load presented by an ADC while it is sampling the DS1843's output. Settled within 1% of initial voltage.

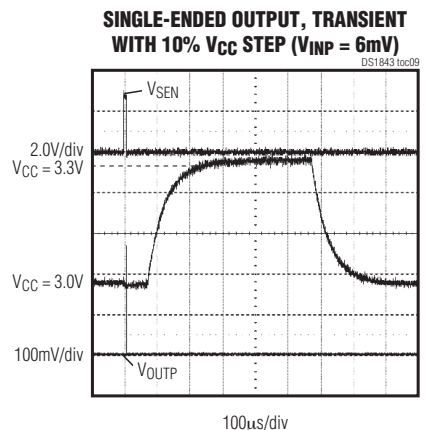
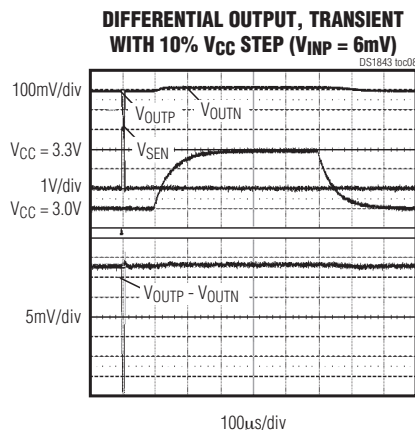
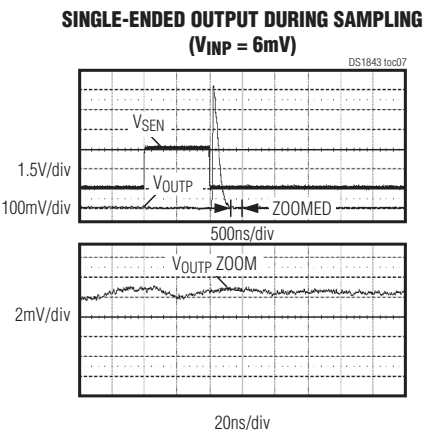
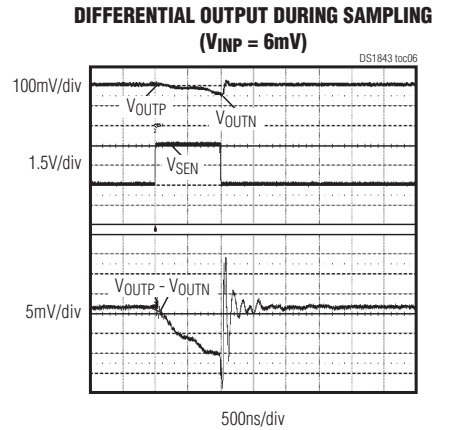
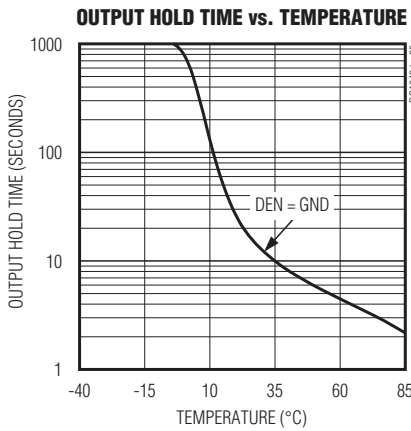
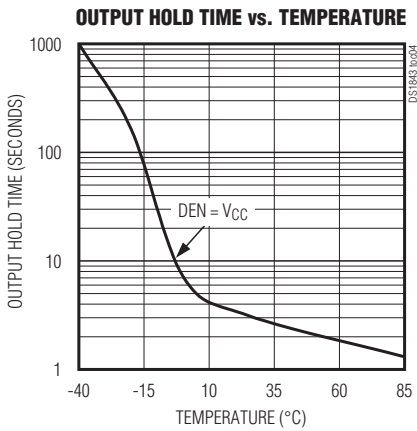
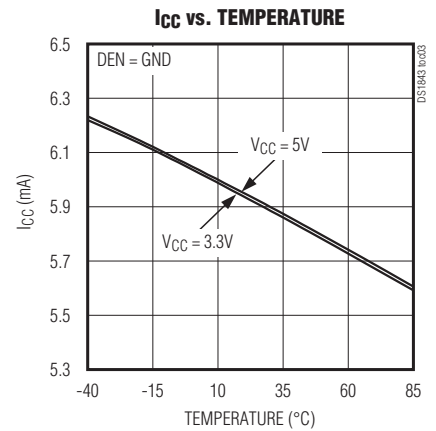
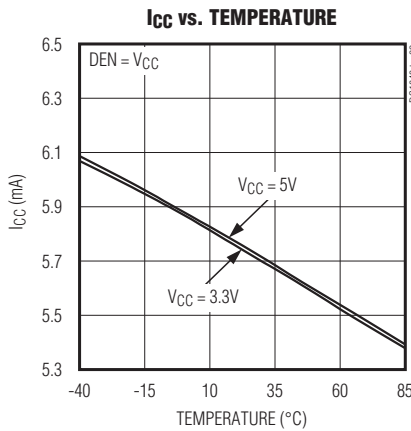
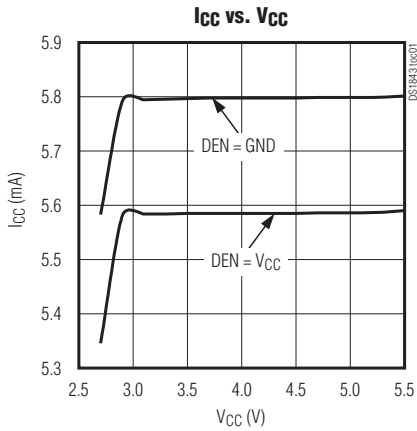
时序图



高速采样/保持电路

典型工作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



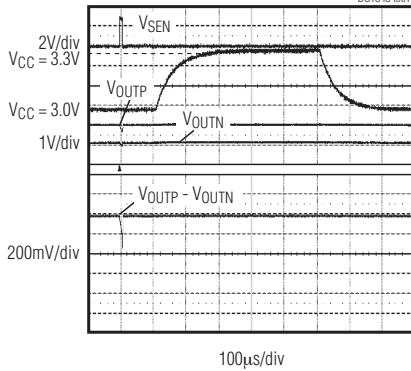
高速采样/保持电路

典型工作特性(续)

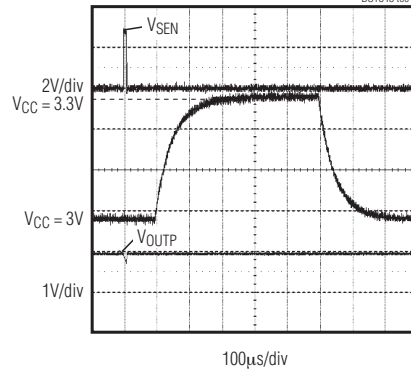
DS1843

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

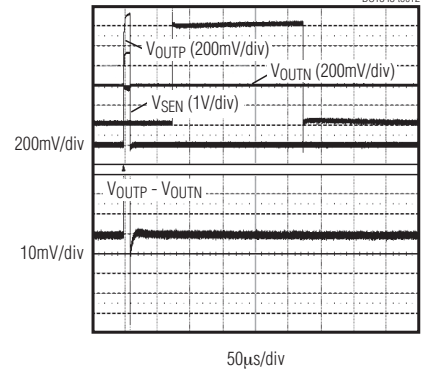
DIFFERENTIAL OUTPUT, TRANSIENT WITH 10% V_{CC} STEP ($V_{INP} = 1\text{V}$)
DS1843 toc10



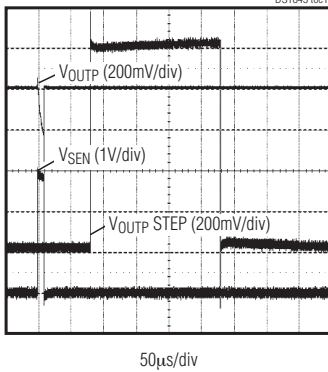
SINGLE-ENDED OUTPUT, TRANSIENT WITH 10% V_{CC} STEP ($V_{INP} = 1\text{V}$)
DS1843 toc11



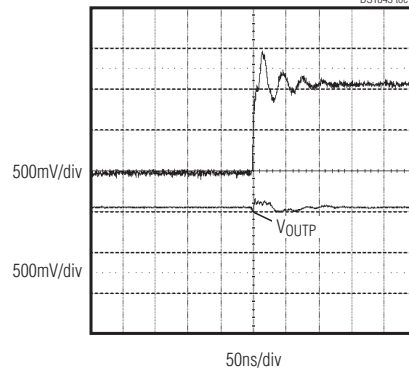
DIFFERENTIAL OUTPUT STEP RECOVERY, 1V OUTPUT STEP ($V_{INP} = 6\text{mV}$)
DS1843 toc12



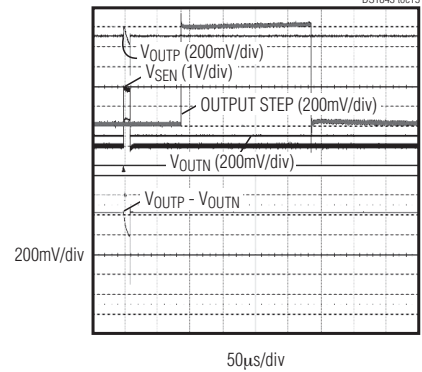
SINGLE-ENDED STEP RECOVERY, 1V OUTPUT STEP ($V_{INP} = 1\text{V}$)
DS1843 toc13



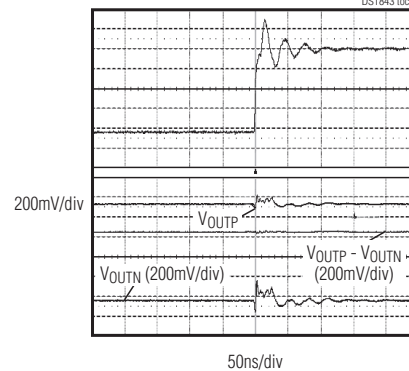
SINGLE-ENDED OUTPUT, STEP RECOVERY, 1V OUTPUT STEP ($V_{INP} = 1\text{V}$, ZOOMED IN)
DS1843 toc14



DIFFERENTIAL OUTPUT STEP RECOVERY, 1V OUTPUT STEP ($V_{INP} = 1\text{V}$)
DS1843 toc15



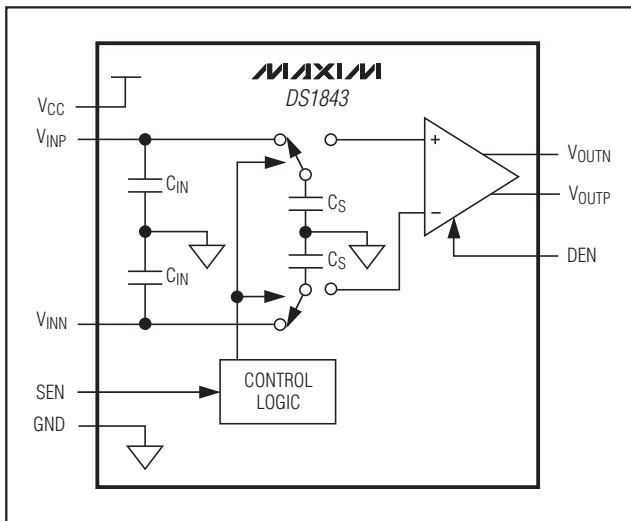
DIFFERENTIAL OUTPUT STEP RECOVERY, 1V OUTPUT STEP ($V_{INP} = 1\text{V}$, ZOOMED IN)
DS1843 toc16



高速采样/保持电路

引脚	名称	功能
1	V _{CC}	电源输入。
2	V _{INP}	正电压输入，输入至采样电路。
3	V _{INN}	负电压输入，输入至采样电路。
4	DEN	差分输出使能，将其连接到V _{CC} 时提供差分输出，或者连接到GND使能单端输出。
5	GND	接地端。
6	V _{OUTN}	采样电压输出负端，将保持电容的电压缓冲输出。单端输出模式下，该引脚悬空或连接到GND。
7	V _{OUTP}	采样电压输出正端和单端输出，将保持电容的电压缓冲输出。
8	SEN	采样使能，使能输入采样。该输入为脉冲信号。

方框图



详细说明

DS1843由全差分采样电容、开关以及差分输出缓冲器构成。设计用于工作在突发模式的光纤系统，也可用于其它需要高速采样/保持电路的系统。输出可配置工作在单端模式。

输入采样电容

通过连接在输入正端和输入负端的5pF电容对输入电压进行采样。SEN为高电平时，电容连接到输入。除了采样电

容，输入端还存在寄生电容(C_{IN})。为确保精确采样，这些电容必须在SEN切换到低电平之前充分充电。RC时间常数由连接到DS1843输入端的电压源阻抗和该端的电容决定，详细信息请参考应用信息部分。

输出缓冲器

采样完成后，将采样电容切换到输出缓冲器。缓冲器需要具有较短的建立时间 t_{OUT} 。当ADC测量DS1843输出时，ADC内部的采样电容会在ADC输入端产生一个阶跃信号。DS1843的恢复时间 t_{REC} 由ADC采样电容的大小和作用在ADC的电压决定。为了获得最高精度，应降低ADC采样速率(ADC的时钟频率)，使ADC的转换时间($t_{ADC:ST}$ ，如时序图所示)大于DS1843的恢复时间， $t_{ADC:ST}$ 参数请参考ADC的文档。

采样时间和输出误差

随着采样时间(t_S)的缩短，输出误差会增大。输出误差很大程度上由采样电容的建立时间决定，输出缓冲器的增益误差和失调电压对此也有一定影响。用低阻信号源驱动DS1843可减小建立时间。在典型的光纤应用中，通过5k Ω 电阻施加电流。采用驱动能力更强的电流源，可减小阻抗和建立时间(详细信息请参考应用信息部分)。

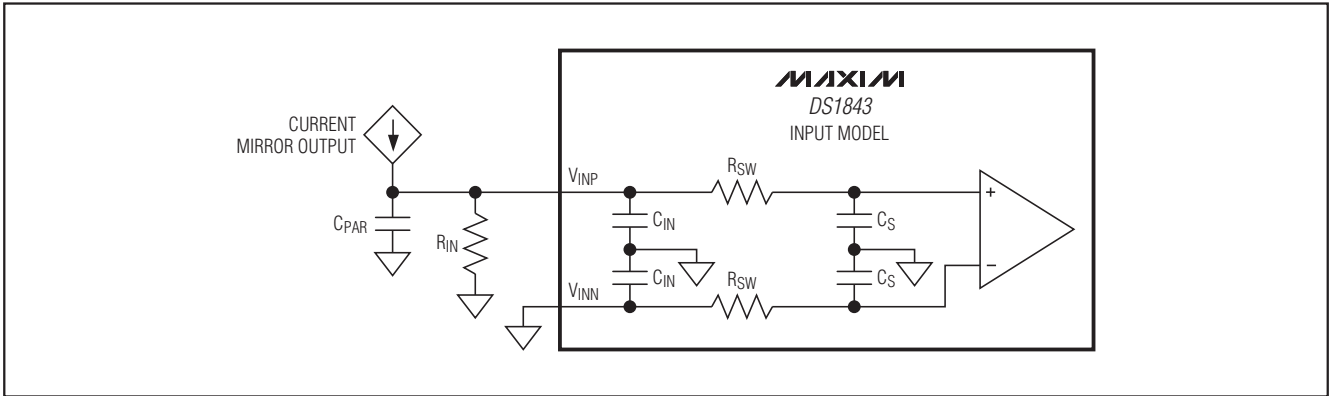


图1. 用于计算建立时间的输入阻抗

应用信息

电源去耦

使用DS1843时为达到最佳效果，须通过一个0.01μF或0.1μF电容对电源引脚V_{CC}进行去耦。该电容可选择质量较高的X7R或与之相当的陶瓷表贴电容。

DS1843建立时间估算

建立时间由DS1843输入端的电流镜增益比决定。例如，MAX4007包含一个比值为10:1的电流镜。当2mA电流输入到MAX4007时，产生1V满幅输出需要5kΩ电阻。DS1842具有一个比值为5:1的电流镜，采用DS1842可将电阻减小至2.5kΩ。

变量定义：

R_{IN}：输入电阻，电流镜通过该电阻产生电压。

R_{SW}：t_{IST}之后内部电路连接到输入引脚的串联开关电阻。

C_{IN}：7pF寄生(ESD)电容。

C_{PAR}：外部寄生电容，电流镜输出和典型引线电容，小于10pF。

C_S：5pF采样电容。

t_{IST}：从交流电气特性中可以得到该参数，t_{IST}是基于t_S的内部建立时间，t_S最小值包括一个时间常数，t_{IST}时间减去该时间常数。

t_{RC}：输入端RC建立时间。

图1所示输入阻抗简化框图可用于计算建立时间。采样时间分为两部分：

1) t_{IST}：内部建立时间(最大250ns)，在此时间，V_{INP}电压(V_{INP} - V_{INN})按照如下时间常数上升：

$$R_{IN} \times (C_{IN} + C_{PAR})$$

2) t_{RC}：在此时间内发生以下两个动作：

a. 输入V_{IN}从t_{IST}时刻的数值开始按照新的时间常数一直上升到最终值，新的时间常数为：

$$\sqrt{\left\{ \left(R_{IN} \times (C_{IN} + C_{PAR}) \right)^2 + \left(R_{SW} \times C_S \right)^2 \right\}}$$

b. R_{SW}和C_S以时间常数R_{SW} × C_S跟踪该V_{IN} (输入)，时间常数为12.5ns (最差情况)。

举例：

根据上述阻抗值，可近似计算输入电压精度。计算可分为三部分。

1) t_{IST} (250ns)时的输入精度：

$$\text{精度} = 1 - e^{\frac{-t_1}{R_{IN} \times (C_{IN} + C_{PAR})}}$$

其中，t₁ = t_{IST} = 250ns。

t_{IST}期间由内部电路确定输入阻抗。这将重新分配电荷，造成输入电压下降。t_{IST}期间输入电压在最差情况下的数值为：

$$V_{IN@t_{IST}} = \left[1 - \frac{C_S}{(C_{IN} + C_{PAR} + C_S)} \right] \times \left[1 - e^{\frac{-t_{IST}}{R_{IN} \times (C_{IN} + C_{PAR})}} \right] \times V_{IN}$$

高速采样/保持电路

2) $t_S - t_{1ST}$ 期间内部电路的精度:

$$\text{精度} = 1 - e^{-\frac{t_2}{(R_{SW} \times C_S)}}$$

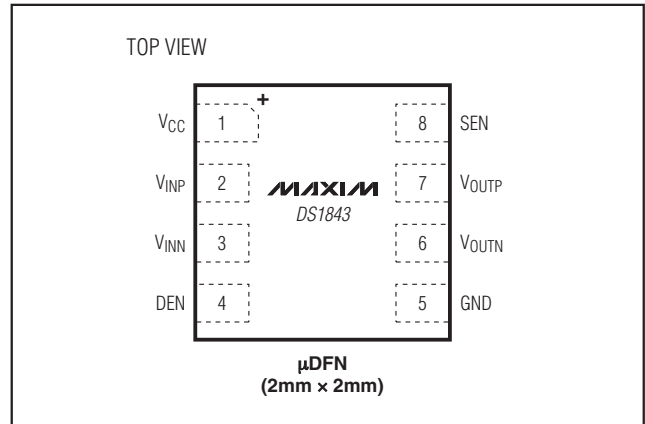
其中, $t_2 = (t_S - t_{1ST})$, $(R_{SW} \times C_S)$ 约为12ns。

3) 采样期间 t_S 时的输入总精度:

$$\text{精度} = \left[1 - \left(1 - V_{IN@t_{1ST}} \right) \times e^{-\frac{t_2}{\text{newRC}}} \right] \times \left[1 - e^{-\frac{t_2}{(R_{SW} \times C_S)}} \right]$$

$$\text{其中, newRC} = \sqrt{\left\{ (R_{IN} \times (C_{IN} + C_{PAR}))^2 + (R_{SW} \times C_S)^2 \right\}}$$

引脚配置



封装信息

如需最近的封装外形信息和焊盘布局, 请查询 china.maxim-ic.com/packages.

封装类型	封装编码	文档编号
8 μ DFN	L822+1	21-0164

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

8 www.maxim-ic.com **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**